



# UNIVERSITÉ FRANÇOIS RABELAIS DE TOURS

École Doctorale EMSTU

Groupe de REcherche en Matériaux, Microélectronique, Acoustique et Nanotechnologies  
(GREMAN)

**THÈSE** présenté par :

**Jérôme BISCARRAT**

soutenue le : 13 Février 2015

pour obtenir le grade de : Docteur de l'université François-Rabelais de Tours

Discipline / Spécialité : Physique / Electronique

**Design, intégration technologique et caractérisation  
d'architectures de diodes JBS en carbure de silicium**

THÈSE DIRIGÉE PAR :

ALQUIER Daniel

Professeur, Université François-Rabelais de Tours

RAPPORTEURS :

GODIGNON Philippe

Directeur de recherche, CNM, Barcelone

PLANSON Dominique

Professeur, INSA, Lyon

JURY :

ALQUIER Daniel

Professeur, GREMAN, Tours

BANO Edwige

Directrice de recherche, PHELMA, Grenoble

COLLARD Emmanuel

Docteur, STMicroelectronics, Tours

GODIGNON Philippe

Directeur de recherche, CNM, Barcelone

MICHAUD Jean-François

Maître de Conférences, GREMAN, Tours

PLANSON Dominique

Professeur, Ampère, Lyon





# Résumé

Ce travail de thèse est consacré à la conception et à la fabrication de diodes JBS en carbure de silicium. Une première partie de ce travail a consisté à concevoir par simulation une protection périphérique de la diode la plus efficace possible en réduisant sa sensibilité à la technologie (charges dans l'oxyde et activation des dopants). L'impact de la géométrie de l'anode de la diode JBS sur le champ électrique maximum sous le contact Schottky en inverse et la résistance série de la diode à l'état passant a été étudié. Une nouvelle architecture de diode JBS, à base de tranchées implantées, a été proposée pour pallier les limitations liées aux faibles profondeurs d'implantation d'Al. Une deuxième partie de ce travail a concerné le développement de briques technologiques, indispensables à la fabrication de la diode JBS, tels que les contacts métalliques et la gravure. Enfin, la fabrication complète et la caractérisation électrique de diodes ont été réalisées afin de valider les éléments de conception et l'intégration des briques technologiques développées durant cette thèse.

**Mots clés :** carbure de silicium, diode JBS, électronique de puissance, contact Schottky, SiC poreux, protection périphérique

---

# Abstract

This study was dedicated to the design and to the fabrication of SiC JBS diodes. The first part of this work includes the design of robust efficient edge termination of the diode with special care to its technology sensitivity. The impact of anode layout of JBS diode on the maximum electric field under Schottky contact and on the on-state resistance has been investigated. A new structure of JBS diode, trench and implanted, has been proposed to overcome the low Al implantation depth. A second part of this work has been focused on the development of technological steps required for the fabrication of JBS diodes such as metal contact and SiC etching. Finally, full fabrication and electrical characterization of diodes have been carried out in order to validate the design and the integration of technological steps developed during this thesis work.

**Keywords :** silicon carbide, JBS diode, power electronic, Schottky contact, porous SiC, edge termination



# Table des matières

|                                                         |           |
|---------------------------------------------------------|-----------|
| <b>Table des matières</b>                               | <b>7</b>  |
| <b>Introduction générale</b>                            | <b>13</b> |
| <b>1 SiC pour l'électronique de puissance</b>           | <b>17</b> |
| 1.1 Contexte de l'électronique de puissance . . . . .   | 18        |
| 1.2 Propriétés électriques et physiques . . . . .       | 22        |
| 1.3 Composants électroniques en SiC . . . . .           | 27        |
| 1.3.1 Redresseurs . . . . .                             | 27        |
| 1.3.1.1 Diode Schottky . . . . .                        | 29        |
| 1.3.1.2 Diode bipolaire . . . . .                       | 34        |
| 1.3.1.3 Diode mixte Schottky - Bipolaire . . . . .      | 38        |
| 1.3.1.4 « Super-SBD » . . . . .                         | 43        |
| 1.3.1.5 Autres structures de diodes . . . . .           | 44        |
| 1.3.2 Transistors . . . . .                             | 45        |
| 1.4 Limitations actuelles . . . . .                     | 50        |
| 1.4.1 Fournisseurs de substrat . . . . .                | 50        |
| 1.4.2 Température de fonctionnement . . . . .           | 51        |
| 1.4.3 Les défauts cristallins . . . . .                 | 52        |
| 1.4.3.1 Dislocation-vis et « micropipe » . . . . .      | 52        |
| 1.4.3.2 Faute d'empilement . . . . .                    | 54        |
| 1.5 Conclusion . . . . .                                | 57        |
| <b>2 Design et simulation</b>                           | <b>59</b> |
| 2.1 Dimensionnement de la couche active . . . . .       | 60        |
| 2.1.1 Extension de la zone de charge d'espace . . . . . | 60        |

|         |                                                                                          |     |
|---------|------------------------------------------------------------------------------------------|-----|
| 2.1.2   | Optimisation du compromis résistance de la couche active - tension de claquage . . . . . | 63  |
| 2.1.2.1 | Calcul de la résistance de la couche de dérivation . . . . .                             | 63  |
| 2.1.2.2 | Etude paramétrique . . . . .                                                             | 65  |
| 2.2     | Périphérie de la diode JBS . . . . .                                                     | 68  |
| 2.2.1   | Effet de la courbure de la jonction PN . . . . .                                         | 68  |
| 2.2.2   | Etat de l'art des techniques de garde . . . . .                                          | 70  |
| 2.2.2.1 | Protection Mesa . . . . .                                                                | 70  |
| 2.2.2.2 | Protection planar . . . . .                                                              | 72  |
| 2.2.3   | Optimisation de la périphérie . . . . .                                                  | 76  |
| 2.2.3.1 | Eléments de base de la simulation . . . . .                                              | 76  |
| 2.2.3.2 | Simple JTE . . . . .                                                                     | 77  |
| 2.2.3.3 | Anneaux JTE flottants . . . . .                                                          | 89  |
| 2.2.3.4 | Anneaux de garde flottants fortement dopés . . . . .                                     | 94  |
| 2.2.3.5 | JTE soutenue par anneaux fortement dopés de type P . . . . .                             | 95  |
| 2.2.3.6 | Combinaison des différentes terminaisons . . . . .                                       | 104 |
| 2.2.3.7 | Protection complémentaire par plaque de champ . . . . .                                  | 106 |
| 2.2.4   | Vers une protection périphérique sans implantation ionique . . . . .                     | 111 |
| 2.2.4.1 | Application au SiC . . . . .                                                             | 112 |
| 2.2.4.2 | Perspectives de fabrication de la terminaison . . . . .                                  | 117 |
| 2.2.5   | Conclusion sur l'étude de la protection périphérique . . . . .                           | 118 |
| 2.3     | Anode de la diode JBS . . . . .                                                          | 118 |
| 2.3.1   | Distribution du champ électrique . . . . .                                               | 119 |
| 2.3.1.1 | Courant de fuite de la diode Schottky . . . . .                                          | 119 |
| 2.3.1.2 | Conditions de simulation . . . . .                                                       | 120 |
| 2.3.1.3 | Influence de l'espace entre les zones P . . . . .                                        | 122 |
| 2.3.1.4 | Influence de la largeur des zones P . . . . .                                            | 124 |
| 2.3.1.5 | Influence de la profondeur de jonction . . . . .                                         | 125 |
| 2.3.2   | Modélisation analytique de la résistance de la couche active . . . . .                   | 127 |
| 2.3.2.1 | Présentation du modèle . . . . .                                                         | 128 |
| 2.3.2.2 | Influence de l'espace entre les zones P . . . . .                                        | 129 |
| 2.3.2.3 | Influence des dimensions des zones P . . . . .                                           | 132 |
| 2.3.2.4 | Contribution de la résistance du substrat . . . . .                                      | 134 |

|          |                                                                                                  |            |
|----------|--------------------------------------------------------------------------------------------------|------------|
| 2.3.3    | Structure JBS à base de tranchées implantées : « Trenched and Implanted JBS » (TI-JBS) . . . . . | 135        |
| 2.3.3.1  | Présentation de la structure . . . . .                                                           | 136        |
| 2.3.3.2  | Champ électrique et profondeur des tranchées . . . . .                                           | 136        |
| 2.3.3.3  | Compromis champ électrique - résistance série . . . . .                                          | 139        |
| 2.4      | Conclusion . . . . .                                                                             | 140        |
| <b>3</b> | <b>Optimisation de briques technologiques</b>                                                    | <b>143</b> |
| 3.1      | Gravure sèche du SiC . . . . .                                                                   | 144        |
| 3.1.1    | Etat de l'art . . . . .                                                                          | 144        |
| 3.1.1.1  | Principe de la gravure plasma . . . . .                                                          | 144        |
| 3.1.1.2  | Types de réacteur . . . . .                                                                      | 145        |
| 3.1.1.3  | Chimie de gravure . . . . .                                                                      | 147        |
| 3.1.1.4  | Masques de gravure . . . . .                                                                     | 147        |
| 3.1.2    | Etude de la gravure ICP du 4H-SiC . . . . .                                                      | 149        |
| 3.1.2.1  | Objectifs . . . . .                                                                              | 149        |
| 3.1.2.2  | Protocole expérimental . . . . .                                                                 | 150        |
| 3.1.2.3  | Etude du phénomène de trenching . . . . .                                                        | 153        |
| 3.1.3    | Conclusions et perspectives . . . . .                                                            | 156        |
| 3.2      | Gravure électrochimique du SiC . . . . .                                                         | 157        |
| 3.2.1    | Principe de la gravure électrochimique du SiC . . . . .                                          | 157        |
| 3.2.2    | Etude préliminaire sur substrat 4H-SiC N+ . . . . .                                              | 158        |
| 3.2.2.1  | Conditions expérimentales . . . . .                                                              | 158        |
| 3.2.2.2  | Morphologie du SiC poreux . . . . .                                                              | 159        |
| 3.2.2.3  | Propriétés électriques du SiC poreux . . . . .                                                   | 165        |
| 3.2.3    | Conclusions et perspectives . . . . .                                                            | 169        |
| 3.3      | Vers un contact ohmique sur 4H-SiC type p . . . . .                                              | 171        |
| 3.3.1    | Injection de porteurs minoritaires dans la diode JBS . . . . .                                   | 171        |
| 3.3.2    | Problématique du contact ohmique sur 4H-SiC type p . . . . .                                     | 173        |
| 3.3.3    | Dopage de type p par implantation ionique . . . . .                                              | 175        |
| 3.3.3.1  | Etat de l'art . . . . .                                                                          | 175        |
| 3.3.3.2  | Propriétés électriques de couches implantées en aluminium . . . . .                              | 177        |
| 3.3.4    | Etat de l'art du contact ohmique sur SiC type p . . . . .                                        | 181        |
| 3.3.5    | Techniques de fabrication des contacts . . . . .                                                 | 183        |

|          |                                                               |            |
|----------|---------------------------------------------------------------|------------|
| 3.3.6    | Siliciuration du nickel sur 4H-SiC type p . . . . .           | 187        |
| 3.3.6.1  | Protocole expérimental . . . . .                              | 187        |
| 3.3.6.2  | Influence de la température de recuit . . . . .               | 190        |
| 3.3.6.3  | Influence de l'épaisseur de Ni . . . . .                      | 194        |
| 3.3.7    | Application du contact Ni/SiC à la diode PiN . . . . .        | 196        |
| 3.3.7.1  | Conditions expérimentales . . . . .                           | 196        |
| 3.3.7.2  | Résistance spécifique de contact . . . . .                    | 197        |
| 3.3.7.3  | Performances en direct de diodes PiN . . . . .                | 199        |
| 3.3.8    | Conclusion et perspectives . . . . .                          | 200        |
| 3.4      | Contact Schottky . . . . .                                    | 200        |
| 3.4.1    | Eléments de théorie du contact métal/semiconducteur . . . . . | 201        |
| 3.4.2    | Etat de l'art . . . . .                                       | 204        |
| 3.4.3    | Etude de contacts Schottky W/4H-SiC et Mo/4H-SiC . . . . .    | 207        |
| 3.4.3.1  | Préparation des motifs de test . . . . .                      | 207        |
| 3.4.3.2  | Tri des diodes . . . . .                                      | 208        |
| 3.4.3.3  | Etude du contact Schottky W/SiC . . . . .                     | 209        |
| 3.4.3.4  | Comparaison W/SiC et Mo/SiC . . . . .                         | 213        |
| 3.4.4    | Conclusion et perspectives . . . . .                          | 217        |
| 3.5      | Conclusion du chapitre 3 . . . . .                            | 218        |
| <b>4</b> | <b>Fabrication et caractérisation de diodes de puissance</b>  | <b>221</b> |
| 4.1      | Chaine de fabrication . . . . .                               | 221        |
| 4.1.1    | Niveau zéro ou d'alignement . . . . .                         | 222        |
| 4.1.2    | Niveau JTE . . . . .                                          | 222        |
| 4.1.3    | Niveau anneaux de garde et flottants . . . . .                | 223        |
| 4.1.4    | Niveau trench . . . . .                                       | 223        |
| 4.1.5    | Implantation tiltée d'Al . . . . .                            | 224        |
| 4.1.6    | Recuit post-implantation . . . . .                            | 228        |
| 4.1.7    | Contact ohmique face arrière . . . . .                        | 228        |
| 4.1.8    | Niveau contact sur type p . . . . .                           | 229        |
| 4.1.9    | Métallisation Schottky et recharge . . . . .                  | 229        |
| 4.1.10   | Passivation finale . . . . .                                  | 231        |
| 4.2      | Description des masques photolithographiques . . . . .        | 232        |



|                                                                             |                                                                |            |
|-----------------------------------------------------------------------------|----------------------------------------------------------------|------------|
| 4.2.1                                                                       | Protections périphériques . . . . .                            | 232        |
| 4.2.2                                                                       | Diodes . . . . .                                               | 233        |
| 4.2.2.1                                                                     | Dimensions . . . . .                                           | 233        |
| 4.2.2.2                                                                     | Géométrie de l'anode des diodes JBS . . . . .                  | 234        |
| 4.3                                                                         | Spécifications des plaquettes . . . . .                        | 237        |
| 4.4                                                                         | Caractérisations électriques . . . . .                         | 238        |
| 4.4.1                                                                       | Performances en inverse . . . . .                              | 238        |
| 4.4.1.1                                                                     | Tenue en tension . . . . .                                     | 238        |
| 4.4.1.2                                                                     | Courant de fuite . . . . .                                     | 242        |
| 4.4.2                                                                       | Performances en direct . . . . .                               | 245        |
| 4.4.2.1                                                                     | Hauteur de barrière et facteur d'idéalité . . . . .            | 245        |
| 4.5                                                                         | Conclusion . . . . .                                           | 248        |
| <b>Conclusion générale et perspectives</b>                                  |                                                                | <b>251</b> |
| <b>Annexes</b>                                                              |                                                                | <b>257</b> |
| <b>A Application d'un plan d'expériences à l'étude de la gravure du SiC</b> |                                                                | <b>257</b> |
| A.1                                                                         | Définition du plan d'expériences. . . . .                      | 257        |
| A.2                                                                         | Analyse et interprétation des résultats . . . . .              | 260        |
| A.2.1                                                                       | Modèle brut. . . . .                                           | 260        |
| A.2.2                                                                       | Etude des interactions . . . . .                               | 261        |
| A.2.3                                                                       | Etude des effets . . . . .                                     | 261        |
| A.2.4                                                                       | Analyse des réponses au moyen de courbes isoréponses . . . . . | 264        |
| A.3                                                                         | Conclusion . . . . .                                           | 266        |
| <b>Bibliographie</b>                                                        |                                                                | <b>269</b> |



# Introduction générale

De nos jours, les enjeux sociétaux tels que l'augmentation de la demande en énergie électrique et les fortes régulations mises en place sur les émissions de gaz à effet de serre contribuent fortement au développement de matériaux alternatifs au silicium pour les applications d'électronique de puissance. En effet, la gestion de l'énergie électrique est assurée par des convertisseurs électriques dont les performances sont étroitement liées aux matériaux semiconducteurs mis en jeu dans la fabrication des composants de puissance. Même si le silicium reste le matériau semiconducteur de prédilection du fait de sa qualité cristalline, sa maturité technologique et son coût de production, certains besoins en composants fonctionnant à haute tension et/ou haute température sont difficilement atteignables avec ce matériau. Depuis quelques années, de nouveaux matériaux semiconducteurs dits à large bande interdite, comme le SiC, le GaN ou le diamant, se sont imposés dans ces domaines contraignants. Parmi eux, le carbure de silicium est le matériau le plus mature en terme de qualité cristalline et d'avancées technologiques. L'émergence de la filière SiC s'est confirmée par la commercialisation de différents dispositifs de puissance tels que des diodes Schottky et des transistors MOSFET. A l'heure actuelle, le marché des diodes en SiC concerne principalement les applications comme les onduleurs solaires, les alimentations de secours, les alimentations à découpage et la commande de moteur. Actuellement, la part de marché des alimentations est sans doute la plus importante des diodes SiC. On les retrouve généralement dans l'étage de correction de facteur de puissance (PFC) où leurs faibles pertes en commutation sont mises à profit pour maximiser le rendement du convertisseur, diminuer sa taille et réduire le coût énergétique total. La gamme de tension inverse des diodes visée pour répondre à ses applications s'étend principalement entre 600 et 1200V. Même si ces calibres en tension sont d'ores et déjà commercialisés, de nouvelles architectures de composants et de nouveaux procédés technologiques doivent être développés pour améliorer les performances des diodes. On peut citer la tenue en tension, le compromis entre le courant de fuite en inverse et la chute de tension à l'état passant. Enfin, ce travail de thèse s'inscrit dans une volonté forte de STMicroelectronics-Tours et du GREMAN de renforcer l'expérience sur la conception et la fabrication de composants en SiC ainsi que de promouvoir l'innovation dans ce domaine.

Le chapitre 1 de ce manuscrit est consacré à la présentation générale du SiC et à l'état des l'art des composants électroniques de puissance en SiC. A travers un exemple largement rencontré de convertisseurs électriques, les avantages de l'utilisation de diodes unipolaires en SiC en remplacement de celles en silicium seront présentés et discutés. Les propriétés physico-chimiques et électriques du SiC seront également présentées ainsi que les applications qui peuvent en découler.

Le chapitre 2 présente les résultats concernant l'étude du design de la diode JBS (Junction Barrier Schottky) en SiC. Cette architecture de diode, mixte Schottky-bipolaire, permet de conserver les avantages de la diode Schottky (faible chute à l'état passant, faibles pertes en commutation), d'en réduire le courant de fuite et d'en augmenter la robustesse vis-à-vis des surcharges en courant. Les trois zones distinctes du composant seront présentées et étudiées : la couche active de la diode, sa périphérie et l'anode propre à la diode JBS. Le dimensionnement de la couche active dite aussi couche « de dérive » sera étudié en vue de maximiser le compromis entre forte tenue en tension de la diode en régime bloqué et faible résistance à l'état passant. Afin d'atteindre la tenue en tension maximale pouvant être supportée par la couche de dérive, la protection périphérique de la diode sera optimisée par simulation numérique en tenant compte des différentes limitations technologiques inhérentes à la fabrication de la diode. Différentes techniques de protection périphérique seront étudiées et une attention particulière sera portée à leur sensibilité vis-à-vis de l'activation des dopants et des variations géométriques inhérentes à la fabrication de la diode. Enfin, au niveau de l'anode de la diode JBS, le design des zones P sous le contact Schottky conditionne à la fois les performances en régime bloqué de la diode JBS mais aussi celles à l'état passant. Pour pallier aux faibles profondeurs d'implantation dans le SiC, le concept de diodes JBS à base de tranchées sera présenté et la supériorité de ses performances par rapport à celles de la diode JBS planar, communément rencontrée dans la littérature, sera mis en évidence.

L'optimisation de briques technologiques nécessaires à la fabrication de diodes JBS fait l'objet du chapitre 3. Deux types de gravure du SiC seront étudiées pour la réalisation de protections périphériques de type mesa. Premièrement, la gravure par plasma dont le défaut souvent rencontré est une sur-gravure au niveau du pied de gravure favorisant l'accroissement du champ électrique par effet de pointe lors du fonctionnement du composant en régime bloqué. L'objectif principal de l'étude de ce procédé de gravure du SiC sera donc de déterminer les conditions permettant de s'affranchir de cette sur-gravure. Puis, la gravure électrochimique du SiC sera présentée comme une alternative à la gravure par plasma pour l'élaboration d'une périphérie *mesa*. Ce procédé présente l'avantage de conserver une structure plane du composant et, par conséquent, de limiter les problèmes technologiques liés à des passages de marche importants. Une étude préliminaire de la gravure électrochimique d'un substrat SiC fortement dopé sera conduite afin de mettre en évidence les propriétés électriques du SiC gravé. Enfin, la formation de contacts redresseurs

(ou « Schottky ») et ohmiques, respectivement sur les régions de type N et P à l'anode de la diode JBS, sera étudiée. Dans le cas du contact Schottky, une attention particulière sera portée à la stabilité thermique du contact. Le recours à des métaux réfractaires tels que le tungstène et le molybdène sera exploré. Concernant le contact ohmique sur les régions P de la diode JBS, nous montrerons que la siliciuration du nickel est intéressante du fait de la compatibilité de ce procédé avec la fabrication de la diode JBS. Les conditions de siliciuration en termes de température de recuit et d'épaisseur de nickel déposé seront étudiées en vue de minimiser la résistance spécifique de contact.

Enfin, le chapitre 4 sera consacré à la démonstration de diodes de puissance combinant les différents éléments de conception et de technologie développés dans les chapitres précédents. Cette partie aura pour but de valider les différentes techniques de protection périphérique et l'intégration des briques technologiques étudiées durant cette thèse. Après une étude des performances de la diode JBS en configuration conventionnelle, une architecture de diode JBS à base de tranchées sera évaluée expérimentalement.

Nous concluons ce manuscrit en rappelant les principaux résultats obtenus et en proposant une suite à donner à nos travaux.



# Chapitre 1

## SiC pour l'électronique de puissance

Les besoins en énergie sont étroitement liés à la croissance économique et démographique. Ainsi, la production mondiale d'électricité a cru de 3,7 % par an de 1971 à 2010 et représentait 21 431 TWh en 2010 [1]. De plus, dans un contexte de développement durable, la transition vers une réduction des énergies fossiles au profit des énergies à « zéro émission de carbone » accentuée, inévitablement, le recours à l'énergie électrique. Une maîtrise efficace de celle-ci est donc primordiale. Parmi les différents champs d'action, l'électronique de puissance représente un levier d'optimisation à fort potentiel puisqu'elle joue un rôle central dans la gestion de l'énergie électrique allant de sa production, sa distribution, son stockage à sa consommation. A chaque étape de ce cycle, une conversion d'énergie électrique (forme du signal électrique et niveau de tension et/ou de courant) est nécessaire. Les performances de cette conversion (réduction des pertes et adaptation des niveaux de puissance) sont intimement liées à la technologie mise en jeu. L'optimisation de circuits et systèmes de conversion d'énergie électrique passe par l'utilisation de nouveaux composants électroniques plus performants que les composants actuels, qui sont, en particulier, limités par les propriétés intrinsèques du matériau les constituant, le silicium. A partir d'une application largement répandue en électronique de puissance, nous verrons comment et pourquoi les matériaux semiconducteurs à large bande interdite, dont le carbure de silicium, peuvent s'imposer comme une alternative crédible au silicium voire être une solution incontournable. Dans ce but, un état de l'art des composants de puissance en SiC sera présenté et une attention particulière sera portée aux redresseurs. Enfin, nous verrons les différentes limitations actuelles de la technologie SiC ainsi que ses perspectives.

## 1.1 Contexte de l'électronique de puissance

Depuis les années 1970, l'électronique de puissance s'est largement déployée grâce à l'avènement de la technologie semiconducteur (silicium) en remplaçant la technologie des tubes à vide. Du fait de son abondance sur Terre, des propriétés de son oxyde et de la possibilité d'une fabrication collective de puces sur une même plaquette, le silicium est le semiconducteur grâce auquel l'électronique s'est développée et vulgarisée. Cela explique sa domination en électronique de puissance. Pour répondre à certaines applications, les performances des composants de puissance ne cessent d'être étendues en termes de calibres courant/tension et de températures de fonctionnement. Conjointement, la volonté de miniaturisation des systèmes électroniques et de diminution des pertes énergétiques accentue le niveau d'exigence imposé au silicium. L'augmentation des performances couplée à cette réduction des pertes est devenue aujourd'hui le challenge majeur de l'industrie de l'électronique de puissance. Une attention particulière est donc portée au développement de nouveaux matériaux tels que les matériaux semiconducteurs à large bande interdite (SiC, GaN, diamant).

L'électronique de puissance est à l'interface entre l'électronique et l'électrotechnique. Elle s'intéresse aux dispositifs (ou convertisseurs) qui permettent de changer la forme de l'énergie électrique lors de sa distribution. Parmi les différentes topologies de convertisseurs d'énergie, les alimentations à découpage raccordées au réseau (convertisseur AC-DC) sont intéressantes à prendre comme exemple afin de mettre en évidence l'intérêt de l'utilisation de matériaux à large bande interdite. En effet, des applications telles que les alimentations de serveurs requièrent l'utilisation d'un étage de correction du facteur de puissance, appelé plus communément PFC pour « Power Factor Corrector ». Cette topologie devrait inexorablement être généralisée aux autres applications de plus grands volumes car elle répond à des exigences de diminution des pertes électriques pour l'obtention de labels énergétiques (Energy Star<sup>1</sup>, 80 Plus<sup>2</sup>, etc.), et à des normes de plus en plus contraignantes en matière de compatibilité électromagnétique.

Le PFC est constitué d'un pont redresseur à 4 diodes et une cellule de commutation ayant une fonction de hacheur survolteur travaillant en mode continu. La cellule de commutation est constituée d'une diode rapide, dite diode « boost », et d'un transistor à effet de champ (FET), généralement un MOSFET pour sa rapidité de commutation, comme on peut le voir sur la figure 1.1.

La diode est donc le maillon de la chaîne de conversion sur lequel se voient appliquées des contraintes très sévères en termes de commutation. Son aptitude à commuter le plus rapidement possible de l'état passant à l'état bloqué, en induisant le minimum de pertes de puissance, conditionne les performances du PFC et par conséquent le rendement du

---

1. <http://www.eu-energystar.org/fr/>

2. <http://www.80plus.org/>



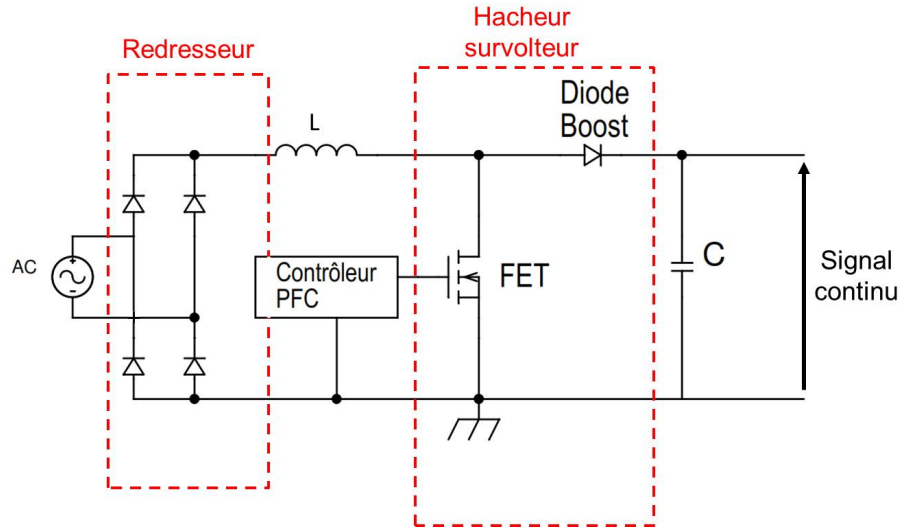


FIGURE 1.1 – Schéma simplifié d'un montage PFC.

convertisseur de puissance. Si les temps de commutation des diodes bipolaires peuvent être considérablement réduits grâce à des technologies avancées de dopage métallique [2], leur commutation génèrera toujours intrinsèquement des pertes, dues à la présence de porteurs minoritaires dans leur structure, qui doivent être évacués. La diode Schottky, unipolaire, est donc incontournable.

La figure 1.2 présente une comparaison du comportement à l'ouverture d'une diode bipolaire rapide 600 V en silicium, d'une diode tandem (2 diodes bipolaires 300 V en silicium montées en série) et d'une diode Schottky en SiC, pour des températures de jonction ( $T_j$ ) de 75°C et 125°C.

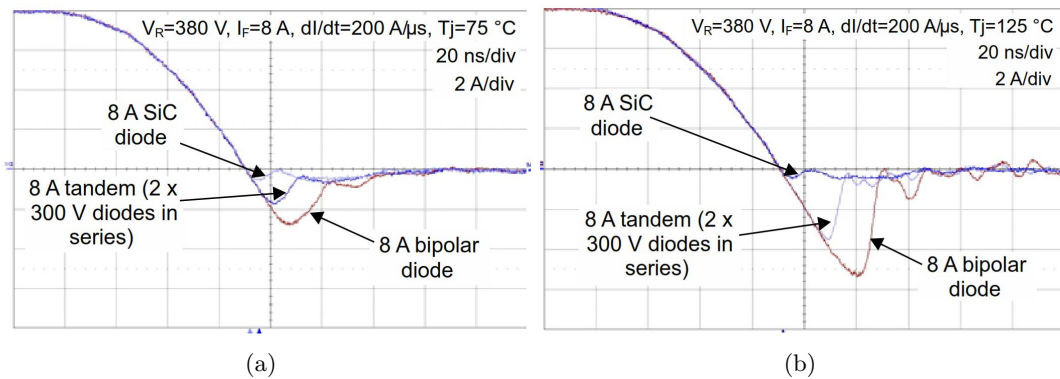


FIGURE 1.2 – Comparaison de la commutation à l'ouverture entre diodes bipolaires Si et diode Schottky SiC à  $T_j=75^\circ\text{C}$ (a) et  $T_j=125^\circ\text{C}$ (b) (Source : STMicroelectronics - Tours).

Sur cette figure, on observe le phénomène de recouvrement inverse classique pour des diodes bipolaires en silicium que l'on peut comparer à celui d'une diode Schottky en SiC.

Le temps de recouvrement important des diodes bipolaires en Si résulte d'un phénomène de stockage de porteurs minoritaires dans la structure. Les performances de la diode, et par voie de conséquence celles du convertisseur, restent à l'heure actuelle bridées par un compromis, certes optimisé grâce à l'utilisation d'une configuration tandem par exemple, mais qui pourra difficilement être amélioré pour des technologies silicium. Grâce à son caractère unipolaire, ce phénomène n'existe pas pour la diode Schottky et le temps de recouvrement est donc très faible. Une autre particularité des diodes SiC est un courant de recouvrement constant avec la température, contrairement aux diodes bipolaires Si pour lesquelles il augmente fortement avec la température (figure 1.2). Ce comportement révèle la nature capacitive du courant de recouvrement dans la diode Schottky SiC. En effet, le temps de recouvrement de cette diode est dû à un courant de déplacement correspondant à la charge de la capacité de jonction (indépendante de la température) et non à l'élimination de porteurs de charges minoritaires dont la quantité stockée augmente avec la température.

L'accès à des matériaux semiconducteurs à bande interdite plus large que celle du silicium change donc radicalement les perspectives. La diode Si bipolaire peut alors être remplacée par une diode Schottky à forte tenue en tension qui génère moins de pertes en commutation. En effet, les matériaux semiconducteurs à grand gap apportent ici la réponse au principal grief formulé à l'encontre des diodes Schottky en silicium, à savoir des tensions inverses limitées à 200 V. En effet, une hausse de la tenue en tension impliquerait inévitablement une augmentation de l'épaisseur et de la résistivité de la couche active de la diode Schottky, qui induirait une dégradation des performances du fait de la hausse de la résistance dynamique et de l'augmentation de la densité de courant de fuite. Une des propriétés électriques des semiconducteurs à large bande interdite mise à profit pour pallier ce problème est leur champ électrique critique élevé (proportionnel à la largeur de la bande interdite). Dans le cas du SiC, celui-ci est environ 10 fois supérieur à celui du Si. Ainsi, en première approximation, pour une tension de claquage  $V_B$  donnée, le niveau de dopage de la couche active  $N_D$  et la largeur de la zone de désertion  $W_D$  correspondant au claquage peuvent être donnés par [3] :

$$N_D = \frac{\epsilon_s \cdot E_C^2}{2 \cdot q \cdot V_B} \quad (1.1)$$

$$W_D = \frac{2 \cdot V_B}{E_C} \quad (1.2)$$

$\epsilon_s$  et  $E_C$  sont respectivement la permittivité diélectrique et le champ critique du matériau,  $q$  est la charge de l'électron.

Pour une tension de claquage donnée, la couche active d'un composant SiC pourra être 10 fois moins épaisse ou 100 fois plus dopée que celle d'un composant Si. La résistance spécifique à l'état passant  $R_{ON}$  d'une structure unipolaire peut être calculée suivant la

relation :

$$R_{ON} = \frac{4 \cdot V_B^2}{\epsilon_s \cdot \mu_n \cdot E_C^3} \quad (1.3)$$

Comme le montre de manière théorique la figure 1.3, la résistance spécifique à l'état passant de un composant SiC pourra donc être réduite d'un facteur supérieur d'environ 3 ordres de grandeur par rapport à celle d'un composant Si.

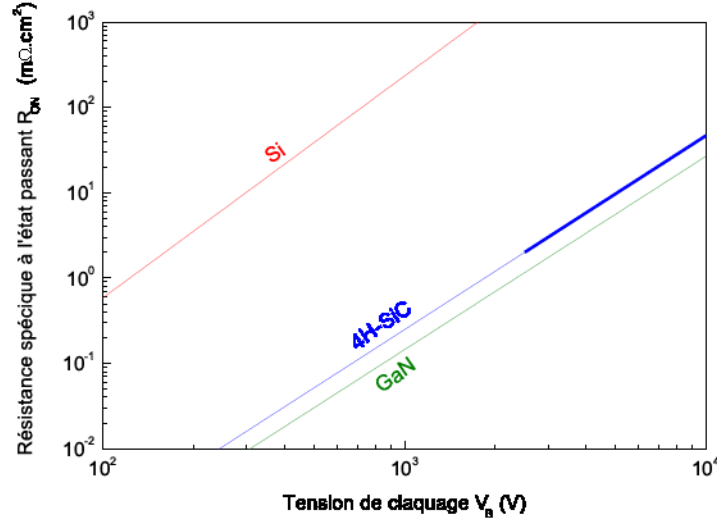


FIGURE 1.3 – Résistance spécifique à l'état passant ( $R_{ON}$ ) en fonction de la tension de claquage  $V_B$  pour Si, 4H-SiC et GaN.

Nous verrons plus loin que les performances de composants en SiC surpassent largement les limites imposées par le silicium. Certains démonstrateurs tendent même à s'approcher de cette limite unipolaire (calculée ici à partir de valeurs expérimentales du champ électrique critique  $E_C$  [4] et de la mobilité des électrons  $\mu_n$  [5]). La réalisation de composants unipolaires en SiC à forte tension et faible résistance à l'état passant répond donc bien à la problématique de réduction des pertes en commutation de la diode « boost ». Si l'on s'intéresse à nouveau au PFC, ceci se traduit par une puissance dissipée à l'ouverture de l'interrupteur fortement réduite (figure 1.4). Dans cet exemple, pour une fréquence de commutation donnée, l'utilisation de diodes SiC conduit à une réduction des pertes d'un facteur 5 comparé à celles d'une diode bipolaire standard en Si (Figure 1.4-a). Pour cette dernière, il existe une fréquence de commutation optimale à laquelle les pertes sont minimales (Figure 1.4-b). Dans le cas de l'utilisation d'une diode SiC, les pertes liées à l'ouverture du transistor diminuent avec la vitesse de commutation ( $\frac{di}{dt}$ ). La diode SiC permet donc d'augmenter la fréquence de travail des interrupteurs (ici le MOSFET) avec, pour conséquence, une meilleure efficacité énergétique du convertisseur. Enfin, un autre effet positif d'un fonctionnement à des fréquences de commutations élevées est une

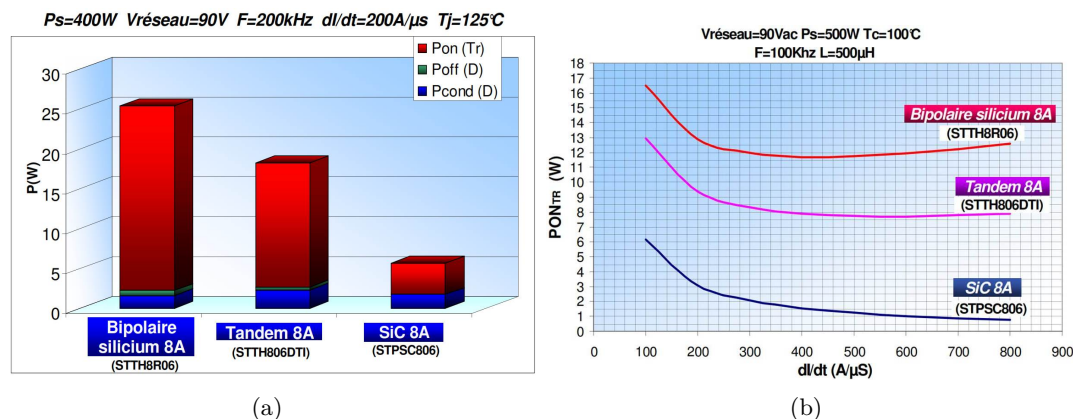


FIGURE 1.4 – Contribution des pertes (a) et pertes à la fermeture du transistor en fonction de la vitesse de commutation (b) suivant le type de diode (Source : STMicroelectronics - Tours).

réduction significative des éléments passifs et donc du volume des convertisseurs. Ainsi, compte tenu de ces améliorations, la diode boost ne peut plus être considérée comme le maillon faible de la chaîne de conversion de puissance. Les pertes de puissance majoritaires deviennent alors imputables au transistor MOS conçu sur Si. Son remplacement par un transistor en SiC sera un pas de plus vers une réduction des pertes du convertisseur.

## 1.2 Propriétés électriques et physiques

Parmi les différentes formes allotropiques (plus de 200) sous lesquelles le SiC peut cristalliser, nous parlerons ici essentiellement des propriétés du 4H-SiC, le plus utilisé des polytypes pour des applications électroniques et dont la croissance est la mieux maîtrisée. Bien des propriétés physiques et électriques du SiC peuvent être d'un grand intérêt pour l'électronique de puissance. Tout d'abord sa large bande interdite (3,2 eV à 300 K), 3 fois supérieure à celle du Si, permet d'avoir une faible concentration de porteurs intrinsèques. La largeur de la bande interdite dépend, comme pour tout semiconducteur, de la température (figure 1.5-a) et la génération de porteurs intrinsèques augmente avec la température (figure 1.5-b). On note, d'ores et déjà sur ces paramètres, la supériorité du SiC par rapport au Si.

Théoriquement, la température limite de fonctionnement du composant est celle à partir de laquelle la concentration de porteurs intrinsèques devient supérieure à celle du dopage de la couche active. Ainsi, si l'on exclut volontairement les limites extérieures comme celles liées aux contacts, à la passivation et au boîtier, les composants à base de semiconducteurs sont soumis à une limite de température de fonctionnement à partir de laquelle ils basculent dans un phénomène d'emballement thermique [4]. Comme le montre

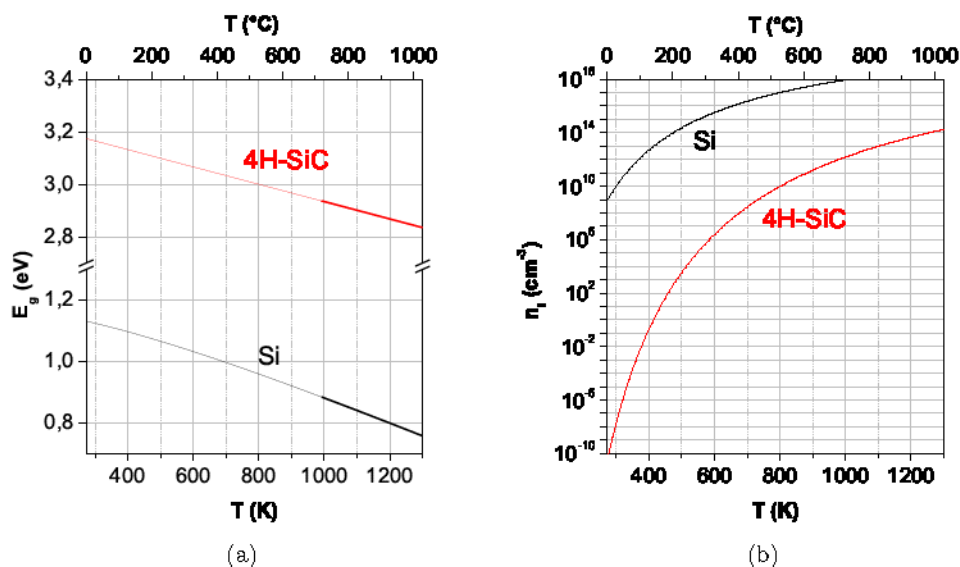


FIGURE 1.5 – Largeur de bande interdite (a) et concentration de porteurs intrinsèques (b) en fonction de la température pour Si et 4H-SiC.

la figure 1.6, d'après des calculs théoriques, cette température limite de fonctionnement est fonction du matériau et de la tension de claquage.

Ainsi, la température de fonctionnement d'un composant en SiC peut potentiellement être étendue à des températures supérieures à 800°C. Néanmoins, de telles conditions de température requièrent des contacts et une encapsulation du composant non disponibles à l'heure actuelle. Une équipe de la NASA a, néanmoins démontré le fonctionnement d'un circuit monolithique à base de JFET encapsulé dans un boîtier céramique opérant à 500°C sous air durant plusieurs milliers d'heures [6, 7]. Le SiC ouvre donc la voie à une électronique de puissance adaptée aux applications à hautes températures (> 300°C) [8] qui est intéressante pour le domaine du transport, spatial ou de l'exploitation pétrolière, ...

La large bande interdite du SiC va aussi induire une faible génération thermique de porteurs dans les zones de désertion des composants [9]. Les courants de fuite dans les composants à jonctions seront ainsi fortement réduits. Quelques équipes de recherche ont tiré pleinement profit de cette propriété du SiC pour la réalisation de mémoire vive non volatile (ou NVRAM pour « Non Volatile Random-Access Memory ») dont la brique de base est un condensateur pour le stockage d'une charge (information) et un transistor pour son contrôle. Théoriquement, le changement involontaire d'état logique (0 ou 1), causé par le processus de génération thermique, est négligeable dans des mémoires à base de SiC alors qu'il a été identifié comme l'un des mécanismes majeurs conduisant au caractère volatile des DRAM en Si. Cree et l'Université de Purdue ont ainsi breveté et développé une

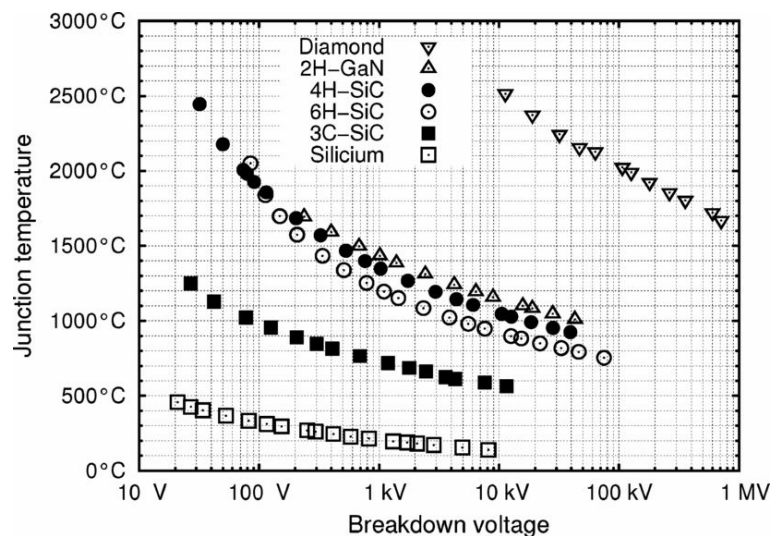


FIGURE 1.6 – Température limite théorique de fonctionnement conduisant à l’emballement thermique en fonction de la tension de claquage pour différents semiconducteurs [4].

NVRAM basée sur une structure de type NPN (condensateur PNP, transistor NPN) [9–12]. A température ambiante, la durée de conservation de la charge, et donc de l’information, a été évaluée à plus de 100 ans pour une structure élaborée (L3) sur 6H-SiC et 21 à 43 ans (2 capacités différentes notées L4) sur 4H-SiC [9] (cf. figure 1.7). Il a été montré que ce temps est principalement conditionné par la qualité de l’interface  $\text{SiO}_2\text{-SiC}$  de la passivation en périphérie.

La vitesse de saturation des électrons du SiC, deux fois supérieure à celle du silicium, permet quant à elle d’augmenter les fréquences de commutation des composants et des systèmes auxquels ils sont associés (ex : alimentation à découpage). Ainsi, on peut citer comme exemple des composants de type MESFET ou MOSFET, délivrant de quelques dizaines de watt à plusieurs kW, qui sont supposés être opérationnels à des fréquences de 10 MHz à plusieurs GHz [13].

Combinant large bande interdite et énergie de déplacement des atomes relativement importante (20-35 eV), les composants SiC sont supposés offrir une meilleure résistance aux radiations. Celles-ci sont à l’origine dans certains composants de dysfonctionnements pouvant conduire à leur destruction. Ces événements seraient la première cause de défaillance non prévisible des composants de puissance utilisés dans le transport ferroviaire. Soumis à une irradiation de protons d’énergie supérieure à 100 MeV, équivalent aux radiations cosmiques arrivant à la surface de la Terre, le taux de défaillance de diodes SiC serait largement plus faible que celui de diodes bipolaires en Si. Toutefois, l’équipe d’Infineon a montré que cette tendance resterait valable uniquement pour des tensions inverses supérieures à 800 V comme le montre la figure 1.8 [14]. Il est possible que les forts champs électriques présents dans les couches actives de composants en SiC puissent affecter



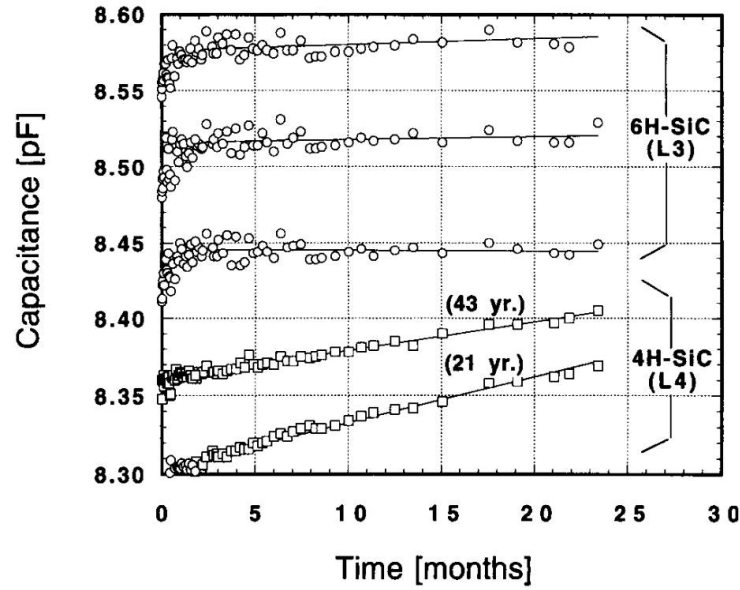


FIGURE 1.7 – Evolution de la charge stockée dans des condensateurs NPN en 6H-SiC et 4H-SiC au cours du temps [9]. Les courbes ont été volontairement décalées pour une meilleure lisibilité.

leur résistance aux radiations, compensant ainsi le bénéfice de la large bande interdite et de l'énergie de déplacement des atomes importante.

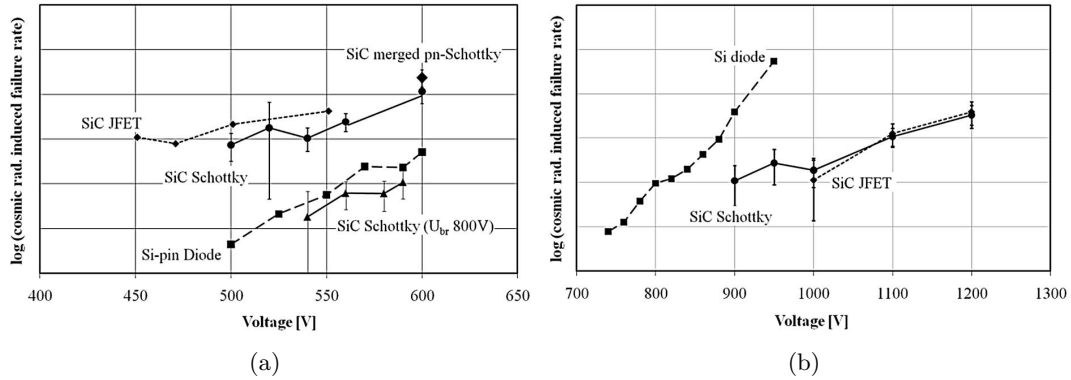


FIGURE 1.8 – Taux de défaillance de composants Si et SiC 600V (a) et 1200V (b) en fonction de la tension inverse [14].

La conductivité thermique du SiC est largement supérieure à celle du Si (2,8 et 4,5 W/cm.K respectivement pour 4H-SiC fortement dopé de type N et semi-isolant [15] contre 1,5 pour Si). Elle permet donc une dissipation plus efficace de la chaleur générée lors du fonctionnement des dispositifs. Ainsi, une réduction des éléments de refroidissement associée au module électronique est possible, ce qui représente un réel bénéfice dans des applications telles que le transport (aéronautique, automobile, ...) où le poids et le volume

occupés par les systèmes électroniques doivent être limités au strict minimum.

En plus de ces propriétés directement exploitables pour des applications en électronique, le SiC présente des caractéristiques lui ouvrant de nombreux domaines d'application.

Tout d'abord, la liaison Si–C est covalente et fortement énergétique. Il en découle des propriétés physico-chimiques intéressantes telles que l'inertie chimique. Ainsi, à température ambiante, le SiC résiste à toutes les solutions chimiques communément employées en technologie microélectronique. Seule une gravure chimique à haute température ( $> 300^{\circ}\text{C}$ ) en présence de sels fondus de KOH [16] est efficace. Cette méthode est utilisée principalement pour la révélation et la différenciation des défauts cristallins. La résistance « chimique » du SiC peut donc être mise à profit pour la réalisation de « smart » implants, de capteurs biologiques *in-vivo* ou en environnements sévères [17]. Enfin, d'un point de vue mécanique, son fort module d'Young (450 GPa) par rapport à celui du Si (150 GPa) [18] est particulièrement intéressant pour la réalisation de micro-systèmes électromécaniques (MEMS). Le polytype 3C-SiC épitaxié sur substrat Si est souvent retenu pour la démonstration de MEMS car l'empilement SiC/Si est plus simple à usiner que le 4H-SiC massif. En effet, dans l'empilement 3C-SiC/Si, la couche de silicium joue le rôle de couche sacrificielle. Théoriquement, des fréquences de résonance de l'ordre de 100 MHz et des facteurs de qualité supérieurs à  $10^5$  peuvent être atteints avec des résonateurs en SiC. Expérimentalement, plusieurs structures de MEMS en SiC ont été démontrées avec succès telles que des microleviers [19, 20], des capteurs de pression [21] ou encore des accéléromètres [22]. Grâce aux propriétés vues précédemment, les MEMS en SiC répondent aussi aux exigences requises pour fonctionner en environnements sévères. Par leur simplicité de fabrication, les microleviers sont particulièrement intéressants pour corréler les propriétés mécaniques et les performances du système en termes de fréquence de résonance notamment. Récemment, dans le cadre d'un projet ANR (NanoSens) dans lequel le GREMAN était impliqué, des nanorésonateurs fonctionnant à plus de 100 MHz ont été obtenus en 3C-SiC permettant d'obtenir une imagerie AFM « non contact » à ultra haute fréquence [20].

En résumé, le SiC est un matériau à large bande interdite possédant des propriétés électriques et physiques largement supérieures à celle du silicium. L'électronique de puissance est sans aucun doute son domaine d'application par excellence et il est un matériau idéal pour répondre aux principales exigences actuelles telles que l'augmentation des calibres courant/tension, la réduction des pertes énergétiques, la miniaturisation des dispositifs et le fonctionnement en environnement sévère.



## 1.3 Composants électroniques en SiC

Comme nous l'avons vu précédemment, grâce à ses excellentes propriétés physiques et électriques, le SiC repousse les limites imposées par le silicium et ouvre la voie d'une électronique de puissance plus performante. Depuis la commercialisation en 2001 de la première diode Schottky par Infineon et, 10 ans plus tard, du premier MOSFET par Cree, la technologie SiC s'est largement développée et diversifiée. Cette partie a pour objectif de présenter l'état de l'art des composants de puissance en SiC, les différentes configurations existantes, leurs avantages et leurs limitations.

### 1.3.1 Redresseurs

Parmi les interrupteurs de puissance, les redresseurs sont les seuls composants que l'on peut considérer comme passif, c'est-à-dire ne nécessitant pas de source d'énergie extérieure pour leur fonctionnement. Ils se comportent comme des interrupteurs non commandables. De manière schématique, en polarisation directe, la diode doit permettre la circulation d'un fort courant sous une tension la plus faible possible alors qu'en polarisation inverse, elle doit bloquer le courant et tenir une forte tension à ses bornes. Les redresseurs de puissance représentent sans doute la catégorie de composants de puissance la plus étudiée en SiC. Des tensions de claquage jusqu'à 10 kV pour des structures unipolaires et jusqu'à 19 kV pour des diodes PiN ont été démontrées dans la littérature. En termes de niveau de courant en direct, l'état de l'art est une diode PiN de  $2,25 \text{ cm}^2$  de surface active, supportant 180 A et capable de tenir une tension inverse de 4,5 kV avec un courant de fuite de  $1 \text{ }\mu\text{A}$  [23].

Les figures de mérite 1.9-a et 1.9-b situent les performances expérimentales de redresseurs de puissance en SiC issues de la littérature, en comparaison avec les limites théoriques imposées par le silicium, le SiC et le GaN.

Sur la figure 1.9-a, on s'intéresse au compromis  $R_{\text{ON}}/V_{\text{B}}$  qui, comme on le voit, est très favorable aux matériaux à large bande interdite. Ainsi, pour le SiC et le GaN, même si le niveau de maturité de la technologie est, aujourd'hui, bien inférieur à celle du Si, les performances expérimentales des démonstrateurs unipolaires présentées sur la figure 1.9-a dépassent de loin la limite imposée par le silicium. De plus, on note que les performances de certaines configurations de redresseurs en SiC tels que les « super-SBD » s'approchent de la limite imposée par le matériau. Les performances expérimentales de différentes configurations (SBD, JBS, et Super-SBD) des redresseurs en SiC ou GaN démontrent ainsi la supériorité de ces matériaux pour la réalisation de redresseurs à forte tenue en tension et faibles pertes en conduction.

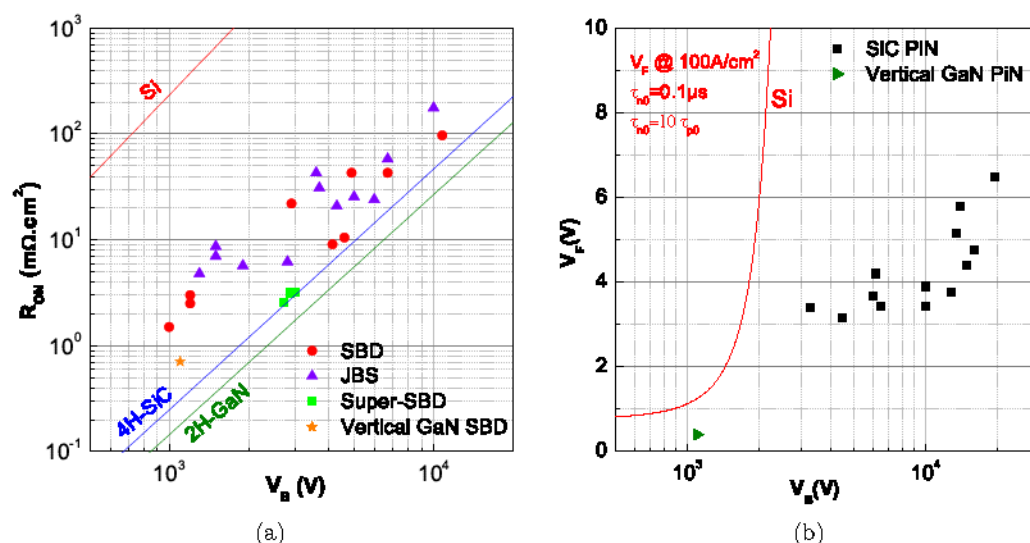


FIGURE 1.9 – Figures de mérite des redresseurs de puissance en SiC. Résistance à l'état passant  $R_{ON}$  pour les composants unipolaires (a) et tension de seuil  $V_F$  à  $100 A \cdot cm^{-2}$  pour les diodes PiN (b) en fonction de la tension de claquage  $V_B$ . Les limites unipolaires du 4H-SiC et 2H-GaN sont données par [4]. La caractéristique  $V_F(V_B)$  pour Si est donnée par [24].

Sur la figure 1.9-b, un autre critère de performance est présenté pour les structures bipolaires où le compromis est fait entre tension de seuil  $V_F$  et tension de claquage  $V_B$ . La tension de seuil  $V_F$  de la diode bipolaire est étroitement liée à la largeur de la bande interdite du matériau. Celle d'une diode SiC est donc supposée être supérieure à celle d'une diode Si. Toutefois, les forts calibres en tension ( $> 2$  kV) imposent l'utilisation d'épaisseurs couches actives en Si. Par conséquent, la longueur de diffusion des porteurs nécessaire pour moduler la conductivité de la couche active doit être suffisamment grande pour éviter la recombinaison des porteurs dans la couche. Dans le cas contraire, cela se traduit par une augmentation de la tension de seuil de la diode (figure 1.9-b). Sachant qu'une forte durée de vie des porteurs implique des temps de commutation relativement longs pour éliminer efficacement la charge stockée à la fermeture de la diode, la technologie bipolaire silicium reste inadaptée pour des applications de très fortes tensions. Le SiC, quant à lui, répond parfaitement à cette problématique. Le champ électrique critique élevé du SiC permet de réduire considérablement l'épaisseur de la couche active. Ainsi, la longueur de diffusion nécessaire pour bénéficier d'une modulation de la conductivité peut être réduite d'un facteur 10 par rapport à celle du silicium. Les durées de vie des porteurs mises en jeu peuvent alors être très faibles, 100 fois inférieures à celles observées dans le Si. Il est ainsi possible d'atteindre des tenues en tension supérieures à 3 kV avec des temps de commutation 100 fois plus faibles qu'avec du Si.

A travers ces deux exemples, la supériorité des redresseurs en SiC par rapport au Si a été démontrée pour les applications à forte tension. Depuis 2001, des redresseurs de puissance en SiC ont été introduits sur le marché et, à l'heure actuelle, des diodes Schottky avec des tenues en tension allant jusqu'à 1700 V sont commercialisées par différents fabricants, comme on peut le noter sur le tableau 1.1.

| Fabricant               | $V_{RRM}$ (V) | $I_F$ (A) |
|-------------------------|---------------|-----------|
| Cree                    | 600           | 2 à 10    |
|                         | 650           | 4 à 10    |
|                         | 1200          | 2 à 20    |
|                         | 1700          | 10 à 25   |
| GeneSiC Semiconductor   | 650           | 10 à 15   |
|                         | 1200          | 1 à 20    |
| Infineon Technologies   | 650           | 3 à 40    |
|                         | 1200          | 2 à 30    |
| Ixys                    | 600           | 4 à 6     |
| Microsemi               | 600           | 10        |
|                         | 1200          | 5 à 30    |
| Rohm Semiconductor      | 600           | 6 à 20    |
|                         | 1200          | 5 à 20    |
| Semisouth               | 1200          | 5 à 30    |
| Sensitron Semiconductor | 600           | 10        |
|                         | 1200          | 5 à 20    |
| STMicroelectronics      | 600           | 10 à 12   |
|                         | 650           | 4 à 10    |
|                         | 1200          | 6         |
| TT Electronics Semelab  | 600           | 5 à 10    |
|                         | 1200          | 10        |

Tableau 1.1 – Caractéristiques des redresseurs de puissance en SiC disponibles commercialement sur le marché.  $V_{RRM}$  et  $I_F$  correspondent respectivement à la valeur maximale de la tension inverse et au courant nominal de la diode en direct.

Les diodes SiC 600 et 1200 V sont principalement utilisées comme diode boost (figure 1.1) dans un étage de correction de facteur de puissance ou comme diode de roue libre dans les onduleurs. Des convertisseurs hybrides intégrant des diodes SiC associées à des transistors en Si de type MOSFET ou IGBT sont également disponibles sur le marché. Néanmoins, depuis l'arrivée sur le marché d'interrupteurs en SiC, des modules « full SiC » commencent à être distribués par différents fournisseurs (Cree, Rohm, Mitsubishi, ...).

### 1.3.1.1 Diode Schottky

La diode Schottky reste le composant le plus étudié dans la littérature puisqu'elle est le véhicule de test le plus pertinent pour évaluer un matériau semiconducteur destiné à des

applications en microélectronique. La fabrication de ce dispositif regroupe les principales briques technologiques rencontrées en microélectronique. De plus, pour un procédé de fabrication donné, la diode Schottky permet d'établir nettement la corrélation entre les caractéristiques électriques et la qualité du matériau en termes de défauts électriquement actifs. La formation d'un contact redresseur (ou Schottky) à l'anode constitue la brique technologique de base de la diode Schottky (figure 1.10). Ce contact résulte de l'interaction électronique entre un métal et un semiconducteur. La différence de travaux de sortie entre les deux matériaux va induire une barrière de potentiel et, par conséquent, une zone de charge d'espace est créée.

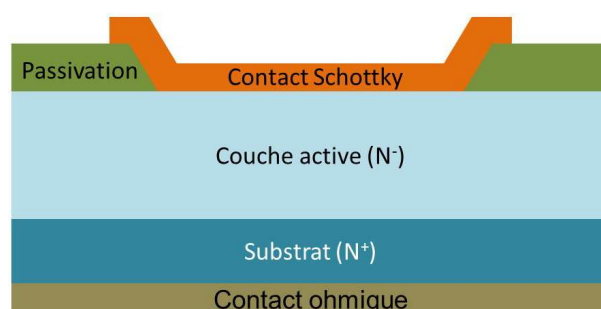


FIGURE 1.10 – Schéma en coupe d'une diode Schottky verticale.

Si la diode est suffisamment polarisée en direct, les porteurs peuvent circuler. La conduction dans la diode Schottky est assurée uniquement par les porteurs majoritaires et l'ordre de grandeur de la tension de seuil  $V_F$  est, en première approximation, celle de la hauteur de la barrière Schottky. Ainsi, la diode Schottky présente en général une tension de seuil plus faible que la diode bipolaire. En polarisation inverse, la hauteur de barrière augmente, le champ électrique s'accroît et, par conséquent, la zone de charge d'espace s'étend dans le semiconducteur. Plusieurs mécanismes de conduction des porteurs sont toutefois possibles et participent au courant de fuite de la diode. Lorsque la polarisation atteint la tension de claquage, le champ électrique atteint la valeur pour laquelle le mécanisme de génération de porteurs par impact est activé. Par rapport à la diode bipolaire, les avantages de la diode Schottky sont les faibles tensions de seuil et l'absence de pertes liées à la présence de porteurs minoritaires. De plus, le champ critique élevé du SiC rend possible la fabrication de diodes Schottky à forte tension de claquage  $V_B$  (supérieure aux 150 - 200V des diodes Schottky classiquement réalisées en Si) présentant de faibles résistances à l'état passant  $R_{ON}$  (faible épaisseur de couche active).

Un état de l'art des diodes Schottky issues de la littérature est présenté dans le tableau 1.2. De manière générale, le facteur de mérite de Baliga (BFOM pour « **B**aliga's **F**igure **O**f **M**erit ») [25] est associé à chaque résultat et permet d'évaluer les performances des composants unipolaires à partir du rapport qui existe entre la résistance à l'état passant et la tension de claquage tel que :

$$BFOM = \epsilon_S \mu E_B^3 = \frac{4 \cdot V_B^2}{R_{ON}} \quad (1.4)$$

Plus la valeur de ce facteur est élevée, plus le composant est performant. Le tableau 1.2 recense les performances ( $R_{ON}$  et  $V_B$ ) de quelques démonstrateurs de diode Schottky issus de la littérature. Des diodes Schottky en SiC ont été démontrées avec des tensions de claquage pouvant atteindre 10,8 kV et présenter des valeurs de BFOM jusqu'à 8000 MW.cm<sup>-2</sup>. Pour le GaN, les travaux conduits sur le développement de redresseurs sont peu nombreux. Toutefois, on retient la démonstration d'une diode Schottky verticale sur GaN massif avec une tenue en tension de 1100 V et une valeur de BFOM de 6817. Dans le tableau 1.2, on note que le BFOM de composants unipolaires en silicium est rarement supérieur à 10 alors que celui de composants en SiC ou GaN est généralement supérieur à 1000, ce qui montre la supériorité de ces matériaux sur le Si.

| Ref  | Matériau | $V_B$ (kV) | $R_{ON}$ (m $\Omega$ .cm <sup>2</sup> ) | BFOM (MW.cm <sup>-2</sup> ) |
|------|----------|------------|-----------------------------------------|-----------------------------|
| [26] | Si       | 0,23       | 29                                      | 7,2                         |
| [27] | GaN      | 1,1        | 0,71                                    | 6817                        |
| [28] | SiC      | 1,0        | 1,5                                     | 2667                        |
| [29] | SiC      | 1,2        | 3,0                                     | 1920                        |
| [30] | SiC      | 1,2        | 2,5                                     | 2304                        |
| [31] | SiC      | 1,8        | 2,2                                     | 5891                        |
| [32] | SiC      | 2,9        | 22                                      | 1529                        |
| [33] | SiC      | 4,1        | 9,1                                     | 7595                        |
| [34] | SiC      | 4,6        | 10,5                                    | 8061                        |
| [35] | SiC      | 4,9        | 73                                      | 2233                        |
| [36] | SiC      | 6,7        | 43                                      | 4176                        |
| [37] | SiC      | 10,8       | 97                                      | 4810                        |

Tableau 1.2 – Etat de l'art des performances des diodes Schottky

Le défaut principal de la diode Schottky réside dans son niveau de courant de fuite plus important que pour les autres structures. En effet, les fortes tensions appliquées sur de faibles épaisseurs de couche active induisent des champs électriques particulièrement intenses en régime bloqué pour les composants SiC. Ainsi, le courant de fuite de la diode Schottky peut s'accroître fortement avec l'augmentation de la tension et est essentiellement lié à des mécanismes de transport par effet tunnel [38]. De plus, un autre phénomène a un fort impact sur la génération de courant de fuite et est particulièrement significatif dans SiC. Il s'agit de l'abaissement de la barrière par effet Schottky, comme le montre la figure 1.11.

L'abaissement de barrière est lié au champ électrique maximum sous le contact Schottky et peut être calculé par la relation :

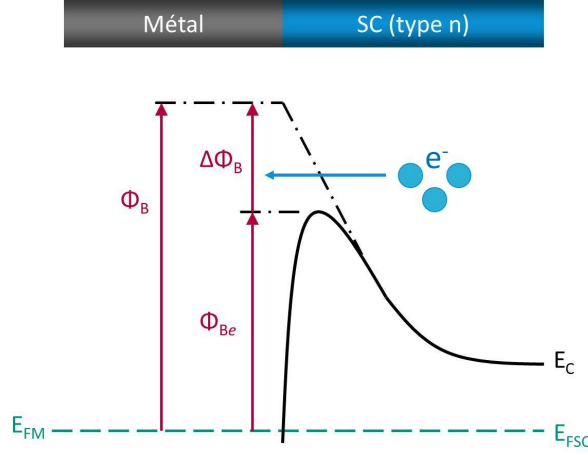


FIGURE 1.11 – Diagramme de bande montrant l'effet Schottky dans une jonction métal-semiconducteur (type n)

$$\Delta\phi_B/q = \sqrt{\frac{qE_m}{4\pi\epsilon_s}} \quad (1.5)$$

avec  $E_m$  le champ électrique à l'interface métal-semiconducteur qui peut s'exprimer par :

$$E_m = \sqrt{\frac{2qN_D}{\epsilon_s} (V_R + V_{bi})} \quad (1.6)$$

avec  $V_R$  et  $V_{bi}$  respectivement les tensions de polarisation inverse et de diffusion de la jonction Schottky. Sur la figure 1.12, l'abaissement de la barrière Schottky pour des structures en Si et SiC est représenté dans le cas d'un dopage de la couche active de  $1 \times 10^{16} \text{ cm}^{-3}$  et d'une hauteur de barrière Schottky initiale de 1eV. La tension de polarisation a été normalisée par rapport à la tension de claquage qui est, pour ce dopage de la couche active, de 50 et 2000 V respectivement pour Si et SiC.

Ainsi lorsqu'on s'approche de la tension de claquage, l'abaissement de barrière dans le cas du SiC est bien plus important que dans le cas du Si. Toutefois, les hauteurs de barrière Schottky sont relativement importantes sur SiC, supérieures à 1eV, ce qui contribue tout de même à limiter cet effet et donc le niveau de courant de fuite. Enfin, nous verrons plus tard que la présence de certains défauts cristallins entraîne une forte augmentation du courant de fuite.

Une autre problématique de la diode Schottky en SiC est liée à l'augmentation de la résistance série avec la température de jonction  $T_j$ . La figure 1.13 montre le comportement en direct de la diode à différentes températures de jonction. Une inversion de la tendance est observée à un certain niveau de courant, noté  $J_C$ . Ainsi :

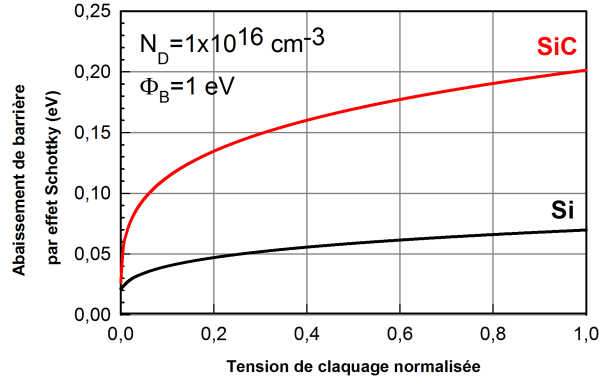


FIGURE 1.12 – Abaissement de barrière par effet Schottky en fonction de la tension de polarisation normalisée par rapport à la tension de claquage.

- pour des niveaux de densité de courant inférieurs à  $J_C$ , la barrière Schottky contribue majoritairement à la chute de tension à l'état passant de la diode. Sa hauteur diminuant avec la température, la circulation des porteurs est améliorée et ainsi la tension de seuil  $V_F$  diminue avec la température. La variation de la tension de seuil avec la température peut être exprimée par un coefficient de température noté  $\alpha V_F$ . Dans ce cas, on dira que ce coefficient  $\alpha V_F$  est négatif,
- pour des niveaux de densité de courant supérieurs à  $J_C$ , la résistance de la couche active contribue largement à la chute de tension de la diode. La mobilité des porteurs diminuant avec la température, la circulation des porteurs est dégradée et ainsi la chute de tension  $V_F$  augmente avec la température. Le coefficient de température de la chute de tension ( $\alpha V_F$ ) est positif.

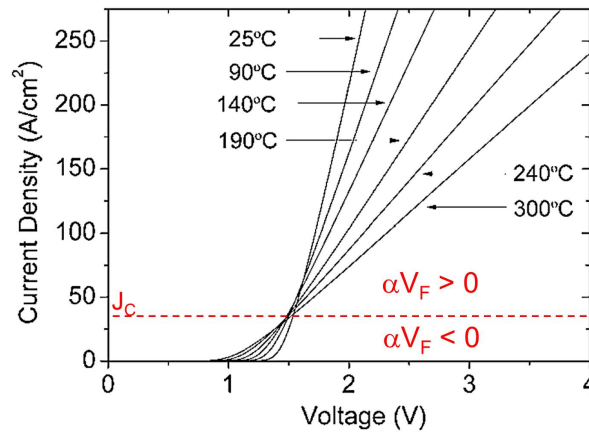


FIGURE 1.13 – Caractéristique courant-tension d'une diode Schottky SiC à différentes températures [39].

Par conséquent, à fort niveau de courant, c'est-à-dire pour  $\alpha V_F$  positif, une augmentation de la température de jonction de la diode SiC conduit à une augmentation de  $V_F$  et donc à une élévation des pertes en conduction qui, elles-mêmes, induiront à nouveau une augmentation de la température de jonction. Une boucle néfaste, susceptible d'entraîner des instabilités thermiques, est ainsi constituée. Pour certains niveaux de surintensité en courant de surcharge, cela peut conduire à la destruction de la diode par emballement thermique.

Toutefois, ce coefficient thermique positif de la résistance peut être mis à profit pour la parallélisation de diodes. Prenons le cas de deux diodes en parallèle ayant des caractéristiques I-V significativement différentes. La diode ayant le  $V_F$  le plus faible va délivrer une densité de courant plus importante que la diode à plus fort  $V_F$ . Ainsi, l'augmentation de la température provoquée par auto-échauffement entraîne celle de son  $V_F$  jusqu'à s'accorder avec la diode à fort  $V_F$ . On a donc un montage de deux diodes en parallèle efficace où le rééquilibrage en courant se fait naturellement.

La diode Schottky est donc un redresseur intéressant pour sa faible tension de seuil  $V_F$  et l'absence de courant de recouvrement par rapport à la diode bipolaire. Toutefois, ses courants de fuite importants et ses limitations de fonctionnement à fort niveau de courant sont ses principaux défauts et imposent le développement d'autres composants.

### 1.3.1.2 Diode bipolaire

En électronique de puissance, on utilise préférentiellement la diode appelée PiN où i désigne une couche faiblement dopée, dite « intrinsèque ». Cette zone est réalisée afin d'obtenir des tenues en tension importantes. La figure 1.14 présente la structure d'une telle diode. À l'anode, la couche  $P^+$  peut être obtenue soit par épitaxie soit par implantation ionique.

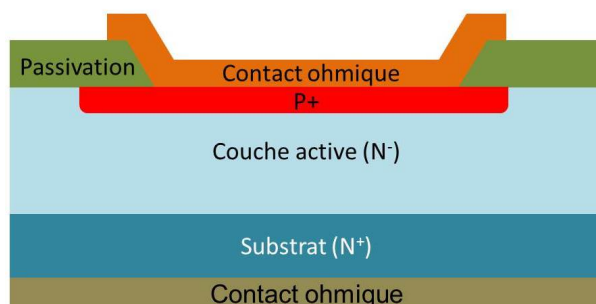


FIGURE 1.14 – Schéma en coupe d'une diode PiN verticale.



Les performances statiques de la diode PiN diffèrent de celles de la diode Schottky :

- en inverse, le niveau de courant de fuite de la diode PiN est nettement plus faible. Le mécanisme de transport des porteurs dominant dans la jonction PN en régime bloqué est la génération thermique au sein de la zone de charge d'espace qui, du fait de la large bande interdite du SiC, est négligeable,
- en direct, le niveau de la tension de seuil est lié à la largeur de la bande interdite pour la diode PiN alors qu'il est lié à la hauteur de barrière pour la diode Schottky. De ce fait, la tension de seuil de la diode Schottky est plus faible que celle de la diode PiN. L'utilisation de cette dernière sera donc privilégiée pour les applications nécessitant de fortes densités de courant, régime dans lequel la diode Schottky présente un coefficient de température positif de la tension de seuil et donc des risques d'emballement thermique.

Le principal avantage de la diode PiN, par rapport à la diode Schottky, est la modulation de conductivité de la zone faiblement dopée liée à l'injection de porteurs minoritaires. Lors de la mise en conduction, la base se remplit de trous provenant de la zone  $P^+$  et d'électrons de la zone  $N^+$  (charge stockée). Ainsi, la résistivité de la base diminue au fur et à mesure qu'augmente l'injection de courant, et ce jusqu'au moment où la résistance en série devient prépondérante. Malheureusement, les porteurs minoritaires stockés en régime direct devront être évacués lors du passage à l'état bloqué afin que la base retrouve sa forte résistivité assurant ainsi la tenue en tension. Cette phase transitoire, caractérisée par le temps de recouvrement inverse de la charge stockée, est à l'origine des pertes en commutation.

Les performances en termes de modulation de conductivité et de recouvrement de charges stockées sont étroitement liées aux phénomènes de recombinaison des porteurs. Il est donc nécessaire de trouver un compromis entre efficacité de modulation de la résistivité et minimisation du temps de recouvrement. La durée de vie des porteurs minoritaires sera le paramètre d'ajustement. Ainsi, une faible durée de vie des porteurs dans la base limite la modulation de résistivité et se traduit par une forte tension de seuil. A l'inverse, une forte durée de vie assure une meilleure modulation de celle-ci mais se traduit par des durées de commutation très importantes.

La figure 1.15-a présente la caractéristique courant-tension en direct d'une diode PiN en SiC à différentes températures. L'augmentation de la conductivité avec la température est liée à la fois à l'augmentation de la durée de vie des porteurs et à la diminution de l'énergie de bande interdite. Néanmoins, à partir d'une certaine température, la réduction de la mobilité des porteurs devient prépondérante et tend à augmenter la résistance série. En parallèle, l'augmentation de la durée de vie des porteurs avec la température va se traduire par une charge stockée plus élevée et, par conséquent, par l'augmentation du temps de recouvrement lors de la commutation. Pour des conditions de mesure équivalentes, la

diode PiN en SiC présente toutefois une charge à recouvrer beaucoup plus faible que celle présente dans une diode Si (figure 1.15-b).

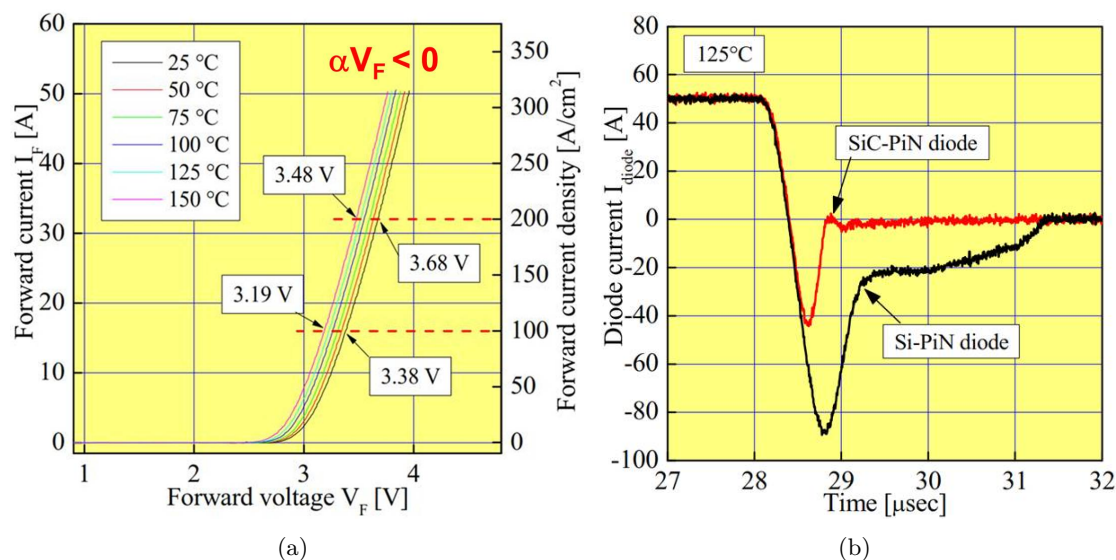


FIGURE 1.15 – Caractéristiques directes à différentes températures d'une diode PiN 6 kV en 4H-SiC (a) et courant de recouvrement à la fermeture à 125 °C de la même diode (b) en comparaison avec une diode PiN en Si [40].

Un des principaux challenges pour le développement d'une technologie bipolaire SiC destinée aux applications de forte puissance est l'augmentation de la durée de vie des porteurs dans la couche i, intimement liée à la qualité cristalline et à la pureté du matériau semiconducteur.

La qualité du matériau SiC n'est pas encore égale à celle du Si. De ce fait, les durées de vie des porteurs sont encore relativement faibles, de l'ordre de 0,5 - 2  $\mu$ s dans les couches épitaxiées de 4H-SiC. Ainsi, pour des applications de forte puissance mettant en jeu des couches de plusieurs dizaines de  $\mu$ m, ce niveau de durée de vie reste insuffisant. Pour exemple, une durée de vie supérieure à 5  $\mu$ s est nécessaire pour qu'une diode PiN bloquant 10 kV bénéficie d'une modulation optimale de la résistivité [41]. Par conséquent, de nombreux travaux ont été conduits pour identifier les causes de ces faibles durées de vie. Le principal centre de recombinaison dit « tueur » de durée de vie a été identifié. Il s'agit du centre profond  $Z_{1/2}$  située à 0,65 eV sous la bande de conduction dont l'origine serait liée aux lacunes de carbone [42–44]. Une augmentation de la durée de vie a été rendue possible par l'optimisation des conditions de croissance et le recours à des traitements post-croissance visant à réduire la concentration de ces centres. Storasta *et al.* ont démontré qu'il était possible de les éliminer par implantation de carbone suivi d'un recuit thermique sous Ar [45]. Une autre solution proposée consiste en une oxydation de la couche, les interstitiels de carbone à l'interface  $\text{SiO}_2/\text{SiC}$  participant à l'annihilation des lacunes [46].

Partant d'une durée de vie initiale de 1,07  $\mu\text{s}$  dans une couche épitaxiée d'une épaisseur de 186  $\mu\text{m}$ , Kimoto *et al.* ont réussi à augmenter celle-ci à 19,4  $\mu\text{s}$  par deux oxydations successives de 24 heures. Une amélioration jusqu'à 25,9  $\mu\text{s}$  a même été atteinte avec une passivation de la surface avec un dépôt d'oxyde recuit sous NO [47]. Ces résultats sont donc prometteurs pour le développement d'une technologie bipolaire en SiC.

Grâce à l'effet de modulation de conductivité, les diodes PiN sont prédisposées aux applications requérant de fortes tenues en tension et de forts niveaux de courant en direct. Un inventaire non exhaustif de démonstrateurs de diode PiN en SiC est présenté dans le tableau 1.3.

| Ref  | $V_B$ (kV) | Caractéristiques directes (@ RT et 100 A.cm <sup>-2</sup> ) |                                         | Surface active (mm <sup>2</sup> ) |
|------|------------|-------------------------------------------------------------|-----------------------------------------|-----------------------------------|
|      |            | $V_F$ (V)                                                   | $R_{ON}$ (m $\Omega$ .cm <sup>2</sup> ) |                                   |
| [48] | 3,3        | 3,4                                                         | -                                       | 2,6                               |
| [23] | 4,5        | 3,17                                                        | -                                       | 225                               |
| [40] | 6          | 3,68                                                        | -                                       | 16                                |
| [49] | 6,2        | 4,2                                                         | 7,4                                     | -                                 |
| [50] | 6,5        | 3,42                                                        | -                                       | 3,52                              |
| [51] | 10         | 3,9                                                         | -                                       | 50                                |
| [52] | 10         | 3,44                                                        | -                                       | 0,5                               |
| [53] | 12,9       | -                                                           | 5,75                                    | 25                                |
|      |            | 3,75                                                        | 3,3                                     | 0,79                              |
| [54] | 13,5       | 5,15                                                        | 14,3                                    | 16                                |
|      | 14         | 5,78                                                        | 17                                      | 16                                |
| [55] | 16         | 4,77                                                        | 9,6                                     | 100                               |
| [56] | 14,9       | 4,4                                                         | -                                       | -                                 |
|      | 19,5       | 6,5                                                         | -                                       | -                                 |
| [57] | 20         | 9,34 (@ 50 A.cm <sup>-2</sup> )                             | 63,4 (@ 50 A.cm <sup>-2</sup> )         | 0,07                              |

Tableau 1.3 – Exemples de performances de diodes PiN.

Les efforts menés sur l'augmentation de la durée de vie des porteurs dans la zone i, combinés aux études des techniques de protection périphérique, ont permis la démonstration de diodes ayant des tenues en tension allant jusqu'à 20 kV et bénéficiant d'une modulation de la conductivité. De plus, comme nous le verrons plus loin, la réduction continue de la densité de défauts électriquement actifs tels que les « micropipes » et les dislocations rend envisageable la fabrication de dispositifs avec des surfaces actives de plusieurs cm<sup>2</sup>, indispensables pour l'obtention de fort niveau de courant (plusieurs centaines d'ampères).

Actuellement, la principale limitation des composants bipolaires en SiC reste la possible dégradation de leurs performances électriques due à la propagation de dislocations et la création de fautes d'empilement (« Stacking Fault ») sous forte densité de courant direct comme le montre la figure 1.16. En régime d'injection de porteurs minoritaires, l'activité de

ces défauts est alimentée par l'énergie libérée lors de la recombinaison d'une paire électron-trou [58]. Une part des recombinaisons étant radiative, il est possible de suivre l'activité de ces défauts par électroluminescence. Ainsi, la figure 1.16 révèle par cette méthode la formation d'une faute d'empilement après une minute de fonctionnement (b) en direct d'une diode PiN et sa migration au cours du temps (c, d, e, f).

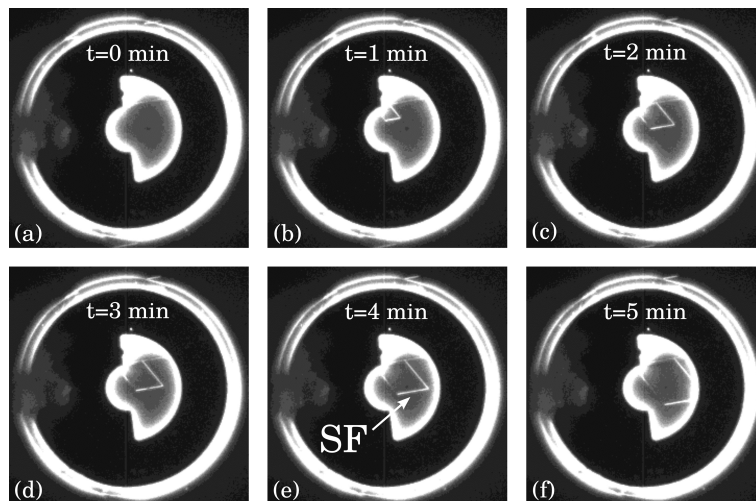


FIGURE 1.16 – Formation et propagation d'une faute d'empilement au niveau d'une diode PiN en 4H-SiC polarisée en direct à 3,5 V (@ 400A.cm<sup>-2</sup>) [59].

Ce phénomène de dégradation a longtemps été un frein au développement de composants bipolaires en SiC. Même si ce problème semble être résolu grâce aux progrès menés par la communauté scientifique, nous verrons en détail dans une prochaine partie l'impact de ces défauts sur les performances des composants bipolaires et les techniques mises en oeuvre pour le limiter.

### 1.3.1.3 Diode mixte Schottky - Bipolaire

Nous avons vu précédemment que la diode Schottky bénéficiait d'une faible tension de seuil et de faibles pertes en commutation. Toutefois, la tension de seuil étant intimement liée à la hauteur de barrière Schottky, il est difficile de la diminuer sans dégrader le niveau de courant de fuite en régime inverse. Le concept de diode « Junction Barrier Schottky » (JBS) a été introduit et breveté par Baliga [60]. Il consiste à intégrer des zones fortement dopées de type P sous le contact Schottky afin de réduire le champ électrique sous celui-ci et ainsi minimiser le niveau de courant de fuite.

En effet, sous polarisation inverse, les zones de désertion issues des jonctions PN vont s'étendre sous le contact Schottky et se recouvrir à partir d'une certaine tension inverse  $V_R$ , conduisant alors à la création d'une barrière de potentiel entre cathode et anode (figure 1.18). L'augmentation de la tension inverse va alors être supportée par la barrière

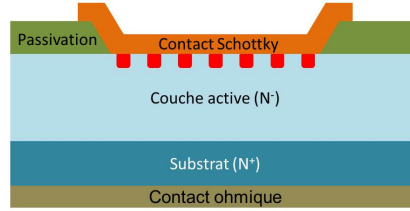


FIGURE 1.17 – Schéma en coupe d'une diode JBS.

de potentiel et la couche de désertion va continuer à s'étendre dans le substrat. Le champ électrique sous le contact Schottky et, par conséquent, le courant de fuite qui en dépend, sont alors fortement réduits. Ce phénomène de protection du contact Schottky, vis-à-vis du champ électrique, est fortement dépendant du design des zones  $P^+$ .

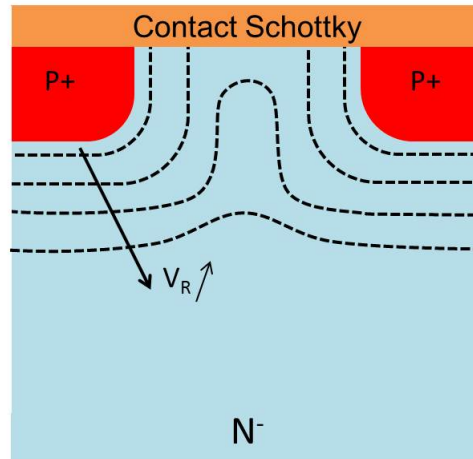


FIGURE 1.18 – Schéma de distribution des zones de désertion issues des jonctions PN avec l'augmentation de la tension inverse de la diode JBS.

Le design va aussi avoir une forte influence sur la distribution du courant en direct de la diode JBS. La présence des zones  $P^+$  induit, d'une part, la réduction de la surface active de la diode Schottky et, d'autre part, une diminution du volume de conduction. Sur la figure 1.19, on peut observer que le courant d'électrons circule uniquement entre les zones  $P^+$  (Zone 1) puis s'étale au niveau de la zone 2. Dans cette dernière, une région sous les caissons  $P^+$  ne participe pas à la conduction du courant. Enfin, la conduction des électrons redevient homogène et équivalente à ce qui se produit dans la diode Schottky lorsqu'on atteint la zone 3.

A partir d'un modèle analytique de la résistance série, nous étudierons, dans le chapitre 2, la contribution de chaque zone à la résistance totale et ce, en fonction du design et du dopage des zones  $P^+$  ainsi que de la zone active  $N^-$ . Il est donc évident que, pour une même couche active et un même contact Schottky, la diode JBS aura une tension de seuil

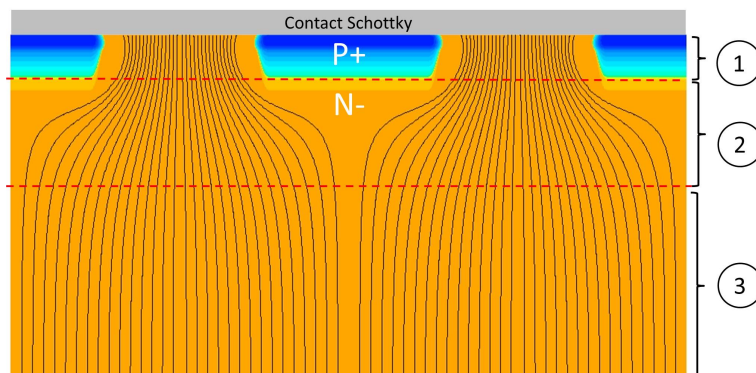


FIGURE 1.19 – Simulation de la distribution du courant d'électrons dans la couche active d'une diode JBS.

plus importante que la diode Schottky. Toutefois, contrairement à la diode Schottky où le compromis tension  $V_F$  - niveau de courant de fuite  $I_R$  est conditionné uniquement par la hauteur de barrière Schottky et le dopage de la couche active, la diode JBS offre plus de flexibilité grâce au design des zones  $P^+$ .

Ainsi, nous verrons dans le prochain chapitre qu'il est possible, grâce à un design approprié, d'augmenter le dopage de la couche active et/ou diminuer la hauteur de barrière Schottky pour améliorer les performances de la diode JBS en direct, sans dégradation importante des caractéristiques inverses.

Nous avons vu aussi que le risque d'emballement thermique en surcharge de courant, du fait d'un coefficient de température positif de la résistance série, était le second point faible de la diode Schottky. Pour pallier ce problème, il est possible de bénéficier de l'injection de porteurs minoritaires à partir des jonctions PN et de la modulation de la conductivité, d'où la qualification de diode mixte Schottky-bipolaire (« Merged PiN-Schottky » ou MPS). Ainsi, à faible tension de polarisation, la diode aura un comportement essentiellement Schottky caractérisé par une faible tension de seuil. Pour une polarisation plus élevée, l'injection de porteurs minoritaires des jonctions PN confèrera à la diode MPS le comportement de la diode PiN caractérisé par une diminution de la résistivité, comme on peut le voir schématiquement sur la figure 1.20.

L'analyse du comportement de la diode MPS avec la température de fonctionnement permet de mettre en évidence la protection de cette diode vis-à-vis de l'emballement thermique, comme indiqué sur la figure 1.21. Si le courant n'est pas suffisant, la composante bipolaire n'est pas active, la caractéristique  $V$ - $I$  de la diode MPS est alors similaire à celle d'une diode Schottky. L'augmentation de la température entraîne celle de la résistivité de la couche active. Cela se traduit par une augmentation de  $V_F$  avec la température et le coefficient  $\alpha V_F$  est positif. A fort niveau de courant, l'injection de porteurs minoritaires des jonctions PN est effective et la modulation de la résistivité a lieu. Le taux d'injection de

porteurs minoritaires augmentant avec la température, cela se traduit par une diminution du  $V_F$ . On a alors un coefficient  $\alpha_{V_F}$  négatif.

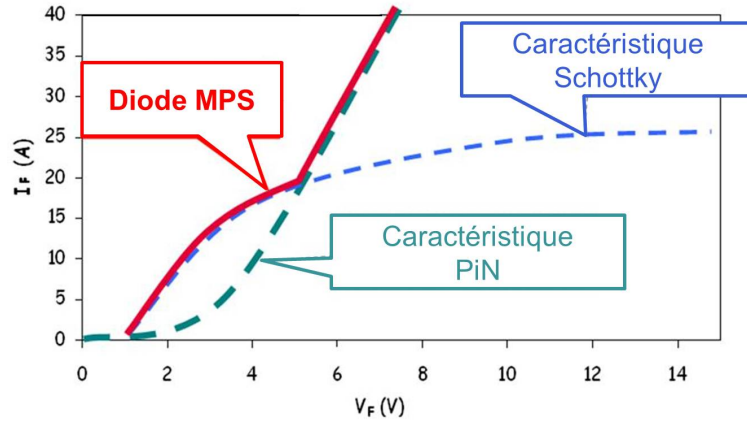


FIGURE 1.20 – Caractéristiques I-V en direct des diodes Schottky, PiN et MPS.

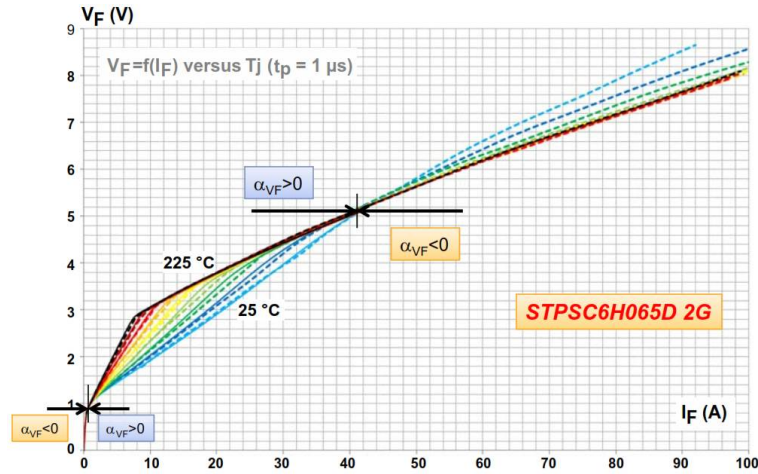


FIGURE 1.21 – Caractéristiques V-I en direct d'une diode MPS (STPSC6H065D) de STMicroelectronics mesurées à différentes températures.

L'efficacité de la conduction bipolaire de la diode MPS dépendra principalement de la résistivité des zones  $P^+$  et de la résistance de contact sur ces dernières. Nous verrons, dans le chapitre 3 de ce manuscrit, les études consacrées à l'obtention de zones faiblement résistives de type p par implantation ionique d'Al ainsi que la réalisation de contacts ohmiques sur ces régions.

A l'inverse, pour d'autres applications, l'injection de porteurs minoritaires peut être limitée volontairement par un faible dopage des zones P et/ou un contact très résistif sur celles-ci pour bénéficier de performances en commutation plus proches de celles de la diode Schottky (absence de charges stockées) [61]. De plus, comme dans le cas de la diode PiN,



| Ref  | $V_B$ (kV) | $R_{ON}$ ( $m\Omega.cm^2$ ) | BFOM ( $MW.cm^{-2}$ ) |
|------|------------|-----------------------------|-----------------------|
| [66] | 1,3        | 4,8                         | 1408                  |
| [67] | 1,5        | 8,7                         | 1034                  |
| [68] | 1,5        | 7                           | 1286                  |
| [66] | 1,7        | 4,9                         | 2359                  |
|      | 1,8        | 5,3                         | 2445                  |
|      | 1,9        | 5,9                         | 2553                  |
| [69] | 2,8        | 6,2                         | 5058                  |
| [70] | 3,6        | 43                          | 1206                  |
| [71] | 3,7        | 31                          | 1766                  |
| [72] | 4,3        | 20,9                        | 3552                  |
| [64] | 5,0        | 25,5                        | 3922                  |
| [66] | 6,0        | 47                          | 3064                  |
|      | 6,0        | 48                          | 3000                  |
|      | 6,7        | 58                          | 3096                  |
| [61] | 10,0       | 176                         | 2273                  |

Tableau 1.4 – Exemples de performances des diodes JBS

cette injection peut aussi contribuer à la formation de fautes d'empilement entraînant la dégradation des performances de la diode MPS [62, 63].

Des démonstrateurs JBS avec des tenues en tension allant jusqu'à 10 kV ont pu être réalisés (tableau 1.4). Néanmoins, à partir de 5 kV, le recours à une structure JBS ne se justifie que pour profiter de sa rapidité de commutation. En effet, compte tenu de la forte résistance de la couche active pour obtenir de tels niveaux de tenue en tension, la chute de tension à l'état passant de la diode JBS [64] devient équivalente, voire supérieure, à celle d'une diode PiN [23]. Même si la modulation de conductivité est possible grâce à l'injection de porteurs minoritaires issus des jonctions PN dans le cas d'une diode MPS, la diode PiN reste néanmoins plus avantageuse. En effet, de nombreux travaux ont montré que l'efficacité d'un émetteur  $P^+$  réalisé par implantation ionique (à l'heure actuelle, seule technique viable de dopage localisé) était inférieure à celle d'un émetteur réalisé par épitaxie [50, 65]. Cela se traduit par de plus fortes valeurs de  $V_F$  pour les diodes PiN réalisées par implantation ionique. A surface active égale, la diode PiN aura donc toujours un  $V_F$  plus faible au-delà de 5 kV de tenue en tension.

En résumé, la diode JBS permet d'exploiter les caractéristiques de la diode Schottky, en termes de faible tension de seuil et de rapidité de commutation, et celles de la diode PiN en termes de niveau de courant de fuite et de modulation de conductivité (cas de la diode MPS). Elle sera réservée pour des applications requérant des tenues en tension inférieures à 5 kV. Suivant l'application, un compromis devra être fait entre :

- vitesse de commutation et modulation de conductivité conditionnées par le niveau d'injection de porteurs minoritaires. Ce dernier dépend fortement du dopage des



- zones  $P^+$  et de la résistance du contact sur celles-ci,
- niveau de courant de fuite et résistance à l'état passant (à faible injection) conditionnés par le design des zones  $P^+$ .

#### 1.3.1.4 « Super-SBD »

La structure dite « Super-SBD », ou FLI-diode pour « **F**loating **I**slands », est une diode Schottky intégrant des îlots flottants  $P^+$  enterrés dans la couche active (figure 1.22). Ce concept de structure à îlots flottants a été initialement proposé par une équipe du LAAS-CNRS [73] et a été appliqué en technologie SiC essentiellement par le groupe de recherche de Toshiba/AIST [74, 75].

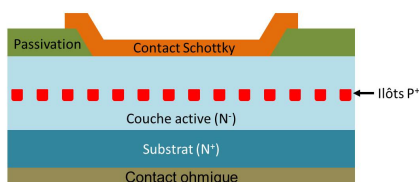


FIGURE 1.22 – Schéma en coupe d'une diode « Super-SBD ».

Le principe de cette structure est le suivant : la tenue en tension par extension de la zone de charge d'espace (ZCE) est assurée par la zone  $N^-$ , les îlots  $P^+$  agissant alors comme des diviseurs de champ électrique (et donc de potentiel). Ainsi, au lieu d'avoir un champ maximum sous le contact Schottky, on obtient plusieurs maxima de valeur plus faible que dans le cas de la diode Schottky conventionnelle, répartis entre le contact Schottky et les îlots  $P^+$ . La distribution du champ électrique est donc ici multi-triangulaire (figure 1.23-b) alors qu'elle est triangulaire dans une diode Schottky (figure 1.23-a). Pour un même dopage des couches  $N^-$ , la diode Super-SBD aura une meilleure tenue en tension que la diode Schottky. Cette configuration d'îlots flottants diminuant le champ critique permet donc d'augmenter le dopage des régions  $N^-$  de la Super-SBD pour atteindre de nouveau le même champ critique que la diode Schottky et donc bénéficier d'une diminution de la résistance à l'état passant.

| Ref  | $V_B$ (kV) | $R_{ON}$ ( $m\Omega.cm^2$ ) | BFOM ( $MW.cm^{-2}$ ) |
|------|------------|-----------------------------|-----------------------|
| [74] | 2,70       | 2,57                        | 11346                 |
| [75] | 2,86       | 3,15                        | 10387                 |
|      | 2,99       | 3,22                        | 11106                 |

Tableau 1.5 – Etat de l'art des performances des diodes « Super-SBD ».

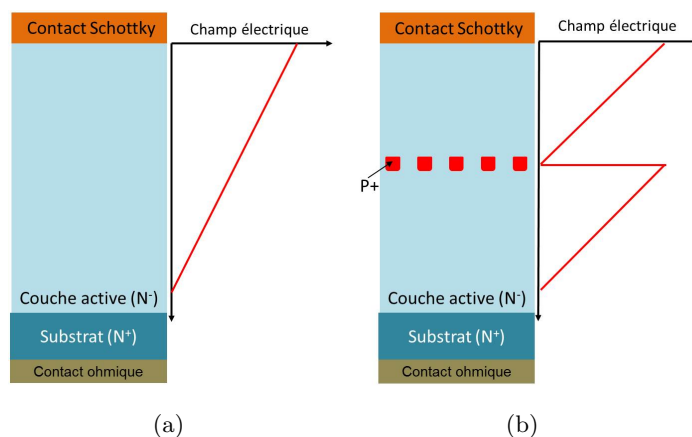


FIGURE 1.23 – Distribution du champ électrique selon la profondeur suivant la structure : pure Schottky (a) ou Super-SBD (b).

Plusieurs démonstrateurs ont vu le jour avec des valeurs de BFOM largement supérieures aux autres types de redresseurs de puissance (Tableau 1.5). Néanmoins, de par leur caractère flottant, les zones  $P^+$  ne sont pas polarisées. L'injection bipolaire et, par conséquent, la modulation de conductivité, n'est pas possible. Le comportement de la diode en direct est alors équivalent à celui d'une diode Schottky, caractérisée par un coefficient de température de la tension directe positif. Bien qu'il soit possible d'appliquer ce concept d'îlots flottants à une diode PiN ou JBS pour bénéficier de l'injection de porteurs minoritaires, aucun démonstrateur n'a encore été présenté à ce jour. Notons enfin que le principal inconvénient de cette structure est la contrainte technologique puisque sa réalisation requiert plusieurs étapes d'épitaxie, augmentant ainsi le coût de fabrication.

### 1.3.1.5 Autres structures de diodes

Même s'ils restent très peu étudiés en technologie SiC, d'autres concepts tels que l'effet JBS ont été utilisés afin de pincer le canal de conduction en inverse et limiter les courants de fuite provenant du contact Schottky. Parmi ces concepts, la barrière de potentiel nécessaire pour protéger le contact Schottky vis-à-vis du champ électrique peut être assurée par le recouvrement de la ZCE provenant soit d'une jonction Schottky soit d'une jonction MOS. Dans le cas de la structure « Dual Metal Trench » (DMT), les

jonctions PN de la diode JBS sont remplacées par des tranchées. Un contact Schottky avec une forte hauteur de barrière est alors formé à l'intérieur des tranchées. A la surface de la diode, un deuxième contact Schottky de faible hauteur de barrière est réalisé (voir figure 1.24-(a)). En polarisation inverse, les zones de charge d'espace provenant du contact Schottky à forte hauteur de barrière vont se recouvrir et créer une barrière de potentiel sous le contact Schottky à faible hauteur de barrière. Ce phénomène est similaire à celui rencontré dans la diode JBS. Le principal inconvénient de ce dispositif est le caractère purement Schottky du composant et donc une forte dépendance du courant de fuite avec le champ électrique. Ce type de diode a été démontré en SiC avec du titane et du nickel comme contacts Schottky à faible et forte hauteur de barrière respectivement [76, 77]. Dans le cas du concept de « Trench MOS Barrier Schottky » (voir figure 1.24-(b)), l'effet de pincement est assuré par l'extension des ZCE provenant de structures MOS (Metal-Oxide-Semiconductor). Un prototype en polysilicium planarisé a été démontré par Khemka *et al.* [78]. Une des limitations est la présence de forts champs électriques dans l'oxyde pouvant causer une dégradation des performances. Toutefois, et bien qu'intéressant, ces concepts restent aujourd'hui anecdotiques.

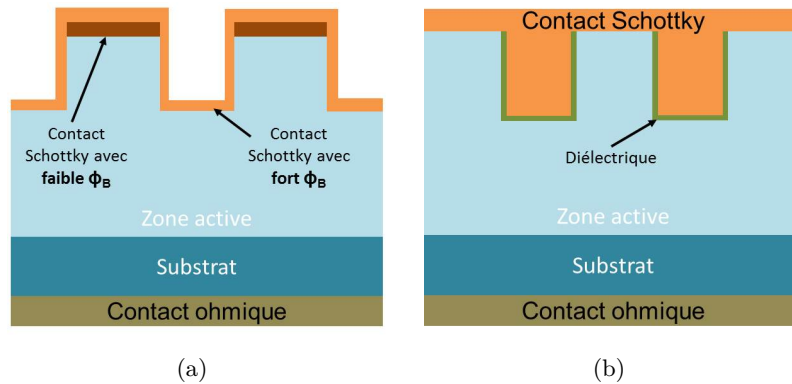


FIGURE 1.24 – Schémas en coupe de diodes « Dual Metal Trench » (a) et « Trench MOS Barrier Schottky » (b).

### 1.3.2 Transistors

Contrairement aux redresseurs, les transistors sont des interrupteurs commandables grâce à une troisième électrode. Il est ainsi possible de contrôler sa conduction à partir d'une commande extérieure. Dans cette partie, nous traiterons que les transistors à effet de champ et ne présenterons que sommairement les transistors bipolaires du fait des applications visées par ce travail. Dans la cellule de la commutation du PFC, nous avons vu que le transistor en Si était le maillon faible de la chaîne de conversion après remplacement de la diode Si par son homologue en SiC. Ainsi, la commercialisation d'un transistor en SiC a toujours été le graal des industriels pour le développement d'une

électronique monolithique, « commandable » et moins énergivore. Le MOSFET est sans aucun doute le transistor dont la littérature est la plus abondante. Sa mise sur le marché a longtemps été perçue comme un pas important pour le déploiement de la technologie SiC en électronique de puissance. Ses principaux avantages sont un fonctionnement normalement ouvert (*normally-off*) et la simplicité du circuit de commande de sa grille. Cependant, la faible mobilité des électrons dans le canal reste le verrou majeur pour la réalisation de MOSFET à faible résistance de canal. En effet, cette dernière peut contribuer pour moitié aux pertes en conduction [79]. Cette faiblesse est attribuée à la forte densité de défauts à l'interface SiO<sub>2</sub>-SiC. De nombreux efforts ont été menés ces dernières années pour améliorer la qualité de cette interface avec une attention particulière sur les recuits post-oxydation de l'oxyde de grille sous atmosphère riche en azote (N<sub>2</sub>O, NO, etc) [80] ou, plus récemment, sous trichlorure de phosphore (POCl<sub>3</sub>) [81]. En 2012, la commercialisation de MOSFET 600 et 1200V a été annoncée par Cree, Rohm et STMicroelectronics.

Une alternative au transistor MOSFET et aux problèmes liés à l'interface MOS est le transistor JFET. Ce dernier est sans doute le plus mature des interrupteurs en technologie SiC et le plus adapté pour des applications à haute température du fait de l'absence d'oxyde de grille. Plusieurs structures de JFET ont été envisagées dans la littérature, comme présentées sur la figure 1.25.

Tout d'abord la structure verticale à base de tranchées (figure 1.25-a) est la plus rencontrée et la plus simple du point de vue de sa conception. Un fonctionnement à l'état normalement ouvert (*normally-off*) du JFET est possible s'il y a un recouvrement des zones de charge d'espace de part et d'autre du canal, à polarisation nulle de la grille, et ce afin de bloquer le canal de conduction source à drain. La source est généralement réalisée par épitaxie ou implantation ionique. La grille, elle, est réalisée par implantation ionique, un angle de tilt positif peut être utilisé afin d'implanter les flancs de la structure. Cette structure a été largement étudiée [82–88]. La société Semisouth a été la première à commercialiser des JFET de configuration verticale avec des tensions inverses allant jusqu'à 1200V [89, 90].

Une structure équivalente (figure 1.25-b) mais utilisant des jonctions de grille enterrées (BG-JFET pour Buried Gate JFET) a aussi été étudiée. Elle présente des performances en termes de résistance à l'état passant relativement intéressantes [91–94]. Cependant, la complexité de sa fabrication est le principal inconvénient puisque le recours à deux étapes d'épitaxie non successives est nécessaire. La structure semi-verticale (figure 1.25-c) a principalement été étudiée par Infineon dans son centre de recherche dédié au SiC SiCED [95]. Toutefois, les démonstrateurs basés sur cette structure sont tous *normally-on*.

Enfin, un JFET à canal latéral (figure 1.25-d) a été étudié. Il repose généralement sur

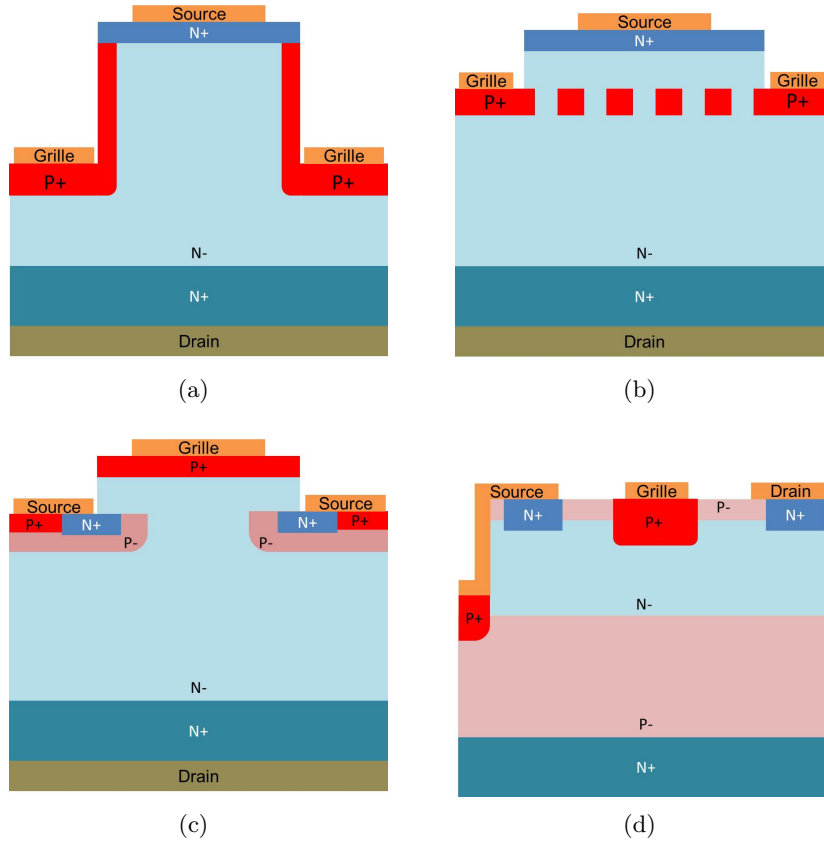


FIGURE 1.25 – Schémas de JFET à canal vertical (a,b), semi-vertical (c) et latéral (d).

la technologie *REduced Surface Field* (RESURF) [96–98]. L'inconvénient majeur de cette structure, comme toutes les structures latérales, est la surface importante occupée par le composant lorsque l'on augmente sa tenue en tension.

Parmi les différentes structures, celles permettant la réalisation d'interrupteurs normalement ouverts (*normally-off*) sont essentiellement à canaux verticaux. Les interrupteurs *normally-on* sont relativement contraignants pour les applications de puissance car une défaillance du circuit de commande de la grille entraînerait le retour à l'état passant du JFET. Ce problème peut toutefois être contourné par l'association en cascade d'un JFET en SiC et d'un MOSFET en Si [99] mais les conditions d'utilisation du système restent alors limitées par celles de la technologie silicium, notamment en termes de température d'utilisation. Enfin, un autre avantage de la structure semi-verticale est de contenir une diode PiN dite « body » formée entre la source et le drain, pouvant être utilisée comme diode de roue libre.

Les étapes technologiques nécessaires à la fabrication du JFET étant, en grande partie, identiques à celles de la diode JBS, il est possible de réaliser une intégration monolithique de ces deux composants. La configuration de ces composants en anti-parallèle

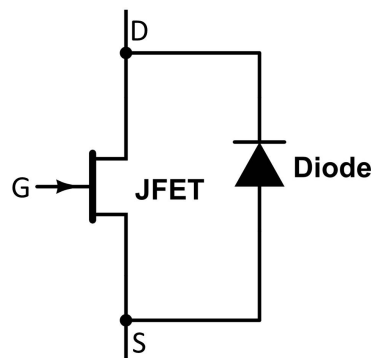


FIGURE 1.26 – Schéma d'un JFET et une diode en anti-parallèle dite « de roue libre ».

est obtenue en reliant la source du JFET à l'anode de la diode et le drain à la cathode. Ce concept monolithique d'un JFET vertical à base de tranchées et d'une diode Schottky en configuration anti-parallèle (figure 1.26) fait l'objet d'un brevet [100]. L'équipe de SiCLAB a démontré cette intégration avec un JFET *normally-off* et une diode JBS en périphérie de celui-ci (figure 1.27) [101–103]. Le fonctionnement de cette association a été présenté comme étant équivalent à un assemblage de deux puces discrètes (diode et transistor) en configuration anti-parallèle. Cette approche permet ainsi une réduction de la taille et du coût du système.

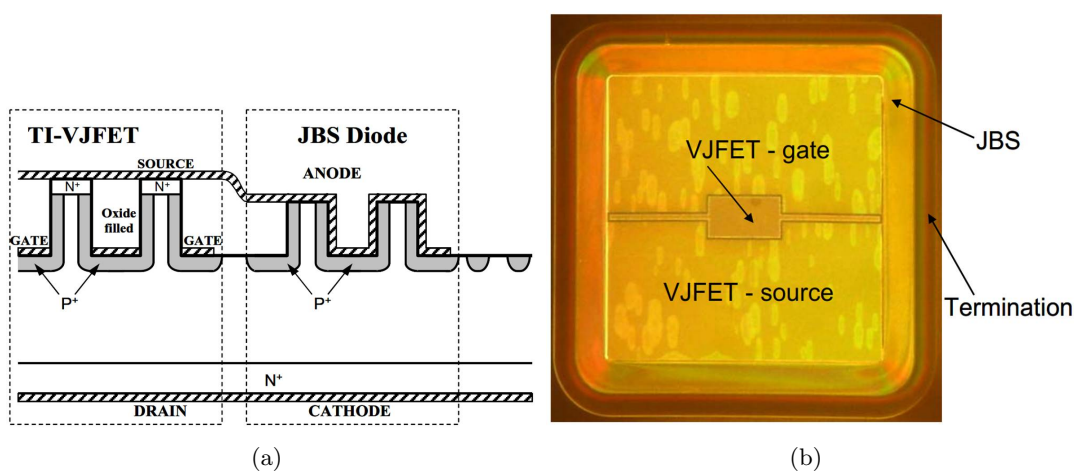


FIGURE 1.27 – Schéma d'une association monolithique d'un JFET et d'une diode JBS (a). Image du démonstrateur (b)[102].

Enfin, le dernier transistor unipolaire largement étudié sur SiC est le MESFET dont la grille est un contact Schottky polarisé en inverse. Dans le cas du JFET, c'est une jonction bipolaire qui fait office de grille. Ici, la modulation de la largeur active du canal de conduction est obtenue par la zone de charge d'espace créée sous le contact Schottky. Contrairement aux MOSFET et aux JFET utilisés comme interrupteur de puissance,

les applications du MESFET sont principalement l'amplification RF et hyperfréquences. Sur ce segment, ils sont concurrencés fortement par les HEMT GaN et GaAs. Toutefois, l'excellente conductivité thermique du SiC peut être un avantage afin de réduire le système de refroidissement pour des applications RF de puissance. Depuis 2002, Cree commercialise des MESFET pour des applications hyperfréquences.

Les structures unipolaires que nous venons de décrire présentent l'avantage d'avoir une impédance d'entrée élevée du fait de leur grille isolée et de l'absence de porteurs minoritaires stockés dans la structure. En contrepartie, cette absence conduit à une chute ohmique importante à l'état passant. Ainsi, comme pour les redresseurs, à partir d'une certaine puissance, les structures bipolaires deviennent avantageuses en tirant bénéfice de la modulation de conductivité par injection de porteurs minoritaires. Parmi les interrupteurs bipolaires, le transistor à jonction (BJT) est intéressant pour les applications haute tension et haute température. De nombreux travaux ont été menés pour améliorer les performances de ce composant, en particulier gain en courant, résistance à l'état passant et tenue en tension. En effet, le faible gain du BJT en SiC est l'un des principaux verrous technologiques dû principalement à des phénomènes de recombinaison des porteurs. Contrairement au MOSFET et au JFET, le BJT est commandé en courant et non en tension. Maximiser le gain est donc essentiel pour réduire la puissance délivrée par le circuit de commande. Les principaux axes d'amélioration du gain sont la géométrie de l'émetteur et la base du BJT [104, 105], l'augmentation de la durée de vie des porteurs dans la base [106] et la passivation de la surface [107–109]. Miyake *et al.* ont réalisé des BJT présentant un gain record de 257 (face Si) et 439 (face C) [110] grâce à une croissance continue des couches (collecteur, base, émetteur). Une réduction de la densité des centres de recombinaison avait été obtenue par oxydation avant et après recuit post-implantation suivie d'une passivation de la surface par oxydation sous NO. La société Transic, détenue aujourd'hui par Fairchild, a été pionnière dans la commercialisation de BJT en SiC.

Toutefois, la complexité du circuit de commande et son coût en énergie rendent contraignante l'utilisation du BJT. Ainsi, avec les progrès réalisés sur l'interface MOS, l'IGBT (Insulated Gate Bipolar Transistor) est le candidat idéal pour détroner le BJT puisqu'il bénéficie des performances en conduction de ce composant ainsi que de la simplicité de commande du MOSFET. Des démonstrateurs ont été ainsi réalisés avec des tenues en tension supérieures à 10 kV [111–116]. Enfin, pour les applications de très forte tension et très fort courant, le thyristor simple et le thyristor GTO (Gate Turn Off) restent les composants ultimes. Le premier est commandable uniquement à la fermeture et le second contrôlable à l'ouverture comme à la fermeture. Leur utilisation répond à des besoins de commutation à basse fréquence [117] tels que l'électronique impulsive. En technologie silicium, des thyristors commandés optiquement restent limités à des tensions de blocage de 8 kV et des niveaux de courant pulsé de 5000 A [118] mais leur taille, ainsi que leur temps de commutation, sont extrêmement importants. Récemment un thyristor

de  $1\text{ cm}^2$  commandé à l'ouverture par excitation UV délivrant 1300 A en courant pulsé, et bénéficiant d'une tenue en tension de 12 kV, a été démontré [119]. Pour comparaison, un thyristor en silicium délivrant 4000 A occupe la totalité d'une plaquette de diamètre 5 pouces, ce qui représente une densité de courant 6 fois plus faible qu'en SiC [120].

## 1.4 Limitations actuelles

La démonstration en SiC de la plupart des composants de puissance disponibles en Si confirme les excellentes propriétés électriques et physiques du matériau SiC. Toutefois, la fiabilité et la rentabilité de la technologie SiC sont encore limitées par la taille des substrats et leur défektivité. Le déploiement d'une technologie SiC compatible avec les environnements sévères est quant à lui freiné par des verrous technologiques tels que le boîtier ou le circuit de commande en Si. Cette dernière partie présente les différentes limitations actuelles de la technologie SiC.

### 1.4.1 Fournisseurs de substrat

Outre les progrès liés au développement de la technologie, l'évolution du marché des composants SiC est fortement liée à la qualité cristalline du matériau, aux diamètres des substrats, au coût et à la concurrence. Aujourd'hui, la production de composants en SiC s'appuie principalement sur des substrats de diamètre 4 pouces. Plusieurs annonces avaient été faites concernant la prochaine disponibilité de substrats de diamètre 150 mm. Ainsi, lors de la conférence ICSCRM'11, Cree avait annoncé cette distribution mais la réservait pour la réalisation de dispositifs optoélectroniques (LED) à base de matériaux III-V épitaxié sur substrat SiC. On notera ainsi que l'industrie du SiC est largement portée par la commercialisation des LED. Depuis 2012, Cree délivre des substrats de 150 mm avec des épaisseurs de couches épitaxiées pouvant atteindre  $100\text{ }\mu\text{m}$ . En s'appuyant sur l'expérience acquise sur le silicium, le diamètre des tranches SiC augmente plus rapidement. Il est possible de voir apparaître les premières tranches de 200 mm d'ici quelques années.

En 2012, les principaux fournisseurs de substrats SiC étaient Cree (Etats-Unis), Norstel (Suède), SiCrystal (Allemagne), Dow Corning (Etats-Unis), II-VI (Etats-Unis), Nippon Steel (Japon), Tankeblue (Chine), Pam-Xiamen (Chine). D'un point de vue épitaxie uniquement, on peut ajouter NovaSiC (France), Ascatron (Suède) et Epiworld (Chine). Le marché du SiC est toutefois largement dominé par Cree en termes de qualité de matériau et de part de marché. Toutefois, ce dernier est à la fois fournisseur de substrat et fabricant de composants, ce qui n'est pas sans poser de problème.

Au Japon, Showa Denko et Nippon Steel ont développé une technologie de croissance de lingots mais semblent réserver leurs plaquettes au marché japonais. Cette stratégie de développement évite une trop forte dépendance vis-à-vis de Cree. En Europe, une action



similaire avait été lancée en 1994 avec la création de SiCrystal appuyée par Siemens, Infineon et Osram. En 2010, Rohm (Etats-unis) a racheté SiCrystal, alors deuxième fournisseur mondial du point de vue de la qualité des substrats. La même année, le projet européen LASTPOWER (**L**arge **A**rea silicon carbide **S**ubstrates and **h**eteroepitaxial **G**aN for **POWER** device applications), dont STMicroelectronics assure la coordination, est lancé. Il vise à rendre l'Union Européenne plus indépendante vis-à-vis d'autres pays en termes d'approvisionnement de substrats notamment.

### 1.4.2 Température de fonctionnement

Nous avons vu qu'une électronique de puissance à base de SiC permettait de répondre théoriquement à des applications haute température ( $> 300^{\circ}\text{C}$ ). Malheureusement, à l'heure actuelle, plusieurs verrous technologiques limitent fortement la température de fonctionnement des composants tels que :

- **les contacts** : lors de la réalisation de l'interconnexion boîtier-puce, il est impératif de diminuer la résistance parasite de contact et d'augmenter les capacités de surcharge en courant. Il est souvent nécessaire d'épaissir le contact à l'aide d'une couche métallique, préférentiellement en aluminium ou en cuivre pour des raisons de coût. Dans le cas de contacts Schottky (à base de nickel et recharge Al), on observe une dérive des caractéristiques, lorsque ce contact est soumis à une température de  $300^{\circ}\text{C}$  durant plusieurs heures, liée à une diffusion de l'Al à l'interface [121]. Toutefois, l'ajout d'une barrière de diffusion (TiN ou TiW) entre Ni et Al permet d'éviter ce problème. Dans le cas du titane, couramment utilisé pour l'obtention de faible barrière Schottky, le contact devient fortement inhomogène électriquement et structuralement après avoir été soumis à des températures supérieures à  $500^{\circ}\text{C}$ .
- **la passivation secondaire** : les matériaux diélectriques de la famille des polyimides utilisés pour la passivation finale des composants voient leurs propriétés électriques (rigidité électrique, constante diélectrique,...) se dégrader lorsqu'ils sont soumis à des températures supérieures à  $250^{\circ}\text{C}$  [122]. Les matériaux de substitution ne sont pas encore éprouvés et leur développement est un enjeu crucial pour des applications à des températures environnantes supérieures à  $250^{\circ}\text{C}$ .
- **l'encapsulation** : pour des raisons de coût, la démarche est généralement de transférer la technologie d'encapsulation utilisée en Si vers SiC. On retrouve donc principalement des boîtiers plastiques (type TO-220) où la puce est noyée dans un gel silicone qui montre des signes de dégradation rapide dans un environnement sous air à  $250^{\circ}\text{C}$  [123]. De plus, ces boîtiers composés de différents matériaux possédant des coefficients de dilatation thermique différents supportent habituellement très mal les contraintes mécaniques imposées par les fortes variations de température [124].

Une des technologies prometteuses pour l'encapsulation de composants de forte puissance et dédiés à la haute température est l'interconnexion de type « Press-Pack ». Cette méthode consiste à connecter les métallisations des puces sur des plaques métalliques (cuivre, argent,...) par le biais d'une pression. Cet assemblage ne nécessite pas de brasure, ni le recours au « bonding ». En technologie Si, ce type d'encapsulation est principalement utilisé sur les IGBT et les thyristors. Les performances en surcharge de courant de diodes Schottky SiC utilisant cette technique d'interconnexion sont largement meilleures que celles utilisant un « bonding » de type « ball » ou « edge » [125]. Les principales limitations de cette technique résident dans le coût et le risque d'endommagement, voire de destruction, de la puce dû à la pression exercée lors de la mise en boîtier. Enfin, au niveau d'un module de puissance, d'autres verrous vont limiter le fonctionnement à haute température tels que le circuit de commande limité par la technologie Si et les composants passifs [8].

Aujourd'hui, si certains verrous technologiques limitent les applications des composants SiC dans des environnements à haute température, le SiC répond parfaitement aux applications requérant en priorité un fort rendement énergétique des convertisseurs telles que les alimentations pour serveur. Face à ce marché de grand volume, le SiC ne sera compétitif par rapport au Si que si le coût du composant et du système auquel il est associé est avantageux pour le client. L'augmentation de la taille des substrats et des volumes de production sont les principaux leviers pour réduire le coût du composant. Mais seule l'amélioration des rendements (pourcentage de puces respectant un cahier des charges sur une plaquette) et de la fiabilité des composants peuvent encourager l'utilisation de composants SiC. Cela passe par une réduction de la défektivité du matériau. En effet, comme nous allons le voir, certains défauts cristallins ont un impact néfastes sur les performances électriques de composants SiC.

### 1.4.3 Les défauts cristallins

Cette partie n'a pas pour but de réaliser un inventaire exhaustif des défauts rencontrés dans le SiC mais vise à présenter certains défauts cristallins ayant un fort impact sur les performances des composants, notamment les diode JBS ou MPS. Parmi les plus connus, on trouve les fautes d'empilement et les « micropipes ».

#### 1.4.3.1 Dislocation-vis et « micropipe »

Le défaut le plus souvent rencontré sur des substrats ou plaquettes épitaxiées est le « micropipe ». La définition d'un « micropipe » est souvent erronée. Par abus de langage, il désigne souvent tout type de défauts tubulaires traversant le cristal alors qu'il concerne uniquement une « super » dislocation-vis formant un trou selon le modèle de Frank [126], c'est-à-dire un défaut ayant un vecteur de Burger suffisamment grand (supérieur à  $2c$ )

pour induire une contrainte et provoquer une absence de matière en son centre, d'où son appellation anglophone, « *hollow core screw dislocation* ». Dans le cas où son vecteur de Burger n'est pas suffisant, la super-dislocation ne sera pas ouverte, on parlera de « *closed core screw dislocation* ».

La présence d'un « micropipe » au niveau de la protection périphérique ou de la zone active du composant conduit à une dégradation du courant de fuite et à un claquage prématuré (réduction pouvant aller jusqu'à 50% de la tenue en tension) [127]. Afin de limiter son impact, on réalise des composants ayant des surfaces actives faibles (inférieure à la dizaine de  $\text{mm}^2$ ), ce qui limite le calibre en courant. L'élimination des « micropipes » a toujours été un enjeu pour le développement de la technologie SiC à l'échelle industrielle. Ainsi, la majorité des plaquettes commerciales destinées à des applications électroniques sont classées selon leur densité de « micropipe ». Grâce aux efforts menés sur l'amélioration des techniques de croissance et l'expérience acquise, il est possible aujourd'hui d'obtenir des plaquettes de diamètre 100 mm dite zero « micropipe ». De plus, par une amélioration continue de la qualité du germe cristallin utilisé pour la croissance de lingots, la réduction de la densité de micropipes évolue plus rapidement à chaque augmentation de diamètre (figure 1.28) .

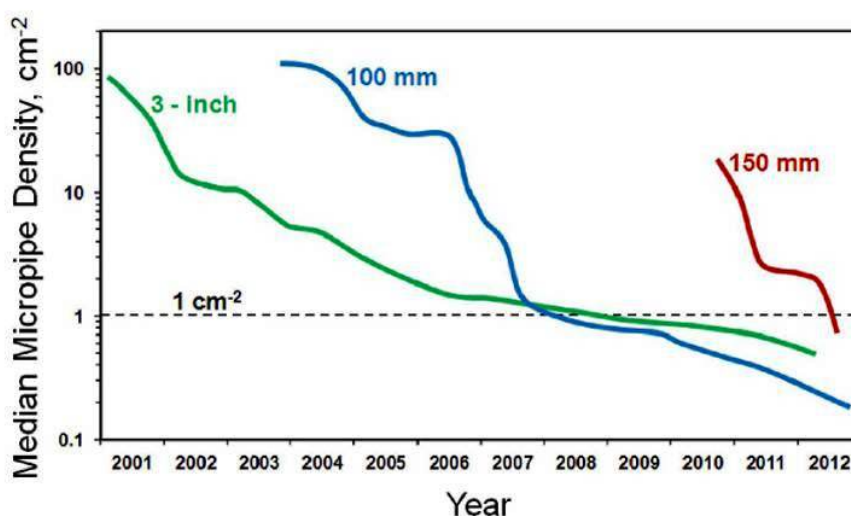


FIGURE 1.28 – Evolution de la densité de micropipes au cours des années en fonction du diamètre des substrats [128].

Enfin, des dislocations-vis élémentaires (vecteur de Burger =  $1c$ ), présentes en densité de l'ordre de  $10^3 \text{ cm}^{-2}$  dans les couches épitaxiées, ont aussi un effet non négligeable sur la tenue en tension et le niveau de courant de fuite. Neudeck *et al.* ont mesuré des réductions de 5 à 35 % de la tenue en tension pour des diodes Schottky contenant 1 à 2 dislocations-vis par composant [129]. Wahab *et al.* ont étudié l'influence de la densité de dislocations-vis présentes sur la tenue en tension des diodes Schottky (figure 1.29) et ont

observé une forte dégradation des performances en inverse des diodes pour des densités supérieures à  $1000 \text{ cm}^{-2}$  [130]. La réduction de la densité de micropipes réalisée, les efforts se portent maintenant sur la réduction de la densité de ces dislocations-vis. En 2009, Cree a présenté des substrats contenant une densité médiane de dislocations-vis de 425 [131] et  $175 \text{ cm}^{-2}$  [132] sur substrat de diamètre 100 et 75 mm respectivement.

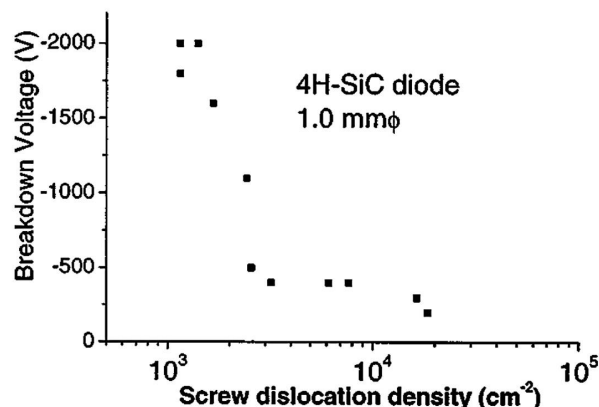


FIGURE 1.29 – Influence de la densité de dislocations-vis sur la tenue en tension de diode Schottky protégée uniquement par plaque de champ (tension de claquage théorique évaluée à -2700 V) [130].

### 1.4.3.2 Faute d'empilement

La structure du SiC peut être considérée comme un arrangement de tétraèdres présentant un atome de silicium en son centre entouré de 4 atomes de carbone. Les centres des tétraèdres peuvent être localisés suivant trois positions différentes A, B et C (figure 1.30-a) dans le plan « basal » qui est le plan de glissement primaire dans la structure hexagonale du SiC, i.e le plan requérant le moins d'énergie pour se déplacer. A ce jour, du fait d'une telle structure, plus de 200 polytypes de SiC ont été répertoriés. Ils se différencient par la séquence d'empilement des bicouches Si-C selon la direction [0001] correspondant à l'axe c du cristal (figure 1.30-b). La notation couramment utilisée pour définir un polytype est celle de Ramsdell ( $nX\text{-SiC}$ ) où le nombre  $n$  désigne le nombre de bicouches Si-C constituant la séquence élémentaire permettant de retrouver la périodicité du cristal et  $X$  le type cristallographique : C pour cubique, H pour hexagonal et R pour rhomboédrique. Parmi les différents polytypes, les plus étudiés sont le 3C, 4H et le 6H. Cette particularité remarquable du SiC est favorisée par la faible énergie de glissement nécessaire pour changer localement la séquence d'empilement. Malheureusement, l'effet de cette caractéristique est la rupture possible de la séquence, qui induit alors ce que l'on appelle une faute d'empilement.

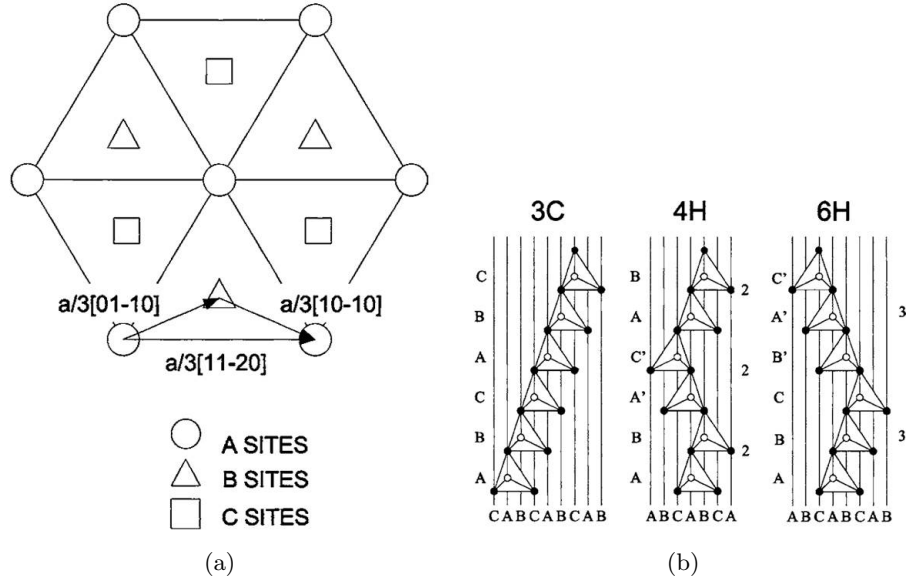


FIGURE 1.30 – Projection de la maille hexagonale du SiC dans le plan de base (a). Séquence d'empilement pour les principaux polytypes de SiC (b).

Ce défaut peut être généré lors de l'épitaxie [133] par déplacement de dislocations présentes dans le plan basal (BPD ou Basal Plane Dislocation). Ce phénomène peut également apparaître lors de la mise en fonctionnement d'un composant puisque l'énergie nécessaire à la propagation d'une dislocation peut être apportée par la recombinaison non radiative de paires électron-trou [134, 135]. Ainsi, ce phénomène de génération de défauts a été souvent observé pendant le fonctionnement de diodes PiN en polarisation directe, comme nous l'avons déjà signalé, dégradant les caractéristiques électriques des composants à l'état passant. Tous les composants ayant une composante bipolaire, c'est-à-dire susceptible d'injecter des porteurs minoritaires, peuvent être soumis à ce phénomène, comme démontré pour la diode PiN [135–138], la diode JBS ou MPS [62, 63, 139], le MOSFET à travers sa diode « body » [140], le BJT [141, 142], le thyristor [143], ...

Plusieurs groupes ont corrélé la présence de ces fautes d'empilement avec la diminution de la durée de vie des porteurs [144–146]. Toutefois, ceci ne permettrait pas d'expliquer la dégradation de la conduction de porteurs majoritaires observée dans des diodes mixtes Schottky-bipolaire [63] ou des MOSFET [147]. Skowronski *et al.* [58] ont montré que l'effet d'une barrière de potentiel induite par les fautes d'empilement, sur la résistivité de la diode PiN, était prépondérante par rapport à la diminution de la durée de vie. Ainsi, une faute d'empilement conduirait à la formation d'un puit de potentiel agissant comme piège à porteurs [144, 148].

Notons qu'il a été montré qu'un des sites de nucléation des fautes d'empilement est de type BPD. De nombreux travaux ont alors été menés en vue de réduire, voire éliminer, ces

BPD du substrat ou des couches épitaxiées. L'épitaxie sur substrat parfaitement orienté (*on-axis*) est la voie par excellence pour empêcher naturellement la propagation des BPD du substrat vers la couche épitaxiée [149]. Malheureusement, l'instabilité de la couche (coexistence des polytypes 4H et 3C), l'inhomogénéité de la morphologie de la surface et sa forte rugosité sont les principaux défauts de cette croissance. Toutefois, des résultats récents montrent la faisabilité de couches épitaxiées sur substrat *on-axis* sans inclusion de 3C [150]. Des diodes bipolaires élaborées sur ce type de couches (ne présentant pas de faute d'empilement) ne montrent aucune dégradation de la tension directe [59].

Le recours à l'épitaxie sur des substrats désorientés de 4 ou 8° (*off-axis*) a été exploité historiquement pour s'affranchir des problèmes présentés précédemment. Cette désorientation des substrats a permis la commercialisation de plaquettes compatibles avec la production de composants. Toutefois, les BPD présentes dans le substrat se propagent dans la couche épitaxiée. De nombreuses actions ont donc été menées pour réduire leur migration. Premièrement, la propagation des BPD du substrat vers la couche épitaxiée peut être limitée par l'utilisation d'une couche tampon suffisante pour que les porteurs minoritaires injectés puissent se recombinaison avant de franchir l'interface substrat/couche tampon. Une croissance sans interruption dans le même réacteur des deux couches (N et P) a révélé une réduction importante de la densité de sites de nucléation des fautes d'empilement au niveau de la jonction métallurgique [151]. Il a été démontré que la majorité des BPD provenant du substrat se convertissaient en dislocations-coin (TED ou « Threading Edge Dislocation ») au niveau de l'interface substrat/couche épitaxiée [152, 153]. Ainsi, dans des conditions d'épitaxie standard sur des substrats désorientés de 8°, 90 % des BPD du substrat seraient converties en TED [152]. La densité de BPD restantes dans la couche épitaxiée serait alors de l'ordre de  $10^2$ - $10^3$  cm<sup>-2</sup>, niveau suffisant pour induire malgré tout une dérive importante des caractéristiques électriques des composants. Du fait de l'impact mineur des TED sur les performances de composants [154], il semble intéressant de réduire la densité de BPD en favorisant leur conversion. Dans cette optique, les techniques de préparation de surface des substrats avant épitaxie sont particulièrement efficaces. Sumakeris *et al.* [155, 156] ont réduit de 70 % la densité de BPD dans la couche épitaxiée en retirant 5 µm de substrat par gravure sèche avant épitaxie. Une étape supplémentaire de conditionnement de la surface par gravure KOH leur a permis d'obtenir une couche épitaxiée avec une densité de BPD inférieure à 1 cm<sup>-2</sup>. En septembre 2012, Cree a annoncé la commercialisation de couches épitaxiées avec des densités de cet ordre ouvrant ainsi la voie à une technologie bipolaire fiable.

Enfin, une alternative est l'élimination des BPD avant épitaxie, i.e. directement dans le substrat. Nakamura *et al.* [157] ont ainsi développé une technique de croissance prometteuse de lingots consistant à alterner de façon répétitive la croissance sur la face {0001} (perpendiculaire à l'axe c) et les faces {11 $\bar{2}$ 0} et {1 $\bar{1}$ 00} (parallèle à l'axe c) (figure 1.31).

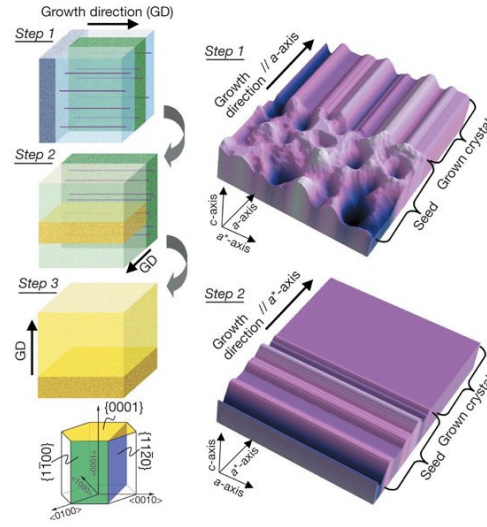


FIGURE 1.31 – Illustrations du procédé de croissance de lingots de 4H-SiC développé par Nakamura *et al.* [157]

Sur un substrat de 20 mm de diamètre, les densités totales de dislocations (TED, TSD, BPD) et de micropipes ont été estimées respectivement à 75 et 0 cm<sup>2</sup> contre  $3 \times 10^4$  et 30 cm<sup>2</sup> avec une technique de croissance conventionnelle.

Ses différentes avancées dans la réduction de BPD sur des couches épitaxiées sur des substrats désorientés ont conduit à la démonstration récente de diodes bipolaires exemptes de dégradation importante des performances [53, 158].

## 1.5 Conclusion

A travers un exemple typique de l'électronique de puissance, le PFC, nous avons montré que l'utilisation d'un redresseur de puissance en SiC peut améliorer les performances du système en termes de rendement énergétique et offre aussi des potentialités intéressantes aux concepteurs de systèmes : augmentation de la fréquence de fonctionnement des systèmes, réduction du volume correspondant aux éléments passifs et au système de refroidissement, etc. Au-delà du gain en performances au niveau du composant, les bénéfices de l'utilisation de matériaux à large bande interdite se répercute à l'échelle du système. Ainsi, malgré le coût unitaire encore élevé des composants en SiC, en grande partie lié au prix du matériau, les nouvelles solutions technologiques apportées par l'utilisation de composants en SiC font que le rapport coût du système/performances peut être plus faible qu'une solution Si. En amont, l'augmentation rapide du diamètre des substrats, couplée à une diminution continue de la densité de défauts structuraux « électriquement actifs », tendent vers une amélioration des rendements, de la fiabilité des composants et

donc une réduction du coût. L'état de l'art de la technologie SiC démontre la faisabilité d'une large gamme de composants de puissance, des redresseurs et autres interrupteurs, confirmée par la commercialisation de diodes JBS ainsi que de transistors MOSFET et JFET. Les redresseurs de calibres en tensions allant de 600 à 1700 V représentent un marché de grand volume et la diode JBS ou MPS apparaît comme le redresseur idéal dans cette gamme, alliant vitesse de commutation, faible courant de fuite, forte tenue en tension et faible chute de tension à l'état passant. Toutefois, un compromis doit être choisi lors de l'élaboration d'une diode JBS entre :

- performances en commutation et conduction bipolaire, conditionnées par le dopage des zones  $P^+$  et la résistance du contact sur celles-ci,
- niveau de courant de fuite et résistance à l'état passant conditionnés par le design des zones  $P^+$ .

Le design de l'anode de la JBS sera donc étudié du point de vue de la distribution du champ électrique en régime inverse et de la résistance totale à travers un modèle analytique de la résistance série. Pour bénéficier des performances les plus élevées possibles, une optimisation de la protection périphérique de la diode est nécessaire pour s'approcher de la tenue en tension théorique idéale. Le chapitre suivant sera donc consacré à l'étude du design de l'anode et de la périphérie de la diode.



## Chapitre 2

# Design et simulation

La disponibilité de monocristaux massifs fortement dopés est un atout majeur pour le développement de composants de puissance en SiC et la réalisation de structures verticales. Cette topologie est particulièrement adaptée pour la miniaturisation des systèmes et la forte tenue en tension. D'une part, la surface active d'une structure verticale est fortement réduite par rapport à celle d'une structure latérale ou pseudo-verticale. En effet, dans le cas de redresseurs en topologie verticale, l'anode et la cathode se situent, respectivement, sur la face avant et arrière de la plaquette. Les autres topologies, latérales ou pseudo-verticales, sont plus contraignantes puisque la face avant doit accueillir l'anode et la cathode. Le design et la fabrication de la diode sont donc largement simplifiés en adoptant une structure verticale. D'autre part, dans une structure verticale, la tenue en tension est essentiellement assurée par l'épaisseur de la couche active qui va participer à l'étalement du potentiel dans le volume en régime bloqué de la diode. Son dopage et son épaisseur sont les principaux paramètres permettant de contrôler cette distribution du potentiel et, par conséquent, fixer la tenue en tension du composant. En contrepartie, la couche active va contribuer majoritairement à la résistance série de la diode. Le dimensionnement de cette couche, en termes de dopage et d'épaisseur, est donc essentiel pour obtenir le meilleur compromis entre une faible résistance série à l'état passant et une forte tenue en tension en régime bloqué. A travers un modèle 1D de la jonction plane parallèle infinie, l'étude du dimensionnement de cette couche de dérive fera donc l'objet de la première partie de ce chapitre. Toutefois, un dimensionnement judicieux de la couche de dérive n'est pas suffisant pour atteindre expérimentalement la tenue en tension souhaitée. En effet, de façon générale, la périphérie de composants de puissance est le siège de champs électriques intenses, conduisant au claquage du dispositif en régime bloqué. La présence et l'intensité de ces champs sont exacerbées par la nature bidimensionnelle de la jonction, autrement dit, sa courbure. Une protection adéquate de la périphérie s'impose donc pour retarder le claquage et tendre vers une tenue en tension proche de la jonction unidimensionnelle idéale. Un état de l'art des techniques de protection périphérique, appelées aussi « techniques de

garde », sera présenté dans la deuxième partie de ce chapitre. Ensuite, l'optimisation d'une protection périphérique adaptée à la diode JBS sera étudiée par simulation par éléments finis, à l'aide des outils de la société Synopsys. Enfin, la géométrie de l'anode concernera la dernière étude de ce chapitre. Par sa nature mixte Schottky-bipolaire, l'anode de la diode JBS est beaucoup plus complexe en termes de design qu'une structure purement Schottky ou bipolaire. Une étude par simulation numérique et modélisation analytique sera donc conduite sur le design des zones P sous le contact Schottky (largeur des caissons P, espacement, profondeur des caissons, ...). Une attention particulière sera portée sur la distribution du champ électrique dans la structure et sur la résistance série de la couche active.

## 2.1 Dimensionnement de la couche active

La couche active, aussi appelée couche de dérive d'un composant de puissance, a pour but de distribuer le potentiel jusqu'au claquage de la diode, c'est-à-dire lorsque le champ électrique dans la structure atteint le champ critique du matériau. Ainsi, pour une même tension de claquage, nous avons vu que l'épaisseur de la couche active d'un composant en SiC pouvait être réduite d'un ordre de grandeur avec un niveau de dopage 10 fois plus élevé que celui d'un dispositif en Si, ce qui conduit à une résistance série 100 fois plus faible. Cela s'explique par le champ critique du SiC supérieur à celui du Si. Dans un premier temps, nous étudierons donc l'influence du dopage et de l'épaisseur de cette couche sur la tension de claquage. Ensuite, nous déterminerons les couples épaisseur-dopage de la couche de dérive permettant d'obtenir le meilleur compromis entre forte tension de claquage et faible résistance de cette couche.

### 2.1.1 Extension de la zone de charge d'espace

Dans un composant de puissance en régime bloqué, la tension est supportée par la zone de désertion qui s'étend dans la couche de dérive à partir d'une jonction PN, d'un contact Schottky ou d'une interface MOS. Le champ électrique existant dans cette zone augmente avec la tension et quand celui-ci atteint une valeur critique  $E_C$ , le phénomène de claquage de la diode se produit. Dans le cas d'une zone de désertion qui s'étend principalement dans la couche de dérive, la tension de claquage s'écrit :

$$V_{NPT}(N_D) = \frac{W_D(N_D) \cdot E_C(N_D)}{2} = \frac{\varepsilon_s \cdot E_C^2(N_D)}{2qN_D} \quad (2.1)$$

où  $W_D$  est la largeur de la zone de désertion lors du claquage et  $N_D$  le dopage de la couche de dérive. Cette relation est valable uniquement si la couche de dérive n'est pas complètement désertée ( $W_D < W_{epi}$ ) lors du claquage, on parlera alors de configuration

en extension maximale de charge d'espace ou « Non-Punch-Through » (NPT). Dans le cas contraire où la couche de dérivation est totalement désertée avant le claquage, la structure est dite en limitation de charge d'espace ou « Punch-Through » (PT). La figure 2.1 montre la répartition du champ électrique dans une diode Schottky suivant le dimensionnement de la couche de dérivation. Le champ présente une allure triangulaire dans le cas d'une structure NPT et trapézoïdale lorsqu'il y a percement, c'est-à-dire dans le cas d'une structure PT.

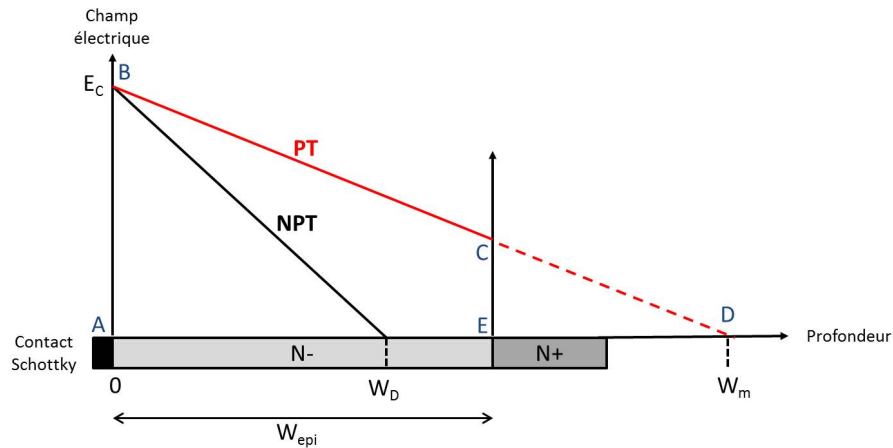


FIGURE 2.1 – Distribution 1D du champ électrique dans une diode Schottky suivant le dimensionnement de la couche de dérivation.

Suivant l'épaisseur de la couche de dérivation, la dépendance du champ critique avec le dopage sera différente comme le montre la figure 2.2. En effet, lorsque la couche de dérivation n'est pas complètement désertée lors du claquage, le champ critique est dépendant uniquement du dopage. Le champ critique décroît alors avec la diminution du dopage. Lorsque la largeur de la zone de désertion maximale  $W_m$  est grande devant l'épaisseur  $W_{epi}$  de la couche de dérivation, le champ critique tend à se stabiliser à partir d'un certain dopage. Cet effet est d'autant plus prononcé que l'épaisseur  $W_{epi}$  est faible devant  $W_m$ . Cette évolution du champ électrique critique avec le dopage va se traduire par une constance de la tension de claquage pour les faibles dopages. La figure 2.3 illustre ce phénomène où la dépendance de la tension de claquage avec le dopage de la couche de dérivation, pour plusieurs épaisseurs, a été obtenue par simulation numérique à partir des coefficients d'ionisation de Konstantinov [159].

Pour une tension de claquage donnée, la structure en limitation de charge d'espace (PT) présente l'avantage de bénéficier d'une couche de dérivation plus fine par rapport à une structure à extension maximale de charge d'espace (NPT). D'autre part, pour une résistance de couche de dérivation donnée, le dopage de la couche de dérivation sera plus faible dans une structure PT. On voit ici se profiler la possibilité de minimiser la résistance de la couche de dérivation, dans une structure PT, pour une tension de claquage spécifique.

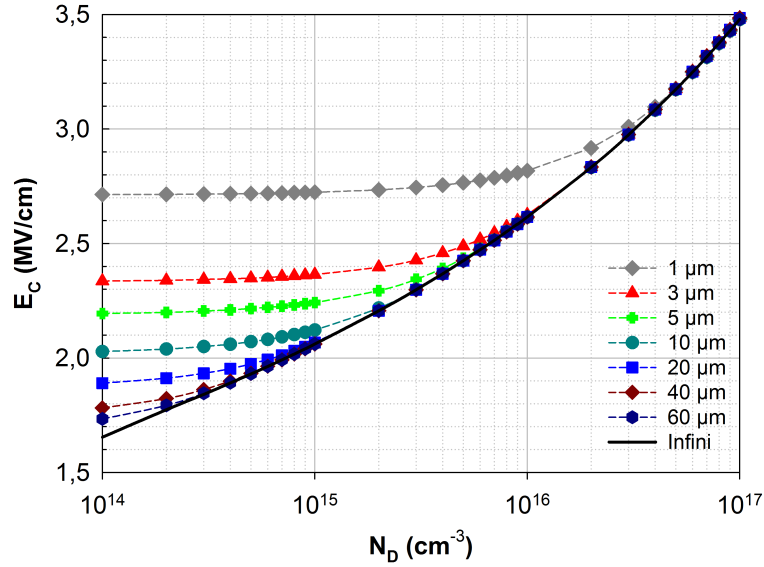


FIGURE 2.2 – Champ électrique critique du 4H-SiC en fonction du dopage de la couche de dérivation, pour plusieurs épaisseurs  $W_{\text{epi}}$ .

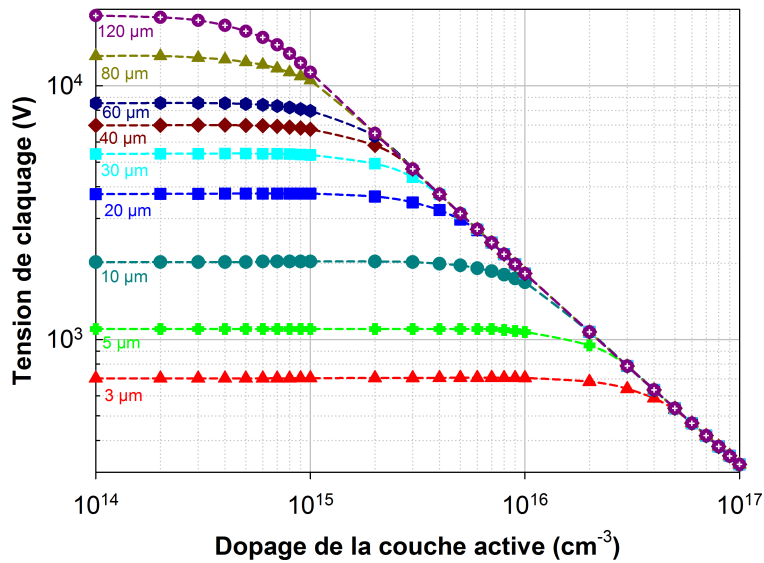


FIGURE 2.3 – Tension de claquage en fonction du dopage, pour plusieurs épaisseurs de la couche active, calculée par simulation numérique à partir des coefficients d'ionisation de Konstantinov.

## 2.1.2 Optimisation du compromis résistance de la couche active - tension de claquage

### 2.1.2.1 Calcul de la résistance de la couche de dérivation

La notion de figure de mérite de Baliga (BFOM), traduisant la relation entre la tenue en tension et la résistance spécifique à l'état passant  $R_{ON}$ , a été présentée au cours du premier chapitre. Ainsi, pour une tension de claquage donnée, plus  $R_{ON}$  est faible, plus la valeur de BFOM est importante. La procédure, ci-dessous, a pour but d'introduire les différents paramètres nécessaires à la minimisation de la résistance spécifique de la couche de dérivation  $R_{epi}$  pour obtenir une tension de claquage  $V_B$ .

Les paramètres ajustables de la couche de dérivation sont son épaisseur  $W_{epi}$  et son niveau de dopage  $N_D$  tels que :

$$R_{epi} = \frac{W_{epi}}{q \cdot \mu_n(N_D) \cdot n(N_D)} \quad (2.2)$$

Dans le silicium, l'approximation d'une ionisation complète des dopants est valable à température ambiante. Dans les semiconducteurs à large bande interdite, la densité d'états importante dans les bandes de conduction et de valence, associée à des énergies d'ionisation relativement élevées des impuretés, se traduit par une ionisation partielle des dopants à température ambiante. Ainsi, l'approximation d'une ionisation complète des impuretés à température ambiante n'est pas valable et la détermination de la densité d'électrons  $n$  dans 4H-SiC requiert la résolution de l'équation de neutralité [160] :

$$n + N_A = \sum_{i=h,k} \frac{N_{Di}}{1 + g_i \frac{n}{N_c} \cdot \exp\left[\frac{E_{di}}{k_B T}\right] + g_{voi} \frac{n}{N_c} \cdot \exp\left[\frac{(E_{di} - \Delta E_{voi})}{k_B T}\right]} \quad (2.3)$$

où  $N_A$ ,  $N_c$ ,  $k_B$  et  $T$  sont respectivement la densité d'accepteurs, la densité d'états dans la bande de conduction, la constante de Boltzmann et la température. Dans le SiC, l'azote est la principale impureté dopante de type N et se substitue à l'atome de carbone. Dans le polytype 4H, l'impureté d'azote peut occuper deux sites différents de l'atome de carbone, hexagonal (h) et cubique (k), conduisant à des énergies différentes des niveaux fondamentaux dans la bande de conduction,  $E_{dh}$  et  $E_{dk}$ .  $N_{Di}$  est la densité de donneurs répartis sur chaque site. Les facteurs de dégénérescence des niveaux, fondamentaux et éclatés, sur chaque site, sont respectivement  $g_i$  et  $g_{voi}$ . Les énergies des niveaux éclatés, sur chaque site, sont notés  $\Delta E_{voi}$ . Les valeurs utilisées pour chacun de ces paramètres sont présentées dans le tableau 2.1 et sont extraites de [160].

Pour simplifier le calcul, il est supposé que la densité d'accepteurs est nulle et que les impuretés donneuses sont réparties équitablement sur les sites (h) et (k) d'où :

|                        | site h | site k |
|------------------------|--------|--------|
| $g_i$                  | 2      | 2      |
| $g_{voi}$              | 4      | 4      |
| $\Delta E_{voi}$ (meV) | 7,6    | 45,5   |

Tableau 2.1 – Paramètres fixes (i=h,k) de l'équation de neutralité pour 4H-SiC type N [160].

$$N_{Dh} = N_{Dk} = \frac{N_D}{2} \quad (2.4)$$

La dépendance de l'énergie d'ionisation  $E_{di}$  avec la densité d'impuretés  $N_D$  peut s'écrire de la façon suivante :

$$E_{di}(N_D) = E_{di}(N_0) - \alpha_{di} \cdot \sqrt[3]{N_D} \quad (2.5)$$

avec  $E_{dh}(0)$  et  $E_{dk}(0)$  valant respectivement 70,9 et 123,7 meV.  $\alpha_{dh}$  et  $\alpha_{dk}$  sont respectivement égaux à  $3,38 \times 10^{-5}$  et  $4,65 \times 10^{-5}$  meV.cm [161].

La résolution de l'équation de neutralité a été effectuée, point par point, sur une gamme de dopage  $N_D$  de  $1 \times 10^{15}$  à  $5 \times 10^{17} \text{ cm}^{-3}$ .

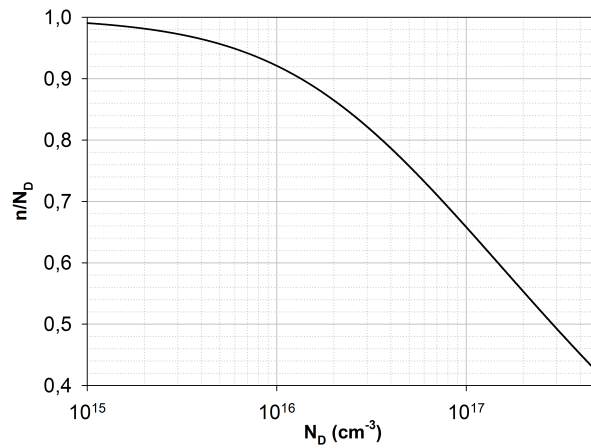


FIGURE 2.4 – Taux d'ionisation des dopants en fonction de la concentration de donneurs  $N_D$ .

La figure 2.4 montre la dépendance du taux d'ionisation des dopants avec la concentration de donneurs  $N_D$ . Pour des dopages supérieurs à  $1 \times 10^{16} \text{ cm}^{-3}$ , le taux d'ionisation peut être inférieur à 90%. En toute rigueur, il est donc nécessaire de tenir compte de l'ionisation incomplète des dopants dans le calcul de la résistivité de la couche de dérive. A partir de la concentration d'électrons obtenue, la mobilité  $\mu_n$  des électrons a été déterminée à partir de la relation [5] :

$$\mu_n = -39000 + 7436X - 450,5X^2 + 8,81X^3 \quad \text{avec} \quad X = \log [n(\text{cm}^{-3})] \quad (2.6)$$

Tous les paramètres nécessaires au calcul de la résistance de la couche de dérive ont été présentés. Il nous est maintenant possible d'optimiser le compromis  $R_{\text{epi}} - V_B$ .

### 2.1.2.2 Etude paramétrique

Pour chaque épaisseur  $W_{\text{epi}}$  de la couche de dérive, la valeur de BFOM ( $\frac{V_B^2}{R_{\text{epi}}}$ ) a été calculée à partir du couple  $N_D, V_B(N_D)$ . Ainsi, les valeurs de  $N_D$  et  $W_{\text{epi}}$  correspondant aux valeurs maximales de BFOM ont été relevées et une régression a été effectuée suivant une loi de puissance telle que :

$$\begin{cases} N_D = \alpha_1 \cdot V_B^{\beta_1} \\ W_{\text{epi}} = \alpha_2 \cdot V_B^{\beta_2} \end{cases} \quad (2.7)$$

avec  $N_D, W_{\text{epi}}$  et  $V_B$  respectivement en  $\text{cm}^{-3}$ ,  $\mu\text{m}$  et  $V$ .

Les figures 2.5 (a) et (b) présentent les résultats des régressions obtenues, les valeurs de  $\alpha_1, \beta_1, \alpha_2$  et  $\beta_2$  sont présentées dans le tableau 2.2.

|            |                       |
|------------|-----------------------|
| $\alpha_1$ | $2,74 \times 10^{20}$ |
| $\beta_1$  | $-1,357$              |
| $\alpha_2$ | $1,14 \times 10^{-3}$ |
| $\beta_2$  | $1,221$               |

Tableau 2.2 – Valeurs de  $\alpha_1, \beta_1, \alpha_2$  et  $\beta_2$  pour la détermination de l'épaisseur  $W_{\text{epi}}$  et du dopage  $N_D$  de la couche de dérive correspondant au meilleur compromis  $R_{\text{epi}}-V_B$ .

Il nous est maintenant possible de dimensionner la couche de dérive afin d'atteindre le meilleur compromis entre faible résistance à l'état passant et forte tenue en tension. Toutefois, il faudra bien entendu tenir compte de plusieurs facteurs influençant la tenue en tension tels que :

- la variation de l'épaisseur et du dopage de la couche de dérive à l'échelle de la production (sur une plaque, plaque à plaque, lot à lot),
- l'efficacité de la protection périphérique.

Actuellement, les tolérances, en termes de dopage et d'épaisseur de couche épitaxiée fournie par Cree, sont respectivement de 25 et 10 %, pour des diamètres allant jusqu'à 4 pouces. Dans le cas d'un calibre en tension souhaité de 1700 V, la figure 2.6 illustre l'effet de la variation du dimensionnement de la couche de dérive sur la tenue en tension. Le point central représente le dimensionnement idéal pour atteindre une tension de claquage de 1700 V avec une résistance de couche minimale. Le cas le plus défavorable en termes

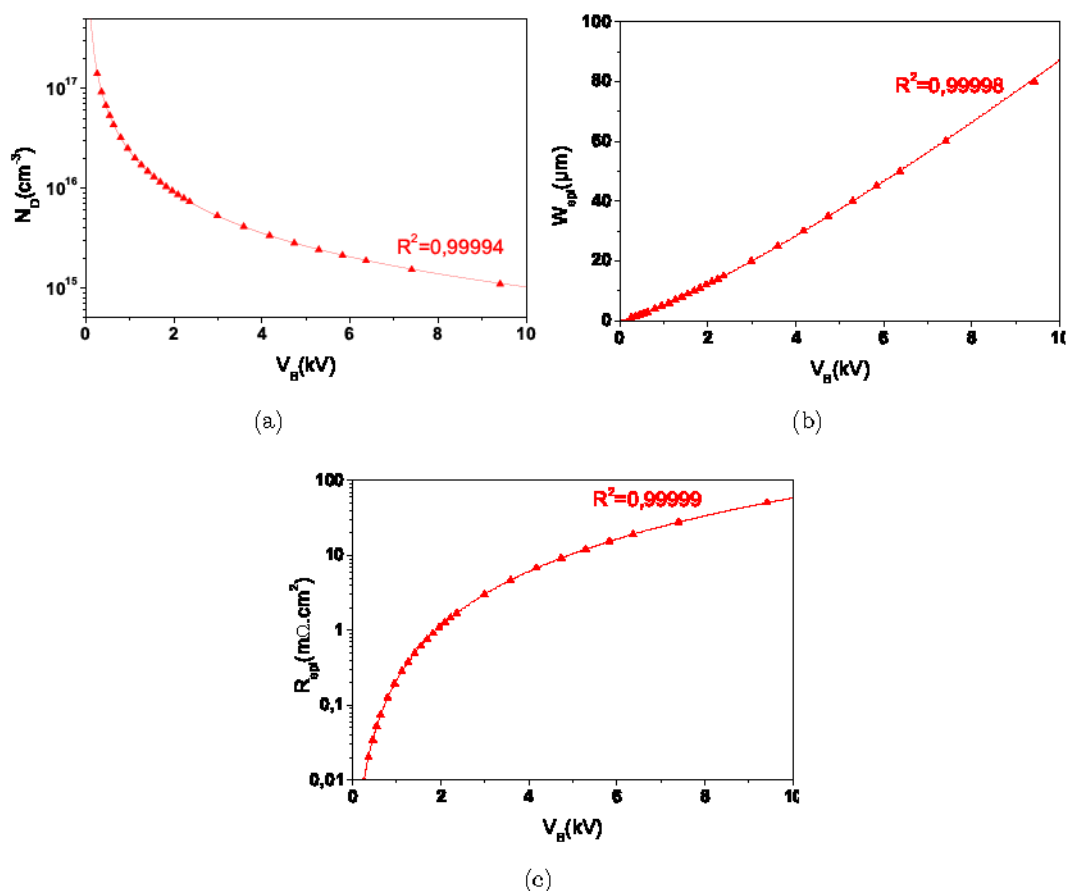


FIGURE 2.5 – Dopage (a), épaisseur (b) et résistance spécifique (c) de la couche de dérivation en fonction de la tension de claquage traduisant une valeur de BFOM maximale. Le  $R^2$  correspond au coefficient de corrélation obtenu à partir de la régression suivant l'équation 2.7.

de tenue en tension correspond à un dopage maximum et à une épaisseur minimum. Il est donc nécessaire de dimensionner la couche active afin que ce cas défavorable corresponde à la tension de claquage visée, soit 1700 V.

Enfin, l'effet bidimensionnel de la jonction en périphérie du composant induit un accroissement du champ électrique et, par conséquent, un claquage prématuré. Une protection de la périphérie est nécessaire pour se rapprocher de la tenue en tension que peut supporter la couche de dérivation. Pour la réalisation des dispositifs, la couche de dérivation doit être dimensionnée en tenant compte de l'efficacité de la protection périphérique ainsi que des dispersions de son dopage et de son épaisseur. Pour un calibre en tension de 1700 V, le tableau 2.3 fournit les dimensionnements de la couche de dérivation suivant les tolérances technologiques telles que les variations de dopage  $Tol(N_D)$  et d'épaisseur  $Tol(W_{epi})$ , l'efficacité  $E_{PP}$  de la protection périphérique.



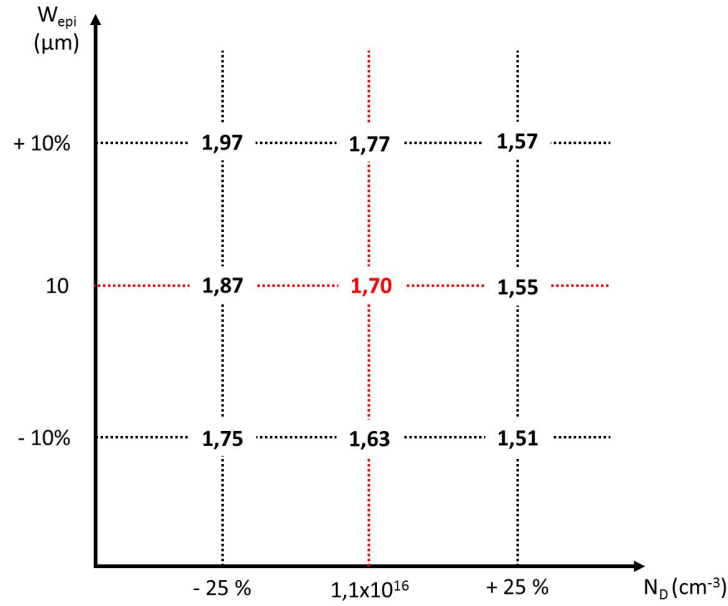


FIGURE 2.6 – Exemple d’effet de la variation du dimensionnement de la couche de dérivation sur la tenue en tension (en kV).

|                                           | Optimum              | $Tol(N_D) = 25\% - Tol(W_{epi}) = 10\%$ |                      |
|-------------------------------------------|----------------------|-----------------------------------------|----------------------|
|                                           |                      | $E_{PP} = 100\%$                        | $E_{PP} = 90\%$      |
| $N_D(\text{cm}^{-3})$                     | $1,1 \times 10^{16}$ | $8,9 \times 10^{15}$                    | $7,7 \times 10^{15}$ |
| $W_{epi}(\mu\text{m})$                    | 10,0                 | 10,9                                    | 12,4                 |
| $V_B(\text{kV})$                          | 1,70                 | 1,92                                    | 2,13                 |
| $R_{epi}(\text{m}\Omega.\text{cm}^2)$     | 0,76                 | 1,03                                    | 1,32                 |
| BFOM ( $\times 10^4 \text{ MW.cm}^{-2}$ ) | 1,52                 | 1,43                                    | 1,37                 |

Tableau 2.3 – Dimensionnement d’une couche de dérivation pour une tension de 1700V suivant les tolérances technologiques ( $Tol(N_D)$ ,  $Tol(W_{epi})$  et  $E_{PP}$  sont respectivement les dispersions de dopage, d’épaisseur et l’efficacité de la protection périphérique).

Les valeurs de dopage et d’épaisseur indiquées correspondent au point central du graphique de la figure 2.6. La prise en compte des variations de dopage et d’épaisseur à l’échelle de la production dans le dimensionnement de la couche de dérivation induit inévitablement une augmentation de l’épaisseur et une réduction du dopage de la couche de dérivation. Au niveau de la conception, seule la protection périphérique peut être optimisée pour améliorer le compromis  $R_{epi} - V_B$ . Nous verrons en détails les différentes techniques de protection périphérique utilisées pour les composants de puissance, leur efficacité et leur sensibilité vis-à-vis des dispersions engendrées lors des étapes de fabrication. L’étude d’une protection périphérique adaptée à la diode JBS sera présentée dans la partie suivante.

## 2.2 Périphérie de la diode JBS

Dans une jonction plane infinie et parallèle, dite « idéale », lors de la polarisation en inverse, la zone de désertion s'étend vers la cathode de sorte que les équipotentiels se répartissent parallèlement à la jonction. Dans un composant réel, la jonction présente une surface finie, limitée à celle du composant. De ce fait, la distribution des équipotentiels est modifiée à la périphérie de la jonction. Dans le cas d'une simple diode Schottky, le resserrement des équipotentiels à l'extrémité du contact d'anode entraîne la présence d'un fort champ électrique, causant un claquage prématuré. L'intégration d'un anneau de garde fortement dopé de type P est un premier élément de protection périphérique (figure 2.7).

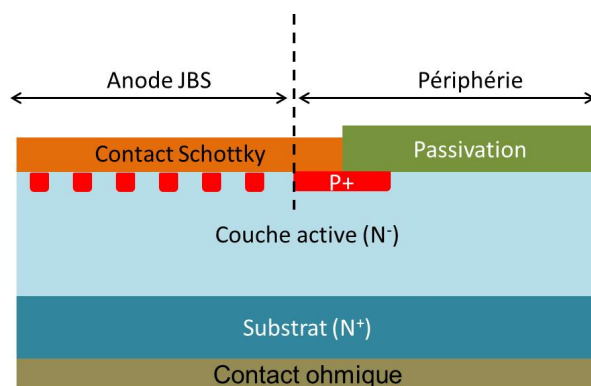


FIGURE 2.7 – Anode et périphérie de la diode JBS intégrant un anneau de garde fortement dopé de type p à l'extrémité du contact Schottky.

Celui-ci va repousser le champ électrique dans le volume au niveau de la jonction PN et, par conséquent, empêcher le claquage prématuré en bord du contact Schottky. La tenue en tension est alors essentiellement limitée par les effets de courbure de la jonction PN à la périphérie. L'objectif de cette partie de chapitre consiste à réaliser un inventaire (non exhaustif) des techniques de protection périphérique des composants de puissance. Après avoir défini le cahier des charges de la technique de garde de la diode JBS, le travail d'optimisation de la protection périphérique sera présenté.

### 2.2.1 Effet de la courbure de la jonction PN

Grâce à l'anneau de garde fortement dopé de type P en périphérie, sur lequel vient se terminer le contact d'anode, la terminaison d'une diode, Schottky ou JBS, est semblable à celle d'une diode PiN dont l'émetteur a été réalisé par implantation ionique. En polarisation inverse, la courbure de la jonction va induire un resserrement des équipotentiels et, par conséquent, une augmentation du champ électrique dans cette zone, conduisant au claquage prématuré du composant (figure 2.8). Dans le cas décrit sur la figure 2.8, le

claquage est atteint pour une tension inverse  $V_R = 367$  V soit 32 % de la tension de claquage de la jonction plane infinie parallèle pouvant être obtenue à partir d’une couche active de  $6\text{ }\mu\text{m}$  et dopée à  $1 \times 10^{16}\text{ cm}^{-3}$ .

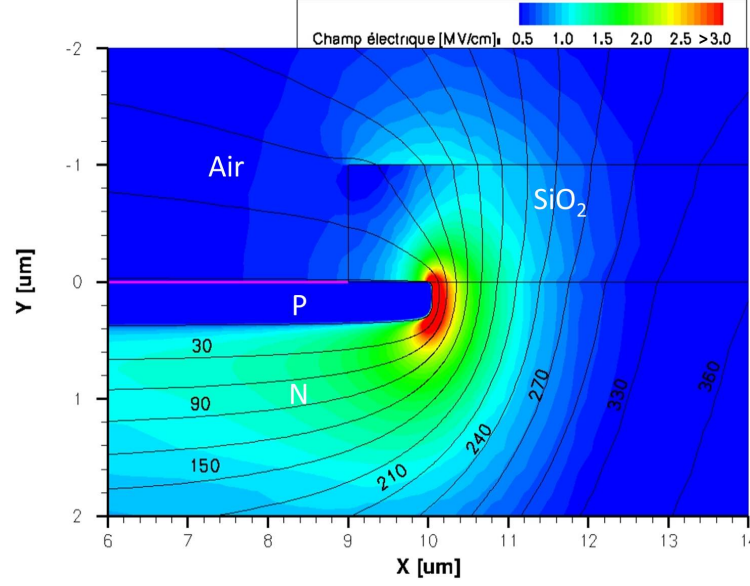


FIGURE 2.8 – Distribution du champ électrique et des équipotentielles au claquage en périphérie d’une jonction PN planar non protégée.

La figure 2.9 illustre le mécanisme conduisant à un accroissement du champ électrique dans la courbure de la jonction. Sur la figure (a), l’hypothèse d’une ZCE parallèle en tout point de la jonction conduit à un déséquilibre de charges de part et d’autre de la jonction. Ce cas n’est donc pas réel, avec un champ électrique constant le long de la jonction. Sur la figure (b), l’équilibre de charges est assuré par une modification de la distribution de la ZCE. Celle-ci va s’étendre légèrement plus dans la région P et se réduire fortement dans la région N. En effet, lorsque la jonction remonte, la quantité de charges dans la région N augmente rapidement devant celle dans la région P. La tension appliquée à la jonction ne changeant pas et la distance sur laquelle elle est appliquée se réduisant, le champ électrique va fortement augmenter dans la courbure.

L’accroissement du champ électrique a donc pour origine une déformation de la ZCE qui se produit pour conserver l’équilibre des charges le long de la jonction. De ce fait, plus le rayon de courbure de la jonction est faible, plus la variation de quantité de matériau entre la région P et la région N est importante et donc plus la ZCE se réduit dans la région N au niveau de la courbure. En d’autres termes, le champ électrique dans la courbure sera d’autant plus intense que le rayon de courbure de la jonction sera faible.

En technologie silicium, la diffusion des dopants induit un rayon de courbure des jonctions relativement important, pouvant représenter 80 % de la profondeur de jonction. Dans le cas du SiC, la diffusion de l’aluminium, impureté typiquement utilisée pour obtenir

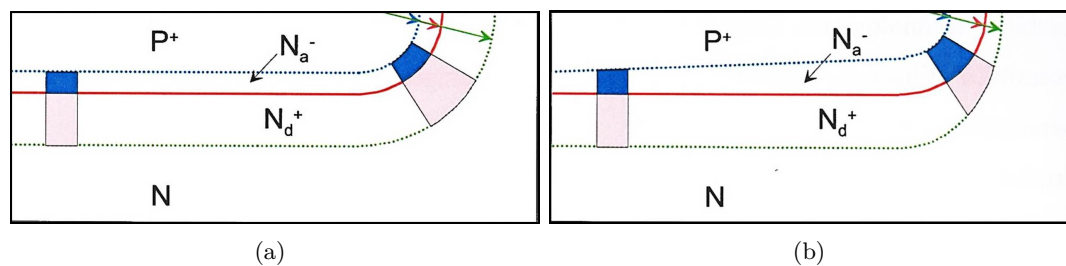


FIGURE 2.9 – Illustration de l'accroissement du champ électrique en périphérie de jonction selon [162]. (a) La ZCE reste parallèle en tout point de la jonction. (b) La ZCE se réduit dans la courbure du côté N.

un dopage de type p, est négligeable. Ainsi, le rayon de courbure des jonctions est très faible et il est principalement conditionné par des effets de canalisation latérale des impuretés durant l'implantation. Une définition réaliste des profils d'implantation dans le SiC est donc indispensable pour simuler précisément la distribution du champ électrique dans un composant. Toutes les simulations électriques conduites dans ce chapitre seront réalisées sur des structures dont les profils de dopage ont été calculés par simulation Monte-Carlo à partir de paramètres calibrés dans l'outil Sentaurus Process.

## 2.2.2 Etat de l'art des techniques de garde

Les techniques de protection périphérique sont basées sur la nécessité d'étaler au mieux la zone de charge d'espace déployée par la jonction polarisée en inverse. Il est en effet nécessaire de distribuer le potentiel sur la plus grande surface possible du composant. Cela permet de diminuer son gradient, c'est-à-dire le champ électrique, et, par conséquent, de retarder le claquage du composant. Les techniques de protection périphérique peuvent être classées suivant deux catégories dites mesa ou planar.

### 2.2.2.1 Protection Mesa

La technologie mesa repose sur la modification de la quantité de charges de part et d'autre de la jonction par gravure du matériau (figure 2.10).

Théoriquement, la terminaison par mesa permet d'atteindre des tenues en tension proches de celles d'une jonction plane infinie parallèle. En effet, si la terminaison est réalisée de sorte que la profondeur de gravure soit supérieure ou égale à l'épaisseur de la couche de dérive et si l'angle de gravure (angle entre la surface et le flanc de gravure) est de  $90^\circ$ , les équipotentielles restent quasiment parallèles entre elles sous polarisation inverse et la situation est alors presque équivalente à une jonction plane infinie parallèle [163]. Toutefois, du point de vue expérimental, la principale limitation de la protection mesa est liée au matériau diélectrique utilisé pour la passivation. D'une part, la présence

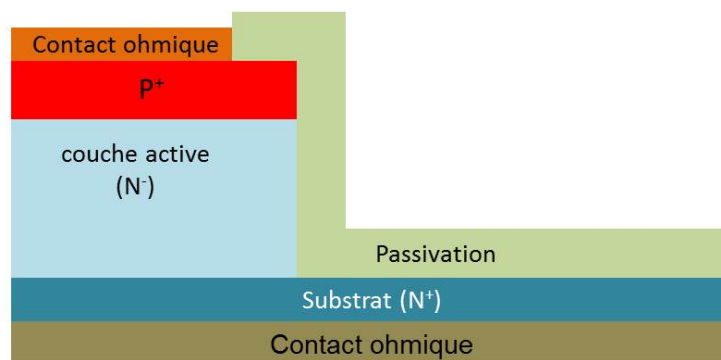


FIGURE 2.10 – Schéma de la protection périphérique par gravure mesa.

de charges à l'interface entre la surface gravée et la couche de passivation peut dégrader l'efficacité de la protection. Les origines de ces charges peuvent être :

- des défauts à la surface des flancs de gravure,
- une contamination chimique de la surface,
- les liaisons pendantes, dues au désaccord de maille entre le matériau diélectrique et le SiC,
- des pièges proches de l'interface dans le matériau diélectrique.

Ces charges vont modifier la distribution des équipotentiels pouvant induire une réduction de la tenue en tension. D'autre part, la faible rigidité diélectrique des matériaux, classiquement utilisés pour la passivation en technologie silicium, peut conduire à un claquage prématuré. D'après la loi de Gauss exprimant la continuité du champ électrique à l'interface entre deux matériaux, la composante parallèle du champ électrique dans le matériau diélectrique est égale à celle du champ électrique dans le semiconducteur.

Soumis à de forts champs électriques, les matériaux diélectriques sont sujets à un vieillissement accéléré, leur rigidité diélectrique diminuant avec le temps. A long terme, des problèmes de fiabilité peuvent intervenir au niveau de l'isolation électrique et un claquage prématuré du matériau diélectrique peut intervenir. L'efficacité de la protection mesa est donc intimement liée à la qualité de la passivation du SiC. Ces dernières années, des travaux sur le développement de la technologie MOS conduisent vers une amélioration croissante de la qualité de l'interface  $\text{SiO}_2/\text{SiC}$ , se traduisant notamment par une réduction de la densité de charges à l'interface. Dans le cadre du développement de briques technologiques, la protection mesa reste donc intéressante pour évaluer la qualité diélectrique des matériaux utilisés pour la passivation. Une autre limitation à prendre en compte dans l'usage d'une protection mesa est liée aux étapes de fabrication, en particulier la photolithographie. En effet, les étapes de dépôt de résine sur des structures comportant des marches de hauteur supérieure à  $10\text{ }\mu\text{m}$  restent problématiques. De tels passages de marche impliquent l'utilisation de résines très épaisses et/ou le recours à des techniques de

dépôt non conventionnelles telles que le « spray-coating » [164]. La protection mesa reste donc limitée à la gravure de couches actives de faibles épaisseurs (inférieures à 15  $\mu\text{m}$ ) et, par conséquent, à des composants destinés à tenir de « faibles » tensions en inverse.

### 2.2.2.2 Protection planar

Les techniques de protection périphérique basées sur la technologie planar sont souvent privilégiées pour limiter les champs électriques importants dans le matériau diélectrique utilisé pour la passivation du composant. Ces techniques consistent à étaler la charge d'espace de la jonction principale sur une distance suffisante pour éviter le resserrement des équipotentiels. En technologie SiC, on retrouve essentiellement la protection par anneaux de garde flottants fortement dopés (FGR pour « Floating Guard Ring ») et la terminaison par extension de jonction (JTE pour « Junction Termination Extension »).

La protection périphérique par multiples FGR (figure 2.11) est une technique couramment rencontrée en technologie silicium. Elle consiste à entourer la jonction principale par

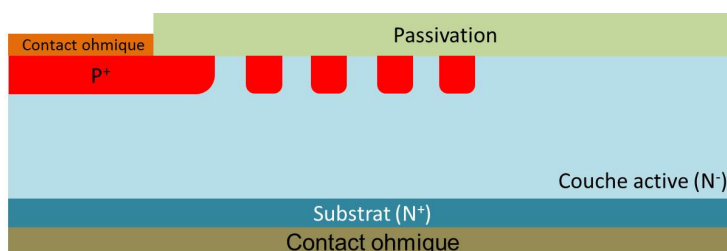


FIGURE 2.11 – Schéma de la protection périphérique par anneaux de garde flottants fortement dopés de type P.

plusieurs anneaux, le caractère flottant étant lié à l'absence de polarisation extérieure de ces anneaux. L'anneau devient polarisé lorsque la zone de charge d'espace, qui s'étend à partir de la jonction principale, atteint celui-ci. Si le claquage a lieu avant alors la ZCE n'atteint pas l'anneau. Ainsi, la distribution des équipotentiels est modifiée par le contournement de chaque anneau. Cette terminaison présente l'avantage de pouvoir être réalisée en même temps que la jonction principale. Toutefois, le rayon de courbure des jonctions dans le SiC étant très faible, la distance optimale entre chaque anneau l'est aussi. De ce fait, l'optimisation de cette périphérie requiert une connaissance précise des profils d'implantation, latéralement et verticalement. Sheridan *et al.* ont montré qu'une structure optimisée à 4 anneaux flottants présentait un espacement entre anneaux de l'ordre de 1 à 3  $\mu\text{m}$  (pour un dopage de la couche de dérive de l'ordre de  $1 \times 10^{15} \text{ cm}^{-3}$ ). Du point de vue expérimental, l'efficacité de cette terminaison est proche de 80 % [165]. Toujours expérimentalement, l'efficacité d'une terminaison comportant 63 anneaux de 2,5  $\mu\text{m}$  de largeur, dont l'espacement entre eux croît de 0,8 à 2,8  $\mu\text{m}$  lorsqu'on s'éloigne de la jonction principale, a été évaluée à 95 % [166]. La terminaison par anneaux de garde

est parfaitement adaptée à la protection de la périphérie de la diode JBS, les anneaux pouvant être implantés en même temps que les caissons P sous le contact Schottky. Malheureusement, sa conception requiert une connaissance précise de la courbure des jonctions implantées et sa fabrication impose une lithographie avec une résolution de l'ordre du micron.

A l'heure actuelle, la technique JTE, consistant à étendre la jonction principale par une région faiblement dopée  $P^-$  (figure 2.12-a), est la plus utilisée en technologie SiC. Son principe repose sur la désertion complète de la région  $P^-$ , qui va ainsi agir comme une région très résistive supportant la tension. Le contrôle précis de la dose implantée dans la JTE est essentiel pour obtenir une désertion progressive de celle-ci au fur et à mesure de l'augmentation de la tension. Si la dose de dopants est trop faible, l'effet de la JTE est faible, la poche est complètement désertée à faible tension et l'accroissement du champ électrique et donc le claquage, a lieu à l'extrémité de la jonction principale. Inversement, si la dose est trop importante, la JTE n'est alors qu'une prolongation de la jonction principale et le claquage apparaît à l'extrémité de la JTE.

Ainsi, dans le but de réduire la sensibilité de la protection à la dose implantée, plusieurs variantes de cette terminaison ont été déclinées telles que les multiples JTE « connectées » (figure 2.12-b)[167] ou flottantes (figure 2.12-g) [168, 169], la JTE gravée (figure 2.12-d)[170], la JTE avec anneaux gravés (figure 2.12-e) [171] et la JTE assistée par anneaux de garde flottants fortement dopés (figure 2.12-f) [172, 173].

Dans le cas où la jonction principale est réalisée par épitaxie, comme dans le cas d'une diode PiN, il est possible de combiner une protection mesa avec une terminaison à base de JTE réalisée par implantation (figure 2.12-c) [167]. Mais il est aussi possible d'avoir recours à une structuration de la base  $P^-$  par gravure [170, 171]. Dans le cas de la diode JBS où les jonctions sont réalisées par implantation, la structuration d'une couche  $P^-$  par gravure n'est pas aisée du fait des faibles profondeurs d'implantation, généralement inférieures à 1  $\mu\text{m}$ .

La JTE assistée par anneaux de garde implantés (figure 2.12-f) ou gravés (figure 2.12-e) permet de bénéficier d'une distribution du potentiel par les anneaux dans le cas où le dopage de la JTE n'est pas suffisant. Toutes deux permettent donc de diminuer la sensibilité de la tenue en tension de la terminaison pour les faibles doses et, par conséquent, de limiter l'effet des incertitudes technologiques telles que l'activation des dopants ou les variations du niveau de dopage de la couche  $P^-$ .

En technologie silicium, le contrôle précis du processus de diffusion des espèces dopantes permet d'envisager une JTE avec une variation latérale du dopage (VLD) (figure 2.12-h). Cette dernière présente l'avantage d'être moins sensible à la dose implantée et, surtout, de distribuer le champ électrique sur une large surface [174, 175]. A l'heure actuelle, cette technique de garde est l'une des plus performantes, en termes d'efficacité et de réduction

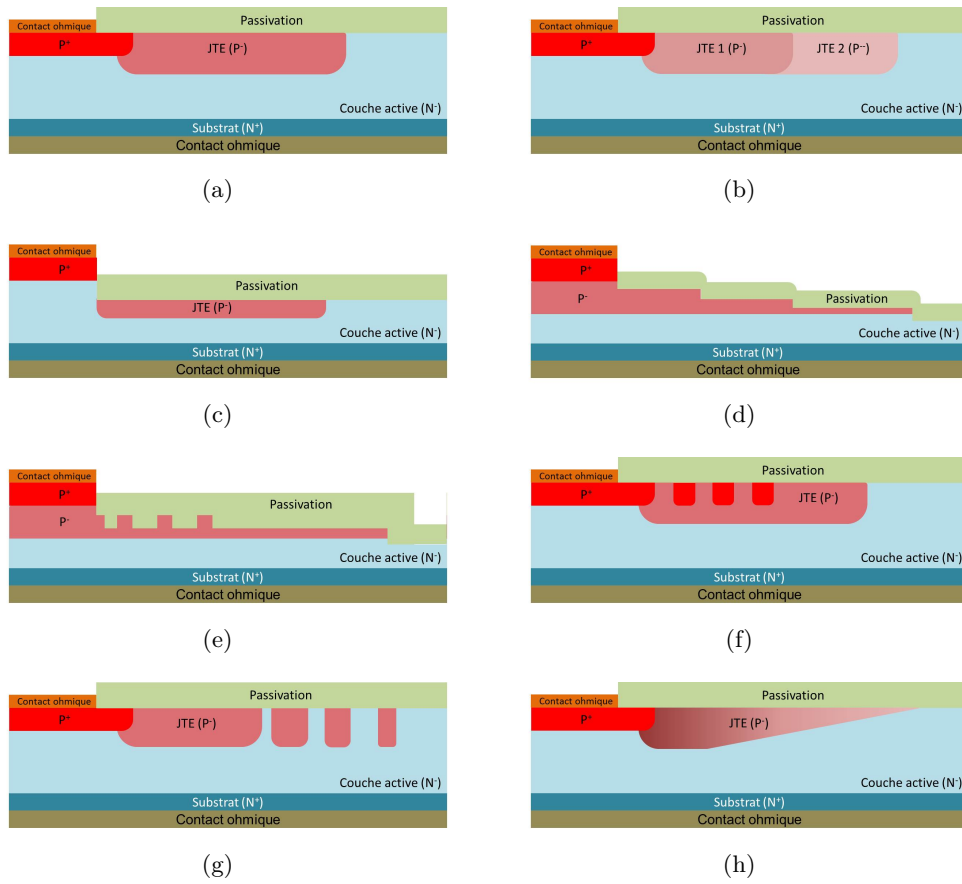


FIGURE 2.12 – Etat de l’art des techniques de protection périphérique basées sur le concept de JTE. Simple JTE (a), Multiples JTE « connectées » (b), Mesa-JTE (c), JTE gravée (d), JTE assistée par anneaux gravés (e), JTE assistée par anneaux de garde dopés (f), multiple JTE flottantes (g), JTE VLD (h).



du champ électrique à la surface, rencontrées en technologie silicium. A défaut de pouvoir bénéficier d'une variation latérale du dopage de façon graduelle à cause de l'absence de diffusion significative de l'aluminium dans SiC, il est possible de réaliser une variation discrète soit par implantation de plusieurs poches JTE de différentes doses (figure 2.12-b), soit par structuration d'une base P par gravure (figure 2.12-d). L'inconvénient majeur de ces techniques est le nombre d'étapes de masquage et d'implantations (ou gravure), égal aux nombres de poches.

Dans le SiC, le bore, qui est une alternative à l'aluminium pour le dopage de type p, est, contrairement à ce dernier, capable de diffuser dans des conditions standards de recuit post-implantation. Bolotnikov *et al.* ont réalisé une diode PiN tenant 96 % de la tension idéale avec une JTE-VLD obtenue par une implantation de bore [176]. Le gradient latéral de dose d'implantation a été obtenu à partir d'un masque d'implantation comportant différentes ouvertures de masque (anneaux concentriques dont l'ouverture décroît et l'espacement entre anneaux augmente de la jonction principale à l'extrémité de la terminaison). Toutefois l'effet de l'activation des dopants dans la JTE sur la tenue en tension semble prépondérant par rapport à celui de leur diffusion. Avec une technique de masquage similaire, Sung *et al.* ont confirmé qu'une diffusion des dopants n'était pas nécessaire pour que la terminaison soit efficace, la protection périphérique se comporte alors comme des anneaux flottants. Ils ont ainsi démontré cet aspect à partir d'une implantation d'aluminium (dont la diffusion dans le SiC est négligeable) à travers un masque similaire à celui de Bolotnikov *et al.*, mais avec un gradient d'ouverture et d'espacement entre les ouvertures beaucoup plus faible [168]. Néanmoins la technique de masquage mise en place requiert une résolution photolithographique submicronique. Une autre voie étudiée pour la réalisation d'une VLD est l'implantation à travers un masque dont l'épaisseur croît de la jonction principale jusqu'à l'extrémité de la terminaison. Pour la réalisation d'une JTE, Imhoff *et al.* ont ainsi utilisé un masque en résine pyrolysée dont la pente forme un angle de quelques  $1/10^\circ$  avec la surface [177]. La tension de claquage obtenue avec cette terminaison représente 90% de celle d'une jonction plane infinie parallèle. La reproductibilité de la technique de fabrication du masque d'implantation est, toutefois, indéterminée.

Cet état de l'art de la protection périphérique des composants de puissance en SiC montre clairement la domination des terminaisons basées sur le concept de la JTE. Même si elle requiert une étape de photolithographie et d'implantation supplémentaire par rapport à une périphérie à anneaux de garde flottants, l'efficacité de cette terminaison est importante et sa complexité de fabrication faible.

L'optimisation de la protection périphérique de la diode devra répondre aux exigences suivantes de notre cahier des charges :

- une tenue en tension supérieure à 90 % de celle de la jonction plane infinie parallèle,

- une sensibilité à la dose de la JTE la plus faible possible, afin de limiter l’effet d’une activation incomplète des dopants, avec une activation minimum fixée à 80% de la dose implantée.
- la plus faible sensibilité de la terminaison aux charges à l’interface  $\text{SiO}_2/\text{SiC}$ ,
- une résolution photolithographique supérieure ou égale à 1  $\mu\text{m}$ ,
- un champ électrique surfacique le plus faible possible,
- une seule étape de masquage.

Dans l’étude qui suit, la brique de base de la terminaison sera évidemment la JTE. Dans un premier temps, le travail d’optimisation d’une simple JTE sera présenté. Ses limitations, en termes de tenue en tension et de fiabilité, seront énoncées et des solutions proposées pour s’en affranchir feront l’objet d’un second travail d’optimisation.

### 2.2.3 Optimisation de la périphérie

La protection périphérique de la diode JBS devra répondre aux exigences définies auparavant. De plus, elle doit être optimisée pour une couche de dérive dimensionnée pour la réalisation de diodes pouvant opérer à une tension inverse supérieure à 1200 V, soit un dopage de  $8 \times 10^{15} \text{cm}^{-3}$  et une épaisseur de 9  $\mu\text{m}$ . Des terminaisons de type simple JTE, multiples anneaux de garde flottants, JTE assistée par anneaux de garde et anneaux JTE flottants vont être étudiées et optimisées à l’aide de la suite d’outils de simulation par éléments finis, Sentaurus, fournie par la société Synopsys.

#### 2.2.3.1 Éléments de base de la simulation

L’outil utilisé pour la conception de composants semi-conducteurs est basé sur la méthode des éléments finis. Parmi les différents fournisseurs de logiciels dédiés à ces tâches, la suite logicielle de la société Synopsys a été retenue par STMicroelectronics pour la simulation des étapes de fabrication microélectronique (Sentaurus Process) et du fonctionnement électrique du composant (Sentaurus Device).

La structure étudiée est équivalente à une diode PiN dont la jonction principale a été réalisée par implantation ionique. Les profils 2D en aluminium pour la réalisation des différentes régions de la terminaison sont issus des simulations d’implantation ionique par la méthode Monte-Carlo réalisées à partir de l’outil Sentaurus Process.

La finesse du maillage est un critère essentiel pour la qualité de la simulation. En effet, pour chaque point de maillage (noeud), la résolution couplée des équations de Poisson et de transport des électrons et des trous va être effectuée. Plus le maillage est fin, plus les résultats de simulation sont pertinents et plus les écarts entre simulation et réalité sont minimes. En contrepartie, affiner le maillage entraîne une augmentation du nombre de noeuds et, par conséquent, du temps de calcul. Le maillage initial de la structure

a été réalisé de sorte qu'il soit « lâche » dans le volume et fin au niveau des jonctions métallurgiques. Toutefois, il est nécessaire de mailler aussi au plus près de la jonction électrique. Un maillage itératif sur le champ électrique est donc réalisé pour affiner le maillage au niveau de la jonction électrique.

La détermination de la tension de claquage est effectuée à partir de la caractéristique courant-tension de la structure en définissant un seuil de courant pour lequel le phénomène d'avalanche a eu lieu.

Dans ce chapitre, le terme d'efficacité de la protection périphérique, exprimé en %, sera défini comme le ratio entre la tenue en tension obtenue et la tension de claquage de la jonction plane semi-infinie correspondante.

Du fait de la faible concentration de porteurs minoritaires dans le SiC, la densité de courant de fuite calculée dans le simulateur (ne considérant aucun mécanisme de génération extrinsèque tels que les défauts) est très faible, notamment en périphérie. Cela entraîne un temps de calcul relativement long et des problèmes de convergence. Si l'utilisateur veut bénéficier d'une information quantitative sur le courant de fuite, l'augmentation de la précision de calcul est la seule solution pour limiter les problèmes de convergence mais s'accompagne d'une augmentation du temps de calcul. Deux techniques permettent d'augmenter artificiellement le niveau de courant de fuite et, par conséquent, améliorer la convergence sans modifier la tenue en tension : la photogénération de porteurs et l'augmentation de la température. Cette dernière méthode a été retenue au cours de cette étude.

### 2.2.3.2 Simple JTE

La figure 2.13 illustre la périphérie d'une diode PiN protégée par une poche JTE. Les paramètres influençant le comportement électrique en inverse sont la longueur de la poche  $L_{JTE}$  et la dose de dopants  $Q_{JTE}$ .

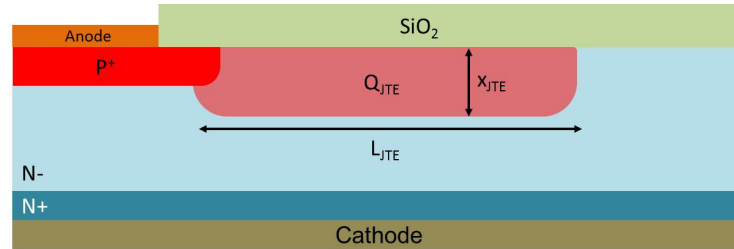


FIGURE 2.13 – Vue en coupe de la périphérie protégée par une simple JTE.

Mahajan *et al.* ont démontré que, plus la profondeur de jonction  $x_{JTE}$  était importante, plus la sensibilité de la terminaison vis-à-vis de la dose implantée était réduite [178]. De plus, pour une efficacité optimale, la profondeur de la JTE doit être supérieure à celle de la

jonction principale. De ce fait, nous avons fixé la profondeur de jonction à partir de l'énergie d'implantation maximale à disposition pour la réalisation de la JTE, soit 380 keV (190 keV en double charge). Le profil simulé d'implantation dans la JTE est présenté dans la figure 2.14. Les énergies et les doses d'implantation d'aluminium associées ont été sélectionnées pour obtenir un profil de dopage « carré » présentant une concentration constante sur une large distance. Dans l'exemple présenté, la somme des doses, correspondant à  $Q_{JTE}$ , est égale à  $1,0 \times 10^{13} \text{ cm}^{-2}$ . Pour modifier la dose totale, un facteur multiplicatif  $N$  est appliqué à chaque dose. Par exemple, pour avoir  $Q_{JTE} = 1,5 \times 10^{13} \text{ cm}^{-2}$ , chaque dose est multipliée par  $N = 1,5$ . L'étude de l'influence de la dose totale  $Q_{JTE}$  est donc réalisée avec une forme de profil constante.

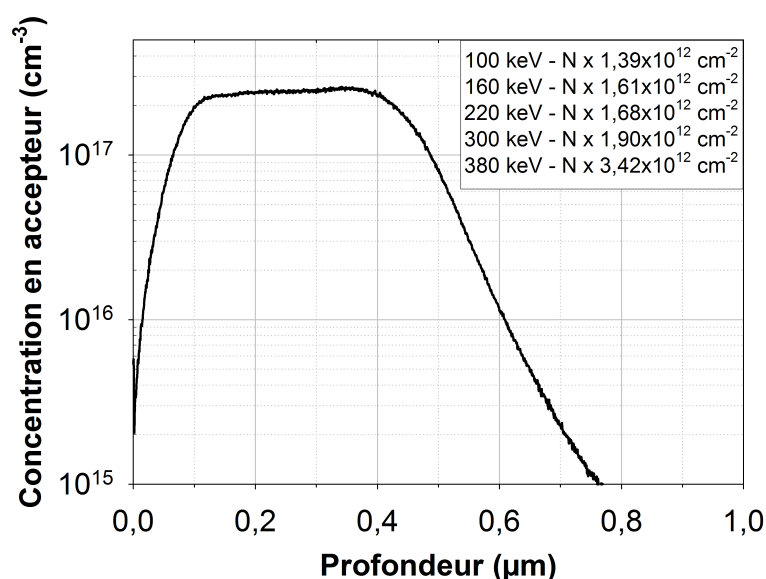


FIGURE 2.14 – Profil d'implantation d'aluminium dans la JTE. La dose totale d'Al implantée est égale à  $1,0 \times 10^{13} \text{ cm}^{-2}$ .

### Influence de la dose de la JTE.

La figure 2.15 montre l'efficacité de la JTE, dont la longueur a été fixée à 100  $\mu\text{m}$ , en fonction de la dose de dopants dans la JTE, pour différents dopages de la couche de dérive. Nous observons que la dose optimale, notée  $Q_{seuil}$ , pour obtenir une efficacité proche de 100% est autour de  $1,4 \times 10^{13} \text{ cm}^{-2}$ . Au delà de cette dose, la JTE est trop dopée et se comporte comme une extension de l'anode. L'efficacité de la terminaison diminue avec l'augmentation du dopage dans la JTE. En deçà de cette dose, la JTE est sous-dopée et elle est désertée complètement à faible tension. L'efficacité de la terminaison diminue avec le dopage dans la JTE.

La dispersion de la tenue en tension vis-à-vis de la dose croît avec le dopage de la couche de dérive. D'un point de vue expérimental, une activation incomplète des dopants de 80 % peut induire une réduction de 15 % de la tenue en tension. On comprend donc que le contrôle de la dose implantée et de l'activation des dopants va conditionner l'efficacité de la terminaison JTE.

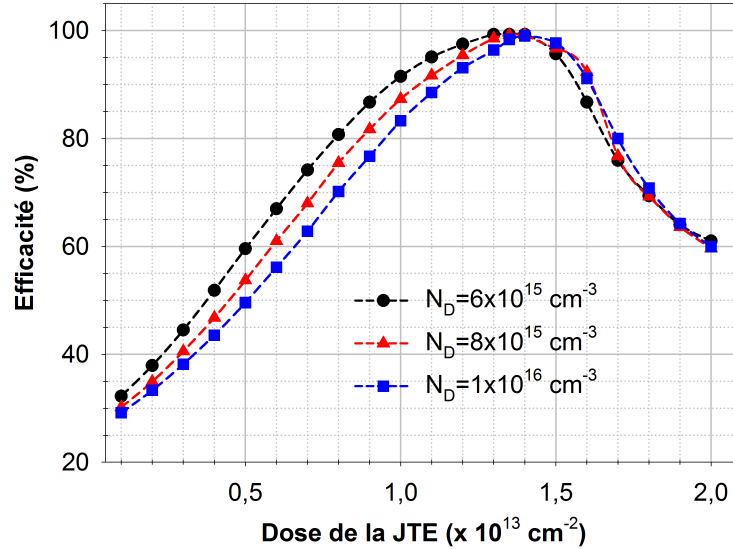


FIGURE 2.15 – Efficacité d'une terminaison JTE de longueur 100  $\mu\text{m}$  en fonction de la dose active  $Q_{\text{JTE}}$  pour différents dopages de la couche de dérive de 9  $\mu\text{m}$  d'épaisseur.

Avec l'augmentation de la tension inverse, le comportement de la terminaison JTE se résume en 2 phases :

1. le champ électrique croît uniquement à l'extrémité de la JTE et ce jusqu'à la désertion complète de celle-ci,
2. puis, le champ croît à l'extrémité de l'anode (P+) jusqu'au claquage.

Si le dopage de la JTE est trop faible, la poche  $P^-$  est complètement désertée à faible tension. Le champ électrique croît à l'anode jusqu'au claquage, comme le montre la figure 2.16. Au claquage, le champ électrique est maximal à l'extrémité de l'anode.

Dans le cas d'un dopage optimal de la JTE, le champ électrique croît d'abord à l'extrémité de la JTE puis à l'anode jusqu'au claquage, comme le montre la figure 2.17. Au claquage, les maxima de champ électrique sont atteints à l'anode et à l'extrémité de la JTE.

Si le dopage de la JTE est trop dopée, la poche JTE ne peut être désertée même à forte tension, elle se comporte alors comme une extension de la jonction principale (anode). Le champ électrique croît à l'extrémité de la JTE jusqu'au claquage, comme le montre la figure 2.18. Le champ électrique est maximal à l'extrémité de la JTE au claquage.

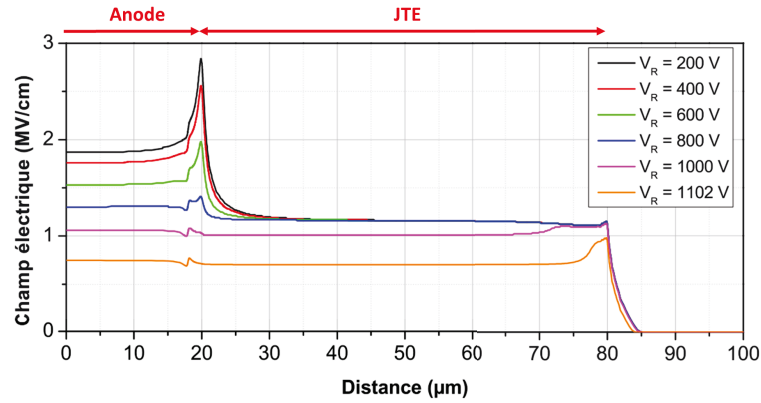


FIGURE 2.16 – Intensité maximum du champ électrique au voisinage de l'anode et de l'extrémité de la JTE en fonction de la tension inverse. Cas de  $0,7 \times 10^{13} \text{ cm}^{-2}$ .  $V_{BR} = 1102 \text{ V}$  soit 68% de la tension de claquage de la jonction plane.

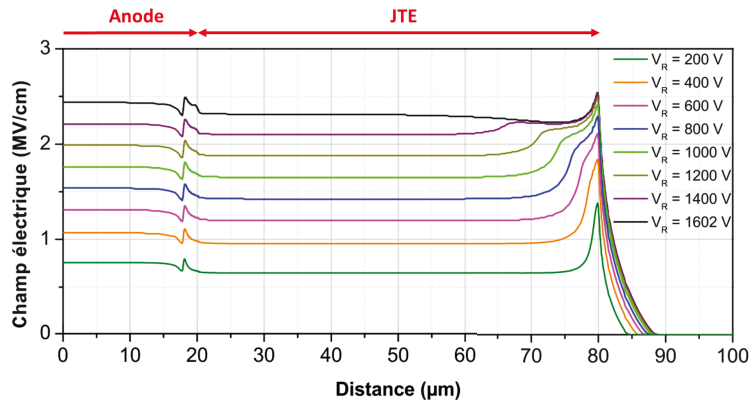


FIGURE 2.17 – Intensité maximum du champ électrique au voisinage de l'anode et de l'extrémité de la JTE en fonction de la tension inverse. Cas de  $1,35 \times 10^{13} \text{ cm}^{-2}$ .  $V_{BR} = 1602 \text{ V}$  soit 99,9% de la tension de claquage de la jonction plane.

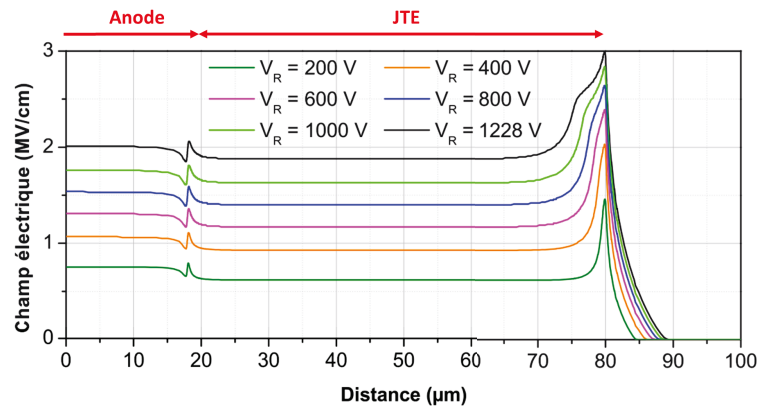


FIGURE 2.18 – Intensité maximum du champ électrique au voisinage de l'anode et de l'extrémité de la JTE en fonction de la tension inverse. Cas de  $1,7 \times 10^{13} \text{ cm}^{-2}$ .  $V_{BR} = 1228 \text{ V}$  soit 77% de la tension de claquage de la jonction plane.

### Influence de la longueur de la JTE.

La longueur d'une terminaison planar doit être minimisée afin de réduire la surface totale du composant. Une étude a donc portée sur l'efficacité de la terminaison en fonction de la longueur de la JTE, comme le montre la figure 2.19. Plus la JTE est longue, plus la tenue en tension est élevée. Toutefois, au delà d'une longueur de 30  $\mu\text{m}$ , soit environ 3 fois l'épaisseur de la couche de dérive, aucun gain sur l'efficacité n'est observé.

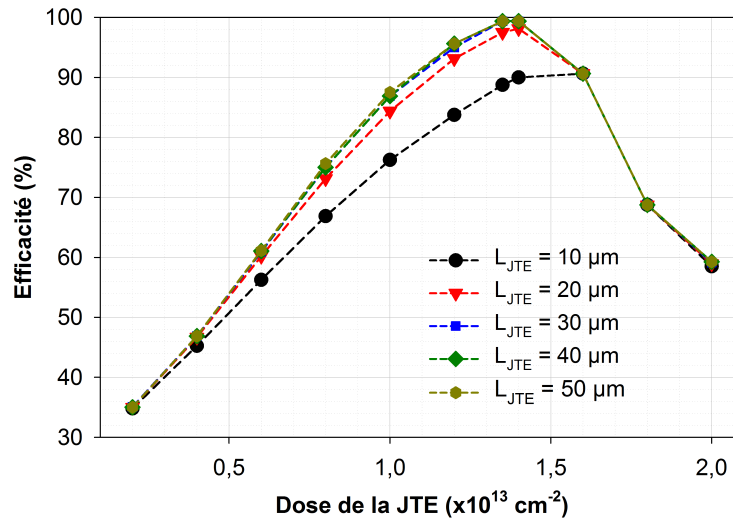


FIGURE 2.19 – Efficacité de la terminaison par simple JTE en fonction de la dose pour différentes longueurs de la JTE. Couche de dérive de 9  $\mu\text{m}$  d'épaisseur et dopée à  $8 \times 10^{15} \text{ cm}^{-3}$ .

Dans le cas où la JTE est trop dopée, nous avons vu qu'elle se comportait comme une extension de l'anode. De ce fait, la longueur n'a aucune influence sur la tenue en tension. Lorsque le dopage de la JTE est suffisant pour qu'elle soit désertée, l'augmentation de la longueur de la JTE favorise l'étalement des équipotentielles au niveau de l'anode et donc la réduction du champ électrique à l'anode. Cela se traduit par une augmentation de la tenue en tension. A partir d'une certaine longueur, l'étalement des équipotentielles au niveau de la courbure de la jonction principale est maximal.

Cette étude paramétrique de la terminaison par simple JTE a permis de mettre en évidence l'influence des différents facteurs géométriques et technologiques sur l'efficacité de la terminaison. La sensibilité de la terminaison vis-à-vis de la dose de la JTE est son principal défaut. Du point de vue technologique, plusieurs incertitudes peuvent conduire à une réduction de la dose effective de la JTE et, ainsi, dégrader les performances de la terminaison :

- une activation incomplète des impuretés
- une exodiffusion des impuretés

Enfin, une autre incertitude technologique, pouvant affecter l'efficacité de la terminaison, est la présence de charges à l'interface avec le matériau diélectrique, utilisé pour la passivation du composant, et le SiC. L'étude de ces charges, suivant l'efficacité de la terminaison JTE, est présentée dans la partie suivante.

### **Effet des charges à l'interface oxyde-SiC.**

La passivation de la surface du SiC est indispensable pour limiter les interactions entre le semiconducteur et son environnement lors du fonctionnement du composant. Comme le Si, le SiC présente l'avantage de bénéficier d'un oxyde natif,  $\text{SiO}_2$ , et de pouvoir être oxydé thermiquement. Toutefois, la qualité de l'interface  $\text{SiO}_2/\text{SiC}$  est loin d'être aussi bonne que celle de  $\text{SiO}_2/\text{Si}$ . La présence de défauts à cette interface se traduit par des états électroniques pouvant être soit occupés, soit vides, suivant leur position en énergie par rapport au niveau de Fermi local. Ces états électroniques se traduisent par des charges fixes à l'interface, pouvant être positives ou négatives. Dans le cas où la couche de dérive est de type N, une densité d'états d'interface positifs induira une accumulation d'électrons. Inversement, si elle est négative, les électrons vont être repoussés et un canal d'inversion peut, ainsi, se former sous l'oxyde. Du fait d'un procédé de passivation de la surface du SiC non optimisé dans notre chaîne de fabrication, une forte densité d'états électroniques est susceptible d'être présente à l'interface  $\text{SiO}_2/\text{SiC}$ . Il est donc essentiel d'évaluer la sensibilité de nos terminaisons vis-à-vis de ces charges à l'interface.

L'étude des charges à l'interface  $\text{SiO}_2/\text{SiC}$  de la terminaison par JTE présentée ci-après va se focaliser sur un dimensionnement de couche de dérive donnée, à savoir une épaisseur de  $9\text{ }\mu\text{m}$  et un dopage de  $8 \times 10^{15}\text{ cm}^{-3}$ , exemple de spécification utilisée pour la réalisation de JBS 1200 V.

La figure 2.20 montre l'influence de la densité de charges à l'interface oxyde-SiC dans une JTE avec une dose  $Q_{\text{JTE}}$  de  $1,35 \times 10^{13}$ , dose optimale pour cette spécification de couche de dérive.

Quelle que soit leur polarité, la présence de charges à l'interface entraîne une dégradation de l'efficacité de la terminaison. Dans le cas de charges positives, l'accumulation d'électrons sous la passivation réduit la dose effective de la JTE, diminuant, ainsi, l'efficacité de la JTE. Dans le cas de charges négatives, la diminution de l'efficacité de la terminaison est due à une augmentation de la dose effective, la JTE est alors considérée comme « sur-dosée ». A partir d'une certaine densité de charges ( $6 \times 10^{12}\text{ cm}^{-2}$ ), l'efficacité de la terminaison s'améliore du fait de la formation d'un canal d'inversion sous l'oxyde, jouant le rôle d'une JTE infinie. Une protection mesa assurée par le bord de la puce assure la tenue en tension, d'où l'augmentation de la tenue en tension.

Considérons une densité de charges à l'interface oxyde-SiC de  $5 \times 10^{12}\text{ cm}^{-2}$ . L'effet de la polarité de cette charge sur la distribution du champ électrique et du potentiel dans une



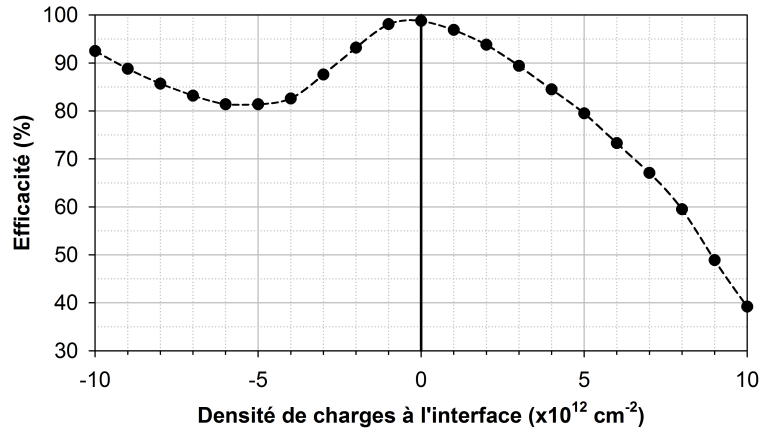


FIGURE 2.20 – Efficacité d’une simple JTE ( $Q_{JTE} = 1,35 \times 10^{13} \text{ cm}^{-2}$ ) en fonction de la densité de charges à l’interface oxyde-SiC.

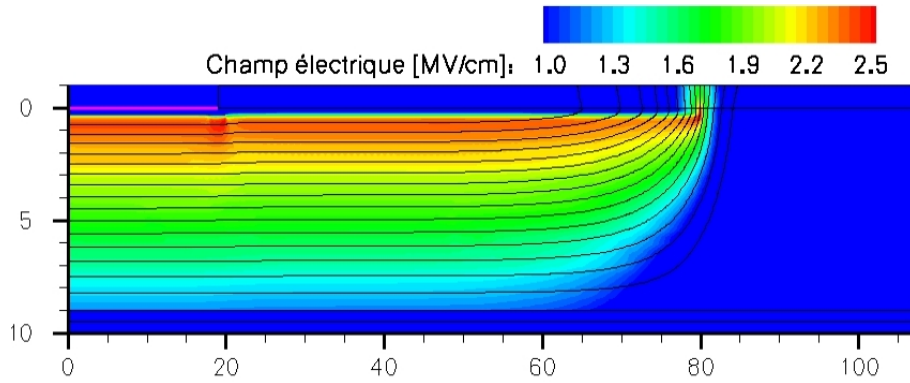


FIGURE 2.21 – Lignes équipotentielles (100V) et répartition du champ électrique à la tension de claquage sur une périphérie terminée par une simple JTE en l’absence de charge à l’interface oxyde-SiC.

termination par une simple JTE est illustré sur la figure 2.22. La dose  $Q_{JTE}$  utilisée est de  $1,35 \times 10^{13} \text{ cm}^{-2}$ , dose à laquelle les maxima de champ électrique aux extrémités de la jonction principale et de la JTE sont égaux en l’absence de charges à l’interface (figure 2.21).

En présence de charges positives, le maximum de champ électrique est déplacé au niveau de la jonction principale (figure 2.22-a). Ce comportement est donc équivalent à une concentration trop faible dans la JTE. A contrario, dans le cas de charges négatives à l’interface, le maximum de champ électrique est déplacé à l’extrémité de la JTE (figure 2.22-b). Ce comportement est équivalente à une concentration trop forte dans cette dernière.

De plus, la distribution du potentiel met en évidence la formation d’un canal d’inversion dont l’effet est équivalent à une extension d’une couche p de la JTE jusqu’au bord de la

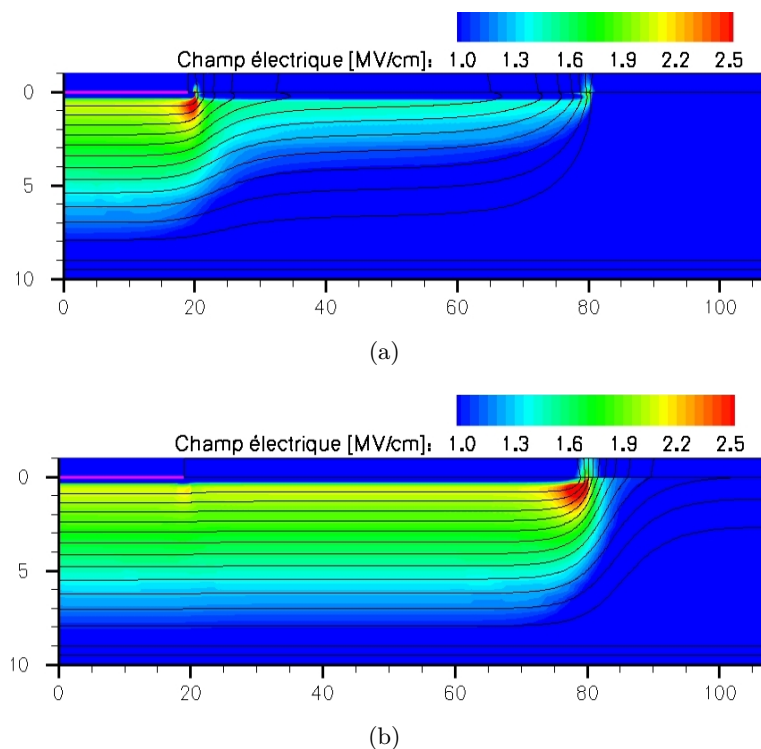


FIGURE 2.22 – Lignes équipotentielles (100V) et répartition du champ électrique à la tension de claquage sur une périphérie terminée par une simple JTE pour une densité de charges à l'interface oxyde-SiC de  $5 \times 10^{12}$  (a) et  $-5 \times 10^{12}$  (b)  $\text{cm}^{-2}$ .

puce. La terminaison est alors équivalente à une protection mesa constituée par le bord de la puce. Cela se traduit par une augmentation de la tenue en tension observée sur la figure 2.20 à partir d'une densité de charge négative de  $5 \times 10^{12} \text{ cm}^{-2}$  est trompeuse. Toutefois, cette amélioration de la tenue en tension par une protection mesa induit par le bord de la puce n'est pas réaliste. Cette zone est potentiellement défectueuse du fait du procédé de sciage mécanique mis en jeu pour la découpe des puces. La présence de champ électrique dans cette zone va inévitablement générer un courant de fuite excessif, on ne peut alors plus parler de tenue en tension.

Une des solutions pour limiter cette extension de la zone de désertion jusqu'au bord de la puce est d'empêcher la formation du canal au niveau du chemin de découpe en augmentant le dopage sous l'oxyde. Cette fonction dite de « channel-stopper » peut être obtenue par une implantation d'impuretés donneuses en bord de puce (figure 2.23).

La figure 2.24 illustre l'effet du « channel-stopper » sur la répartition du potentiel et du champ électrique dans une simple JTE en tenant compte d'une forte densité de charges négatives ( $9 \times 10^{12} \text{ cm}^{-2}$ ) à l'interface oxyde-SiC. En l'absence de « channel-stopper », un accroissement du champ électrique apparaît à l'extrémité de la JTE du fait des charges négatives qui tendent à augmenter la dose effective de la JTE. Entre cette dernière et

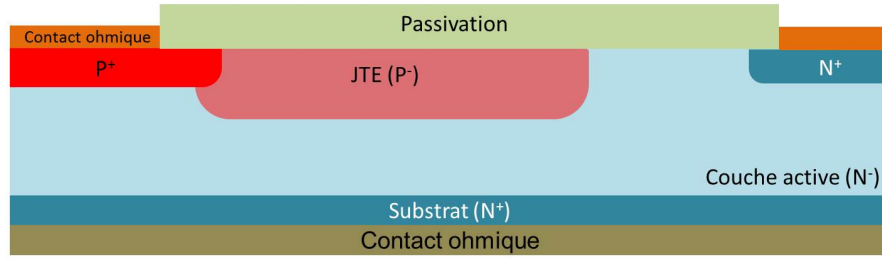


FIGURE 2.23 – Vue en coupe d'une périphérie protégée par une simple JTE et intégrant un « channel-stopper »  $N^+$  en bord de puce.

le bord de la puce, le canal d'inversion induit par les charge négatives joue le rôle d'une seconde JTE qui distribue le potentiel jusqu'au bord de la puce (figure 2.24-a). La présence de « channel-stopper » uniformise le potentiel en bord de puce (figure 2.24-b), obligeant les équipotentielles à sortir du SiC avant d'atteindre le chemin de découpe. Sur la figure 2.24-b, on note que l'étalement du potentiel sur une faible distance entraîne un accroissement important du champ électrique et donc le claquage prématuré du matériau.

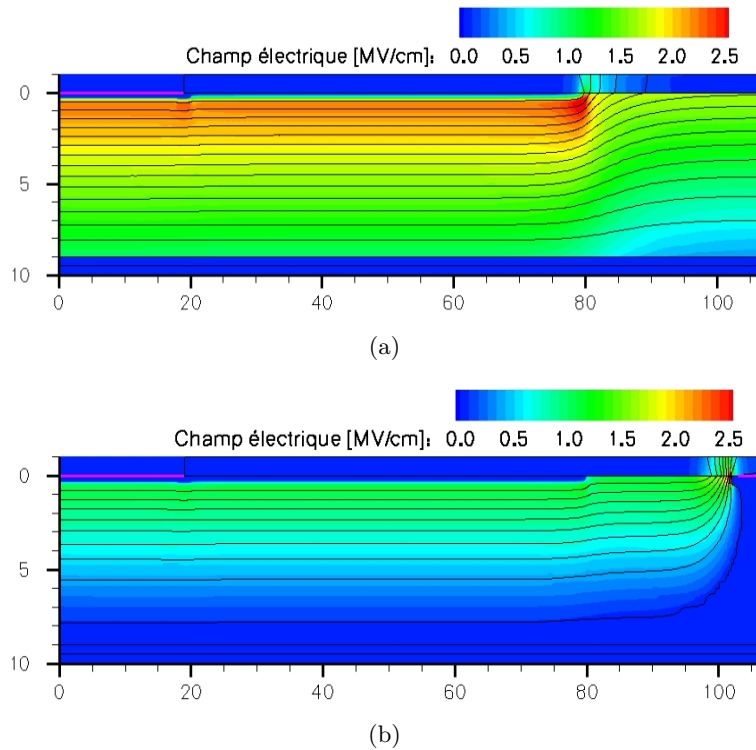


FIGURE 2.24 – Distribution du potentiel et du champ électrique à la périphérie de la structure sans (a) et avec (b) « channel-stopper »

Toutefois, dans le cas où la densité de charges négatives n'est pas suffisante pour créer un canal d'inversion, l'extension latérale de la ZCE peut être suffisante pour atteindre

le bord de la puce si la distance entre la terminaison et le bord de la puce est trop faible. On peut donc avoir du champ électrique sur le chemin de découpe sans avoir de canal d'inversion. En l'absence de « channel-stopper », cette distance pourra être ajustée en fonction du dopage de la couche de dérive qui va conditionner l'extension latérale de la ZCE. En résumé, la présence de charges à l'interface oxyde-SiC modifie fortement le comportement d'une terminaison JTE en termes de répartition du champ électrique et de potentiel. La figure 2.25 montre l'efficacité d'une protection périphérique par une simple JTE en fonction de la densité de charges (et de leur polarité suivant le signe) à l'interface oxyde-SiC selon la présence ou non d'un « channel-stopper ».

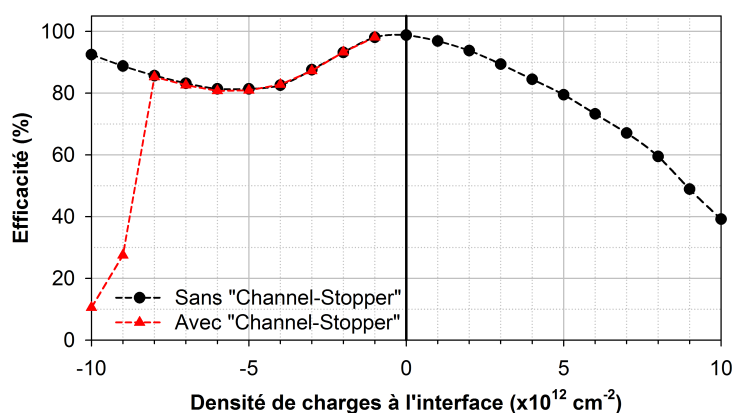


FIGURE 2.25 – Efficacité d'une simple JTE ( $Q_{JTE} = 1,35 \times 10^{13} \text{ cm}^{-2}$ ) en fonction de la densité de charges à l'interface oxyde-SiC suivant la présence d'un « channel-stopper ».

En présence de « channel-stopper », l'efficacité de la terminaison chute fortement à partir d'une densité de  $-9 \times 10^{12} \text{ cm}^{-2}$ . La distance sur laquelle s'étend la ZCE au niveau du « channel-stopper » est très faible et l'accroissement rapide du champ électrique induit le claquage à faible tension.

En d'autres termes, l'effet de charges à l'interface est similaire à une variation de la dose effective de la JTE. Ce phénomène est illustré sur la figure 2.26.

La polarité des charges va induire :

- une augmentation de la dose optimale si elle est positive (figure 2.26-a).
- une réduction de la dose optimale si elle est négative (figure 2.26-b).

La variation de la dose effective est d'autant plus importante que l'est la densité de charges. La détermination préalable de la densité de charges, et de leur polarité, à l'interface entre le matériau diélectrique et le SiC est la méthode la plus rigoureuse pour le choix de la dose de la JTE lors de la conception du composant.

Enfin, bien que le recours à une protection périphérique par une simple JTE permette d'atteindre une efficacité proche de 100%, activer une dose proche de la valeur seuil est

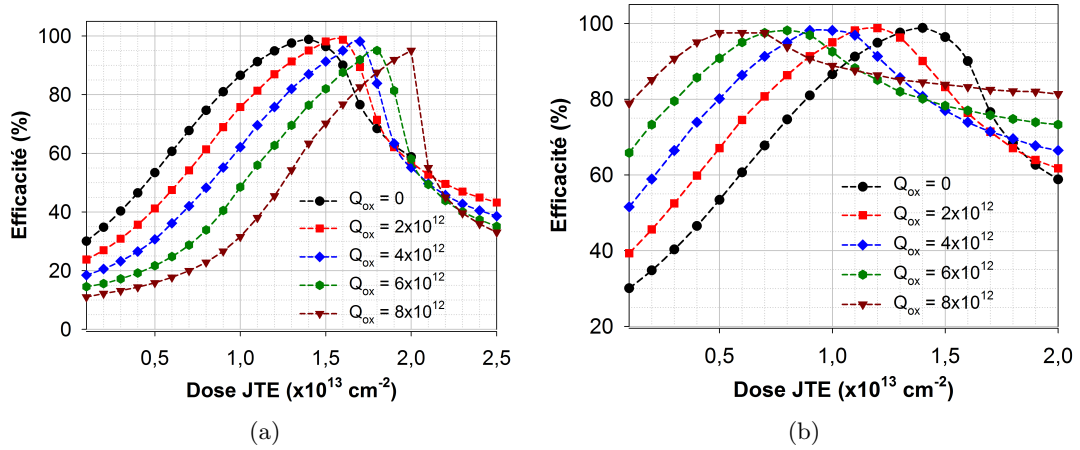


FIGURE 2.26 – Efficacité d’une simple JTE en fonction de la dose de dopants suivant la densité de charges fixes à l’interface (en  $\text{cm}^{-2}$ ) avec une polarité positive (a) ou négative (b).

nécessaire. Or, dans ces conditions, le champ électrique est important à l’extrémité de la JTE au niveau de la courbure (figure 2.27). Dans cet exemple, le champ électrique maximum atteint à la surface est de  $2,45 \text{ MV.cm}^{-1}$ .

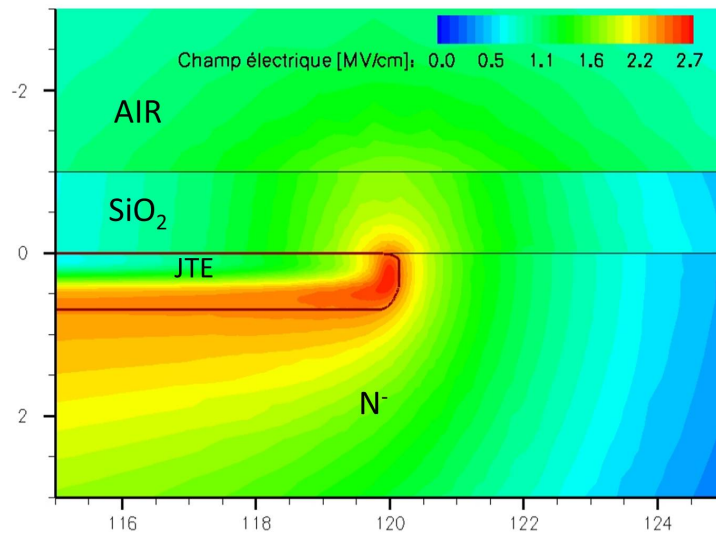


FIGURE 2.27 – Champ électrique à la tension de claquage au niveau de l’extrémité d’une JTE dopée à la dose seuil.

Ce fort champ électrique en surface peut engendrer des problèmes, en matière de fiabilité, tel qu’un claquage du matériau diélectrique utilisé pour la passivation voire l’injection de porteurs chauds dans le matériau diélectrique, conduisant à une modification de la charge et des évolutions de champ électriques ainsi que de la tenue en tension. Les

solutions souvent envisagées pour réduire ce champ sont :

- la réduction de la dose implantée. Malheureusement cela a un impact sur la tenue en tension, qui plus est, si l’activation des dopants n’est pas complète [167, 179].
- le recours à une multiple JTE « connectée » (figure 2.12-b) consistant à réaliser plusieurs poches P<sup>-</sup> avec des doses implantées décroissantes vers l’extrémité de la terminaison afin de bénéficier d’une variation latérale de la charge. Toutefois, l’inconvénient majeur de cette technique est son nombre élevée d’étapes de masquage et d’implantation [167].

L’ajout d’anneaux JTE flottants en périphérie a été proposé par Kinoshita *et al.* dans l’optique de diminuer la sensibilité de la tenue en tension vis-à-vis de la dose, au-delà de la dose seuil [172]. Bolotnikov *et al.* ont implanté du bore pour former une JTE à travers un masque comportant une variation des ouvertures de largeur différente (figure 2.28) afin de réaliser un VLD par diffusion du bore [176].

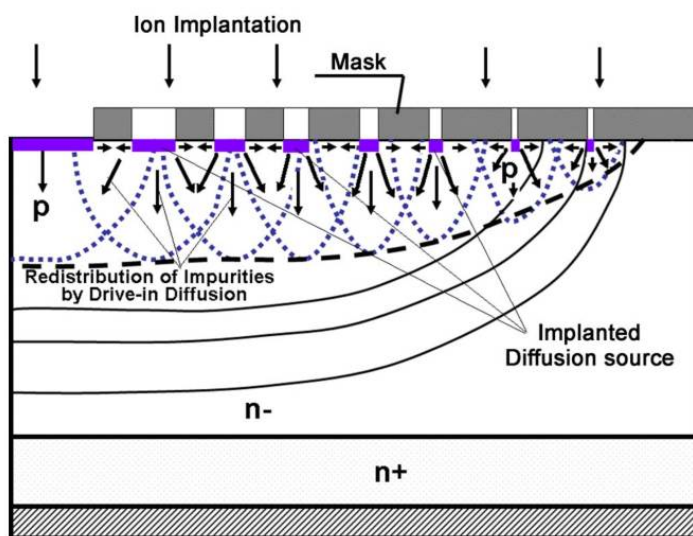


FIGURE 2.28 – Méthode d’obtention d’un VLD par variation des ouvertures de masque lors de l’implantation et diffusion du bore lors du recuit post-implantation selon [176].

Dans ces travaux, la forte dose de bore implanté ( $> 9 \times$  la dose seuil déterminée par nos simulations) semble être à l’origine de la forte disparité de la tenue en tension vis-à-vis des conditions de recuit post-implantation. Sans augmenter le nombre d’étapes de fabrication (les anneaux étant formés en même temps que la JTE principale), cette technique nous a paru intéressante à la fois pour diminuer la sensibilité de la terminaison pour des doses légèrement supérieures à la dose seuil et réduire le champ électrique en surface. En effet, le champ électrique n’est plus concentré à l’extrémité de la JTE lorsque celle-ci est trop dopée mais il est distribué le long de la terminaison. L’étude d’une structure à anneaux JTE flottants a donc été retenue en vue de diminuer le champ électrique en surface. Cette étude fait l’objet de la partie suivante. L’optimisation de la terminaison par JTE présentée

ci-après va se focaliser sur un dimensionnement de couche de dérive donnée, à savoir une épaisseur  $9 \mu\text{m}$  et un dopage de  $8 \times 10^{15} \text{ cm}^{-3}$ .

### 2.2.3.3 Anneaux JTE flottants

En technologie Si, une variation latérale du dopage dans la JTE permet de distribuer le champ électrique sur une plus grande surface et, donc, de réduire son intensité. Toutefois, le contrôle de la diffusion du bore dans le SiC, lors du recuit post-implantation, est encore difficilement maîtrisé. De plus, certains travaux ont montré qu'une décroissance linéaire de la dose implantée en fin de JTE, par une discrétisation fine du masque d'implantation en termes d'ouverture et d'espacement, permettait une réduction du champ électrique à la surface [168, 169].

La terminaison simulée est une poche  $P^-$  accompagnée de  $N$  anneaux du même dopage (figure 2.29); le premier anneau de largeur  $W_1$  est séparé de la JTE principale d'une distance  $S_1$ . L'espacement  $S_N$  entre les anneaux  $N - 1$  et  $N$  ainsi que la largeur  $W_N$  de l'anneau  $N$  sont tels que :

$$\begin{aligned} S_N &= S_1 + (N - 1) \cdot \delta \\ W_N &= W_1 - (N - 1) \cdot \delta \end{aligned} \quad (2.8)$$

avec  $\delta$  la valeur d'incrément.

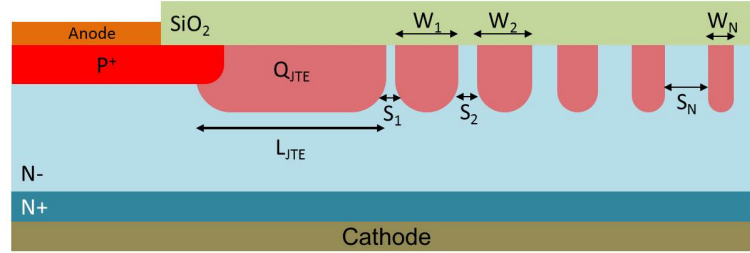


FIGURE 2.29 – Vue en coupe de la périphérie protégée par une simple JTE accompagnée d'anneaux JTE.

Cette terminaison a été étudiée pour une couche de dérive de  $9 \mu\text{m}$  d'épaisseur et dopée à  $8 \times 10^{15} \text{ cm}^{-3}$ . La dose implantée dans la JTE et les anneaux est la même, fixée à  $1,4 \times 10^{13} \text{ cm}^{-2}$ , dose à partir de laquelle le champ électrique maximum est à l'extrémité de la poche  $P^-$  dans le cas d'une simple JTE (figure 2.27). Dans un premier temps, la largeur du premier anneau et le nombre d'anneaux ont été fixés respectivement à  $20 \mu\text{m}$  et 40. Ce nombre d'anneaux a été choisi suffisamment important pour que la ZCE n'atteigne jamais le dernier anneau.

Plus la variation d'espacement  $\delta$  entre les anneaux successifs est faible, plus la distance sur laquelle se distribue le champ électrique est importante et plus le champ électrique

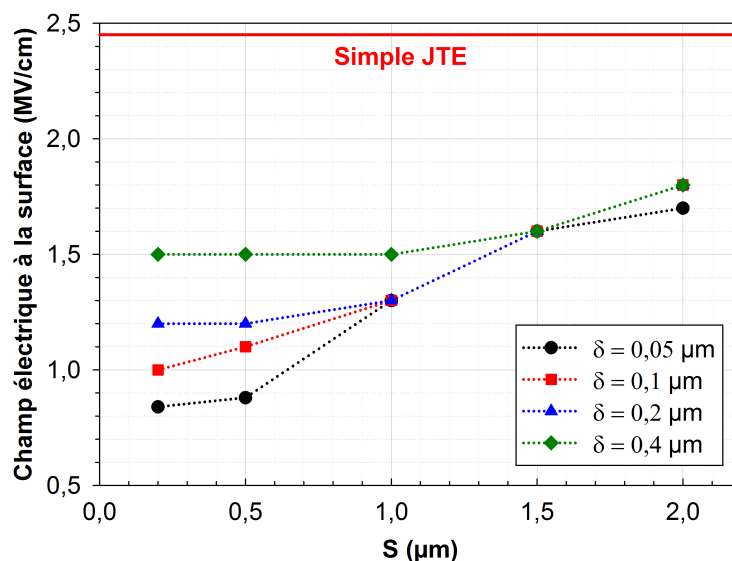


FIGURE 2.30 – Influence des paramètres  $S_1$  et  $\delta$  sur le champ électrique maximum à la surface, exprimé en MV/cm.

maximum à la surface est réduit. Toutefois, pour un espacement initial  $S_1$  supérieur à 1  $\mu\text{m}$ , la gradient d'espacement  $\delta$  n'a aucun effet sur la réduction du champ électrique, le maximum de champ électrique est localisé à l'extrémité de la JTE principale (figure 2.30).

Compte tenu des limitations photolithographiques, un espacement initial de 1  $\mu\text{m}$  et un  $\delta$  de 0,1  $\mu\text{m}$  ont été sélectionnés. Il est ainsi possible d'atteindre au maximum une réduction de 50 % du champ électrique à la surface par rapport à une protection avec une simple JTE.

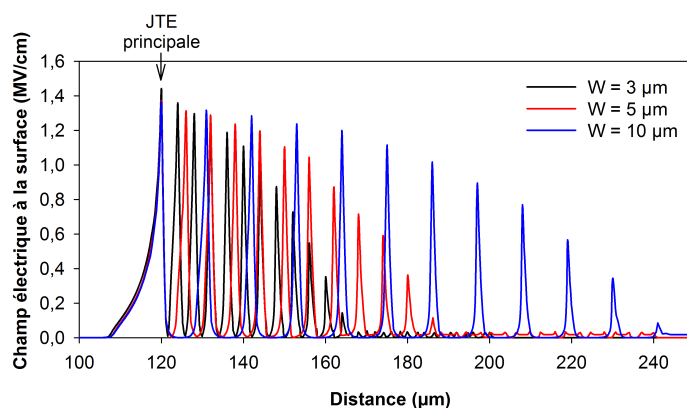


FIGURE 2.31 – Effet de la largeur  $W_1$  de 20 anneaux JTE flottants sur la distribution du champ électrique à la surface le long de la terminaison.  $S_1 = 1 \mu\text{m}$

Enfin, une étude sur l'influence de la largeur de l'anneau initial et le nombre d'anneaux a été réalisée en vue de limiter l'espace occupé par cette périphérie (figure 2.31). La



diminution de la taille de l'anneau initial entraine une légère augmentation du champ électrique maximum à la surface due à un effet de pointe de plus en plus prononcé. Cependant, quelle que soit la largeur de l'anneau initial pour la dose étudiée, on peut constater que 11 anneaux sont nécessaires pour distribuer le champ électrique sur la plus grande distance possible.

La figure 2.32 montre l'efficacité d'une simple JTE de 60  $\mu\text{m}$  de longueur accompagnée d'anneaux flottants JTE (10 anneaux avec  $W = 3 \mu\text{m}$ ,  $S = 1 \mu\text{m}$  et  $\delta = 0,1 \mu\text{m}$ ) en comparaison avec une simple JTE d'une longueur de 100  $\mu\text{m}$ . Pour des doses inférieures à  $1,4 \times 10^{13} \text{cm}^{-2}$  (dose seuil), la présence d'anneaux n'améliore pas la tenue en tension de la terminaison. Au-delà de la dose seuil, les anneaux JTE assurent la distribution du potentiel, retardant, ainsi, le claquage.

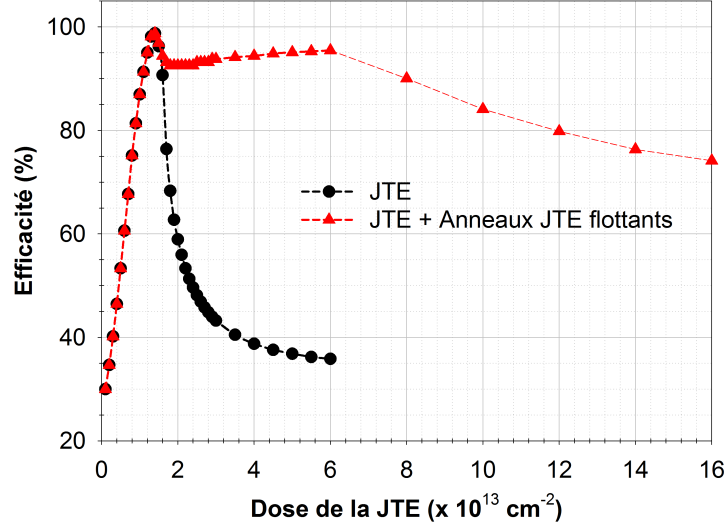


FIGURE 2.32 – Efficacité de la JTE avec et sans anneaux JTE flottants suivant la dose de la JTE.

Dans le cas d'une forte dose de JTE ( $3 \times 10^{13} \text{cm}^{-2}$ ), une comparaison de la répartition du potentiel et du champ électrique à la surface est présentée sur la figure 2.33 suivant la présence d'anneaux JTE.

Pour une protection avec une simple JTE, nous avons vu que si le dopage de la poche P était trop important, sa désertion n'était pas possible. Au niveau de la courbure de la jonction de la JTE, la distance, sur laquelle la différence de potentiel est appliquée, est faible. Ainsi, l'accroissement du champ électrique à son extrémité entraine le claquage prématuré de la structure. Les anneaux JTE flottants permettent d'augmenter la distance sur laquelle la tension est appliquée. Le champ électrique dans la courbure de la JTE principale est, ainsi, fortement réduit. Lorsque la dose de la JTE est supérieure à la dose seuil, le comportement d'une périphérie à anneaux JTE flottants est équivalent à

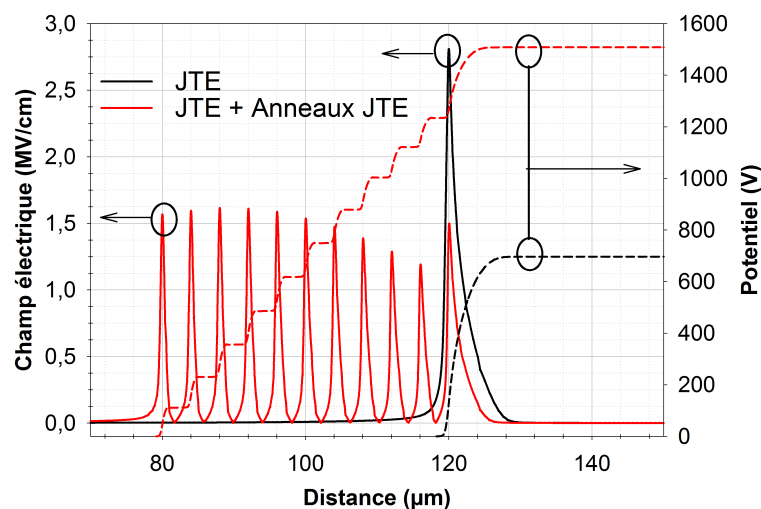


FIGURE 2.33 – Distribution du champ électrique et du potentiel à la surface le long de la terminaison, suivant la présence ou non d’anneaux JTE flottants, pour une dose dans la JTE de  $3 \times 10^{13} \text{ cm}^{-2}$ .

celui d’une périphérie à anneaux de garde flottants fortement dopés. Une perspective intéressante serait donc d’optimiser la structure à anneaux JTE flottants en ajustant chaque distance inter-anneaux pour équilibrer le champ électrique sur chacun des anneaux. Enfin, dans le cas où la JTE est réalisée par implantation de bore, il serait intéressant de prendre en compte la diffusion latérale du bore pour évaluer si un recouvrement des zones « P- » est possible. Ainsi, la variation latérale de dopage induite par la diffusion du bore pourrait favoriser la réduction du champ électrique à l’extrémité de la JTE.

**Effet des charges à l’interface oxyde-SiC** Dans le cas d’une protection par une simple JTE, il a été montré que la présence de charges négatives à l’interface  $\text{SiO}_2/\text{SiC}$  se traduisait par une augmentation de la dose effective dans la JTE. Il est donc intéressant d’évaluer si la présence d’anneaux JTE flottants limitent l’effet des charges à l’interface  $\text{SiO}_2/\text{SiC}$  sur l’efficacité de la JTE.

La figure 2.34 compare l’efficacité de la terminaison JTE ( $Q_{JTE} = 1,35 \times 10^{13} \text{ cm}^{-2}$ ) en fonction de la densité de charges à l’interface  $\text{SiO}_2/\text{SiC}$ . Nous avons vu précédemment que les anneaux JTE favorisaient la distribution du potentiel et réduisaient l’accroissement du champ électrique à l’extrémité de la JTE principale uniquement lorsque la dose était supérieure à la dose seuil, dose à partir de laquelle la désertion de la poche JTE ne pouvait s’opérer. La figure 2.34 confirme bien que la présence de charges négatives se traduit par une augmentation de la dose effective puisque la terminaison avec anneaux JTE assure une efficacité élevée comparée à une simple JTE. La présence d’anneaux JTE va réduire l’accroissement du champ électrique à l’extrémité de la JTE, le champ électrique sera alors

distribué sur chaque anneau JTE, comme le montre la figure 2.35.

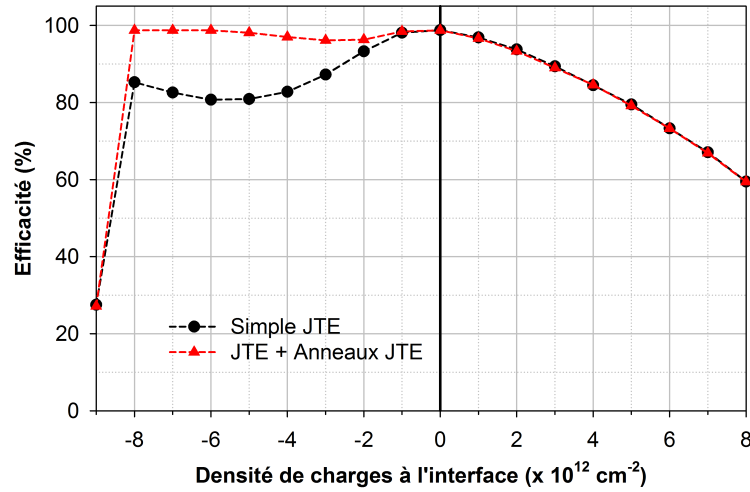


FIGURE 2.34 – Efficacité de la terminaison JTE en fonction de la densité de charges à l'interface  $\text{SiO}_2/\text{SiC}$  selon la présence ou non d'anneaux JTE flottants.

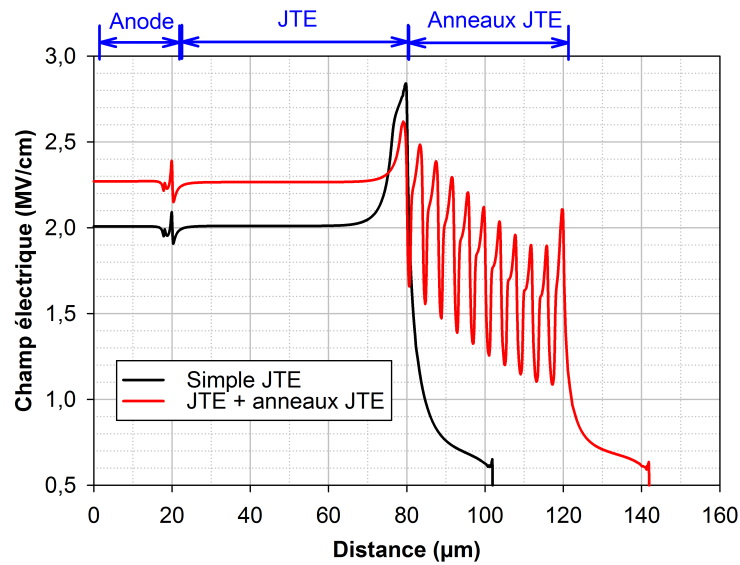


FIGURE 2.35 – Distribution du champ électrique à 500 nm sous la surface le long de la terminaison selon la présence ou non d'anneaux JTE flottants pour  $Q_{JTE} = 1,35 \times 10^{13} \text{ cm}^{-2}$  et  $Q_{SS} = -4 \times 10^{12} \text{ cm}^{-2}$ .

Toutefois, en présence de charges positives, les anneaux JTE ne présentent aucun bénéfice en termes d'efficacité par rapport à une simple JTE. Il sera donc nécessaire d'améliorer cette terminaison pour réduire sa sensibilité vis-à-vis des charges positives à l'interface  $\text{SiO}_2/\text{SiC}$ .

### 2.2.3.4 Anneaux de garde flottants fortement dopés

La technique de protection périphérique par anneaux de garde fortement dopés est couramment utilisée en technologie silicium. Contrairement à une périphérie à base de JTE, elle présente l'avantage de pouvoir être réalisée en même temps que la jonction principale. Il n'y a donc pas d'étape de masquage ni d'implantation supplémentaire. Toutefois, elle présente l'inconvénient de consommer une surface importante de silicium. En effet, les jonctions étant réalisées par diffusion, les courbures de jonction sont relativement importantes. Or, la distance optimale entre les anneaux de garde flottants est conditionnée, en grande partie, par le niveau de courbure. Dans le cas du SiC, les faibles rayons de courbure induisent une distance inter-anneaux relativement faible de l'ordre de quelques micromètres. Cette terminaison est donc potentiellement intéressante en termes de surface consommée. Par contre, la distance entre les anneaux doit être parfaitement optimisée pour bénéficier d'une efficacité maximale. En effet, du fait du caractère flottant des anneaux, le potentiel de l'anneau  $N$  doit être imposé par la zone de charge d'espace de l'anneau  $N - 1$ . Lorsque cette dernière atteint l'anneau  $N$ , son potentiel est alors fixé par celui de l'anneau  $N - 1$ . Les distances optimales sont celles pour lesquelles le claquage intervient simultanément à la jonction principale et sur tous les anneaux. En d'autres termes, le champ électrique doit être équitablement réparti entre la jonction principale et tous les anneaux. La figure 2.36 illustre la distribution du champ électrique sous les anneaux et à la surface le long d'une terminaison optimisée comportant 6 anneaux.

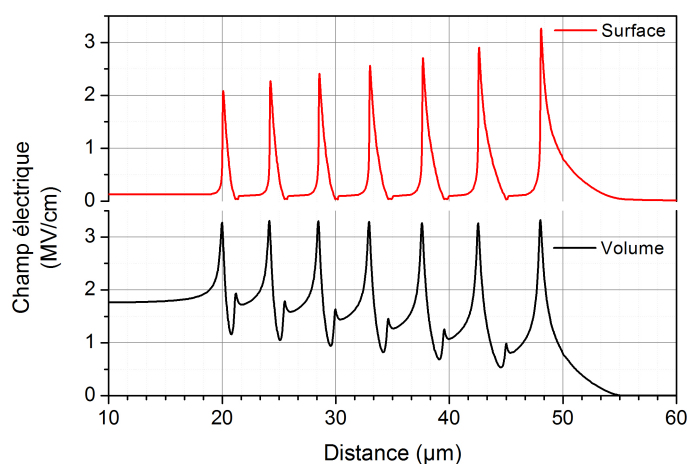


FIGURE 2.36 – Distribution 1D du champ électrique à la surface et dans le volume le long d'une terminaison optimisée à 6 anneaux.

Ce nombre est la limite à partir de laquelle la plus petite distance inter-anneau est supérieure à  $1\ \mu\text{m}$ , dimension critique de notre équipement de photolithographie. La démarche utilisée pour l'optimisation des distances inter-anneaux est présentée en détail

en annexe B. Cette terminaison est composée d’anneaux de 3  $\mu\text{m}$  de largeur et optimisée pour une couche de dérive de 9  $\mu\text{m}$  d’épaisseur et dopée à  $8 \times 10^{15} \text{ cm}^{-3}$ . De l’anode au dernier anneau, les distances inter-anneaux sont de 1,2 - 1,3 - 1,5 - 1,7 - 1,9 - 2,5  $\mu\text{m}$ .

Dans le volume (0,4  $\mu\text{m}$  sous la surface), le champ électrique est également réparti entre la jonction principale et les anneaux. Toutefois, à la surface, il augmente au fur et à mesure que l’on s’éloigne de la jonction principale. Du fait de la faible distance inter-anneaux, la sensibilité de la terminaison vis-à-vis des erreurs de dimensionnement engendrées lors des étapes de fabrication (photolithographie, gravure du masque, ...) est importante. Le tableau 2.4 présente l’efficacité de la terminaison en fonction des erreurs de dimensionnement exprimées en terme de sur-gravure (augmentation et diminution respectivement de la largeur des anneaux et de leur espacement) ou de sous-gravure (diminution et augmentation respectivement de la largeur des anneaux et de leur espacement).

|                       | <b>Optimal</b> | <b>Sous-gravure (<math>\mu\text{m}</math>)</b> |     |     | <b>Sur-gravure (<math>\mu\text{m}</math>)</b> |     |     |
|-----------------------|----------------|------------------------------------------------|-----|-----|-----------------------------------------------|-----|-----|
|                       |                | 0,1                                            | 0,2 | 0,5 | 0,1                                           | 0,2 | 0,5 |
| <b>Efficacité (%)</b> | 82             | 80                                             | 70  | 48  | 67                                            | 55  | 35  |

Tableau 2.4 – Effet des erreurs de dimensionnement de la terminaison à anneaux de garde flottants sur l’efficacité.

Bien que cette terminaison puisse être efficace dans des conditions optimales, la tolérance vis-à-vis des erreurs de dimensionnement est trop restrictive. De plus, l’intensité du champ électrique à la surface est importante, pouvant causer les problèmes de fiabilité énoncés précédemment. Cette périphérie n’a donc pas été retenue pour la protection des diodes JBS. Toutefois, son intégration n’implique aucune étape de photolithographie ni d’étape d’implantation supplémentaire dans la chaine de fabrication de la diode JBS et l’équipe du CNM de Barcelone a démontré l’efficacité des anneaux flottants associés à la JTE (figure 2.12-f ). Dans le cas où la JTE est complètement désertée à faible tension [173], la distribution du potentiel est assurée par les anneaux.

### 2.2.3.5 JTE soutenue par anneaux fortement dopés de type P

Ce concept de JTE soutenue par anneaux de garde flottants fortement dopés a été, initialement, proposé par Kinoshita *et al.* [172] et validé expérimentalement par Perez *et al.* [173]. En comparaison avec une simple JTE, l’efficacité de la JTE soutenue par anneaux de garde flottants est moins sensible à la dose implantée dans la JTE. En effet, quand la dose de la JTE n’est pas suffisante, la distribution du potentiel reste assurée par les anneaux de garde flottants. De ce fait, l’ajout des anneaux flottants fortement dopés dans la JTE ne présente aucun avantage si la dose dans la JTE est égale ou supérieure à la dose seuil.

Dans ce cas, le dopage de la JTE est tel que celle-ci et les anneaux flottants se comportent comme une seule et même zone dopée, ne pouvant être désertée.

La structure de cette terminaison est schématisée sur la figure 2.37.

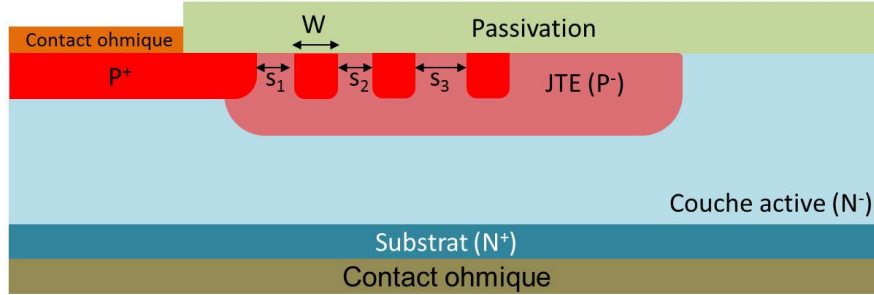


FIGURE 2.37 – Schéma de la terminaison JTE soutenue par anneaux de garde fortement dopés de type P.

Les principaux paramètres d'optimisation de cette structure sont le nombre d'anneaux  $n$ , la distance entre les anneaux ( $s_1, s_2, \dots, s_n$ ) et la largeur  $W$  des anneaux.

La figure 2.38 illustre l'effet d'un seul anneau de garde flottant ( $W = 2 \mu\text{m}$ ) intégré dans une poche  $P^-$  (longueur de  $100 \mu\text{m}$ ) sur la tenue en tension. La distance optimale entre la jonction principale et l'anneau de garde augmente légèrement avec la dose de la JTE.

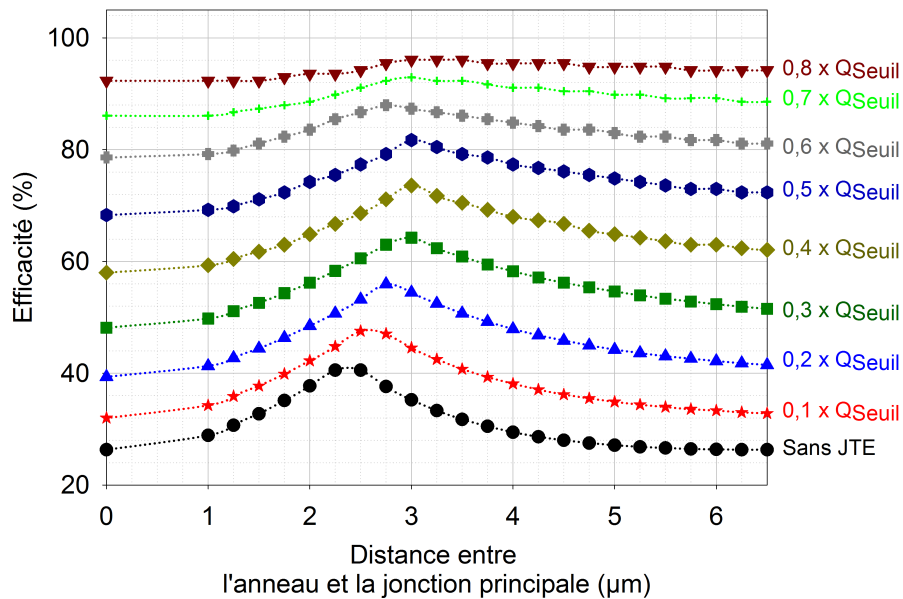


FIGURE 2.38 – Influence de la tenue en tension en fonction de l'espacement entre la jonction principale et un anneau flottant intégré dans une JTE suivant la dose active dans celle-ci.

D'un point de vue technologique, compte tenu des conditions de recuit post-implantation et de la faible dose d'impuretés implantés, nous supposons qu'un taux d'activation minimum de 80% des dopants dans la JTE peut être assuré. L'ajout d'anneaux supplémentaires a été étudié dans une JTE contenant une dose active de  $1.0 \times 10^{13} \text{ cm}^{-2}$ , soit environ 80 % de la dose seuil pour une couche active de  $9 \text{ }\mu\text{m}$  et dopée à  $8 \times 10^{15} \text{ cm}^{-3}$ . La procédure classique d'optimisation des distances inter-anneaux utilisée est présentée ci-après. Dans une structure à 1 seul anneau, la distance entre celui-ci et la jonction principale est ensuite ajustée jusqu'à obtenir la tenue en tension maximale. Une fois la distance optimale  $s_1$  atteinte, un deuxième anneau est ajouté. La distance entre le premier et le deuxième anneau est fixée à  $s_1$ , la distance entre la jonction principale et l'anneau le plus proche est ajustée jusqu'à obtenir une tenue en tension maximale. La procédure est identique à chaque ajout d'anneau. La distance entre le dernier anneau et l'extrémité de la JTE a été fixée à  $60 \text{ }\mu\text{m}$ , soit une longueur grande devant l'épaisseur de la couche active.

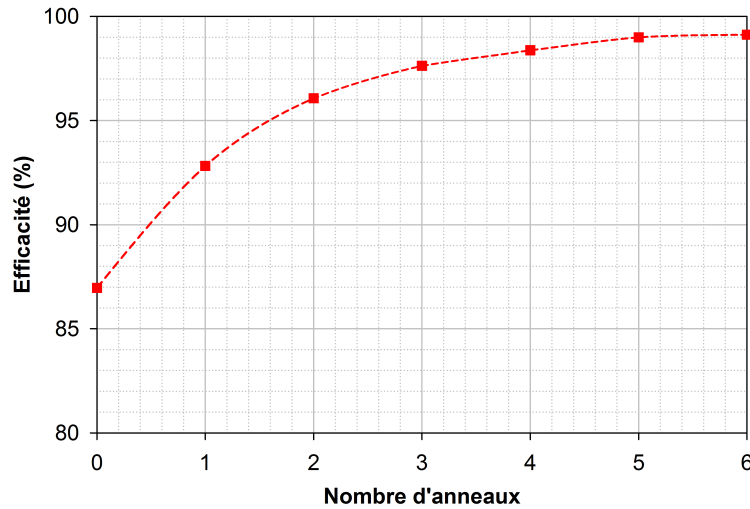


FIGURE 2.39 – Efficacité de la terminaison suivant le nombre d'anneaux intégrés dans une JTE avec une dose active de  $1 \times 10^{13} \text{ cm}^{-2}$  soit 80% de la dose seuil.

L'efficacité de la terminaison augmente avec le nombre d'anneaux et se stabilise au-delà de 5 anneaux (figure 2.39).

La figure 2.40 illustre l'efficacité de la terminaison en fonction de la dose  $Q_{\text{JTE}}$  selon la présence ou non d'anneaux fortement dopés dans la JTE. Pour une dose  $Q_{\text{JTE}}$  donnée et inférieure à la dose seuil, l'efficacité de la terminaison est fortement améliorée grâce à la présence d'anneaux fortement dopés dans la JTE. A partir d'une dose de  $1,3 \times 10^{13} \text{ cm}^{-2}$ , la présence d'anneaux dans la JTE n'a aucun effet sur l'efficacité de la terminaison.

L'ajout d'anneaux de garde fortement dopés dans la JTE limite donc la réduction de la tenue en tension lorsque la dose effective est inférieure à la dose seuil. Sans augmenter le

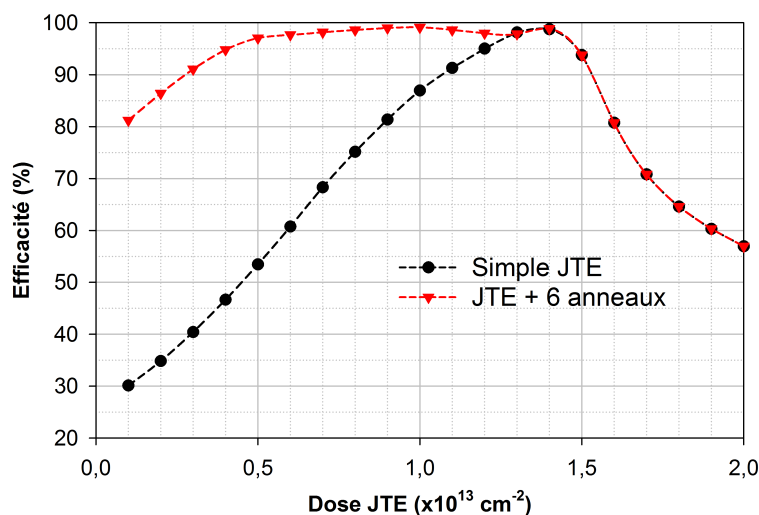


FIGURE 2.40 – Efficacité de la terminaison en fonction de la dose de dopants dans la JTE selon la présence ou non d’anneaux intégrés dans celle-ci.

nombre d’étapes de masquage et d’implantation, cette terminaison est donc intéressante pour limiter l’effet d’une activation incomplète des dopants dans la JTE.

**Comportement des anneaux selon la présence ou non de la JTE.** Contrairement à la terminaison à anneaux de garde flottants étudiée en 2.2.3.4, les anneaux fortement dopées perdent leur caractère flottant une fois intégrés dans la JTE. En effet, tous les anneaux se retrouvent connectés à l’anode via la poche  $P^+$ . De ce fait, le comportement de la terminaison avec l’augmentation de la tension est différent suivant la présence ou non de la JTE.

Dans le cas des anneaux flottants sans JTE, le potentiel de l’anneau N est fixé à celui de l’anneau N-1 lorsque la zone  $N^-$  entre ces deux anneaux est complètement désertée. Pour une structure à anneaux de garde flottant optimisée, l’augmentation de la tension entraîne celle du champ électrique à l’anode. Une fois que la ZCE atteint l’anneau voisin, l’intensité du champ électrique sur l’anneau augmente. Il en est de même jusqu’au dernier anneau. On a alors un transfert progressif du champ électrique d’anneau en anneau. Ce comportement est illustré sur la figure 2.41 pour un seul anneau de garde flottant.

Lorsque les anneaux sont intégrés dans une JTE faiblement dopée, le champ électrique augmente à l’extrémité de la JTE jusqu’à sa désertion complète. Dans le cas d’une simple JTE, le champ électrique augmente ensuite à l’anode jusqu’au claquage. En présence d’anneaux dans celle-ci, le champ électrique augmente simultanément à l’anode et sur chaque anneau. La couche  $P^+$  entre les anneaux est désertée progressivement avec l’augmentation de la tension, cela se traduit par un transfert progressif du champ électrique maximum dans la courbure de jonction de l’anode et des anneaux, comme le montre la



figure 2.42.

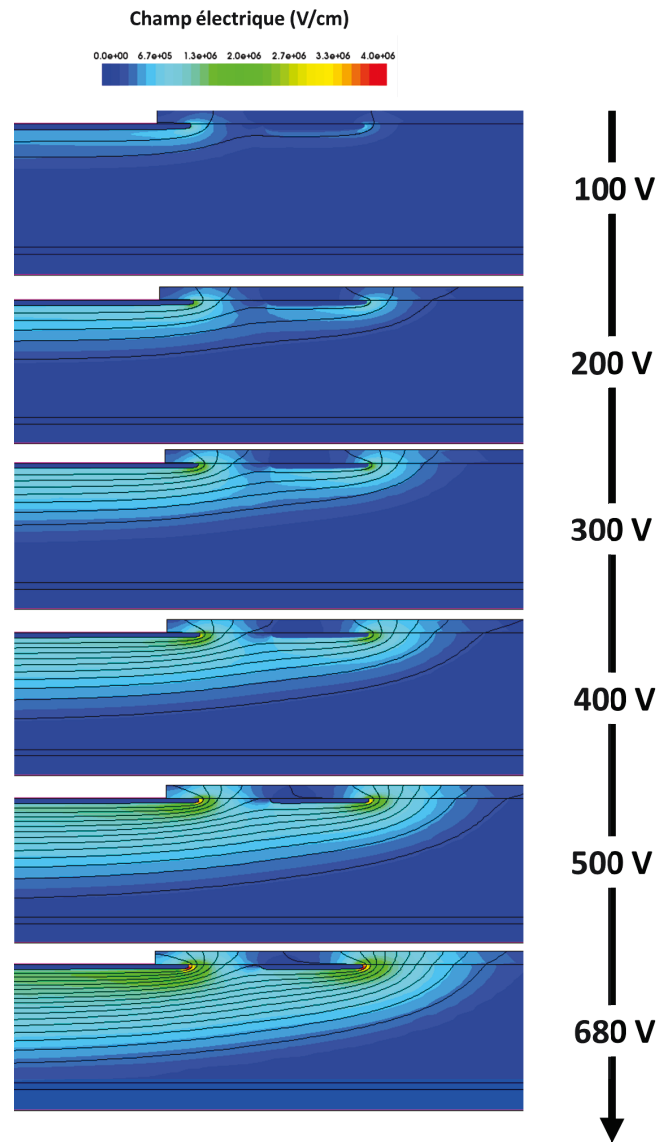


FIGURE 2.41 – Distribution des équipotentiels et du champ électrique dans une terminaison avec un anneau de garde flottant.

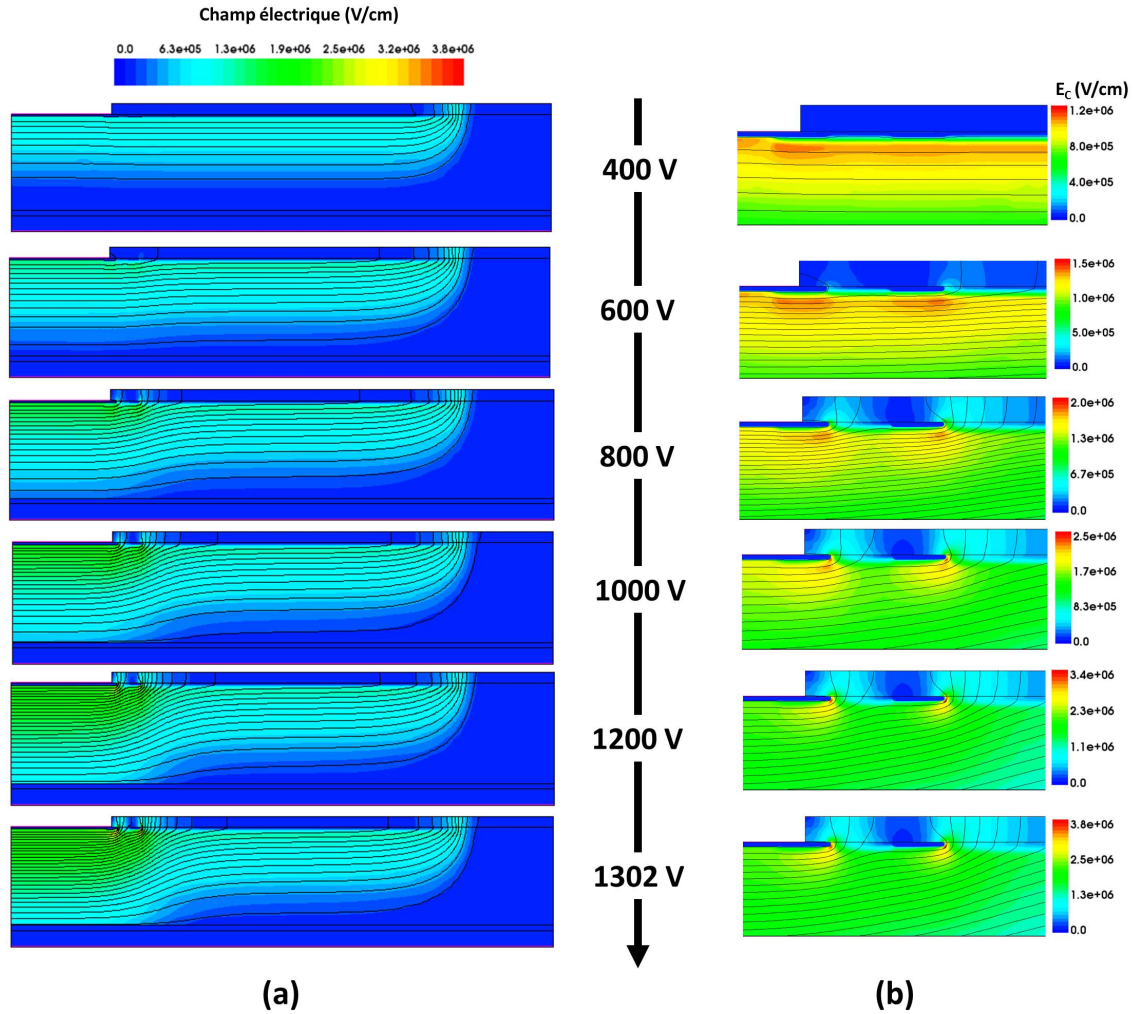


FIGURE 2.42 – Distribution des équipotentiels et du champ électrique dans une terminaison JTE intégrant un seul anneau (a). Grossissement au niveau de l'extrémité de l'anode et de l'anneau de garde dans la JTE (b).

Au claquage, la distribution du champ électrique est identique à l'anode et sur les anneaux selon la présence ou non de la JTE.

La présence de la JTE va induire un comportement différent de la périphérie en présence de charge positives à l'interface  $\text{SiO}_2/\text{SiC}$ . Sachant que la présence de charge positives va entraîner une accumulation d'électrons sous l'oxyde, la situation est alors équivalente à une augmentation du dopage de type N entre les anneaux. Ainsi :

- dans le cas d'anneaux de garde flottants, plus la densité de charges positives à l'interface  $\text{SiO}_2/\text{SiC}$  est importante, plus la densité d'électrons accumulés sous l'oxyde l'est aussi, plus le resserrement des équipotentiels au niveau des anneaux est important. Du fait que la zone de charge d'espace s'étend de l'anode vers l'extrémité de la terminaison, cela peut s'assimiler à une augmentation de l'espace effectif entre les anneaux. En d'autres termes, plus la densité de charges positives à l'interface  $\text{SiO}_2/\text{SiC}$  sera importante, plus la distance inter-anneaux devra être réduite pour assurer une tenue en tension maximale.
- dans le cas de la simple JTE, nous avons vu que la présence de charges positives à l'interface pouvait s'assimiler à une baisse de la concentration dans la JTE. La désertion de la poche JTE est complète à une tension d'autant plus faible que la densité de charges positives est importante. Dans le cas d'anneaux de garde intégrés dans la JTE, après désertion complète de la poche P., le resserrement des équipotentiels se produit à l'extrémité du dernier anneau. Ce dernier peut être suffisant pour conduire au claquage prématuré de la terminaison avant même que la zone entre les anneaux puisse être désertée.

La partie suivante a pour but d'évaluer la sensibilité de la terminaison à anneaux de garde dans la JTE à la densité de charges à l'interface  $\text{SiC}/\text{SiO}_2$ .

**Effet des charges à l'interface oxyde-SiC** Nous avons vu précédemment que la présence de charges positives à l'interface  $\text{SiO}_2/\text{SiC}$  s'assimile à une situation où la concentration de la JTE est trop faible. Ainsi, nous nous attendons à ce que la présence d'anneaux de garde fortement dopés dans la JTE améliore l'efficacité de la terminaison en présence de charges positives à l'interface au même titre qu'une augmentation de la dose effective dans la JTE.

On constate cependant, que quelle que soit la densité de charges, la présence d'anneaux de garde flottants dans la JTE n'apporte aucun bénéfice significatif par rapport à une simple JTE en termes d'efficacité, comme le montre la figure 2.43. Le champ électrique est concentré sur le dernier anneau et l'ensemble des anneaux se comporte alors comme une extension de la jonction principale.

Pour une JTE dopée avec une dose seuil, l'étude de la distance optimale entre l'anode et le premier anneau montre que cette distance augmente légèrement avec la densité de

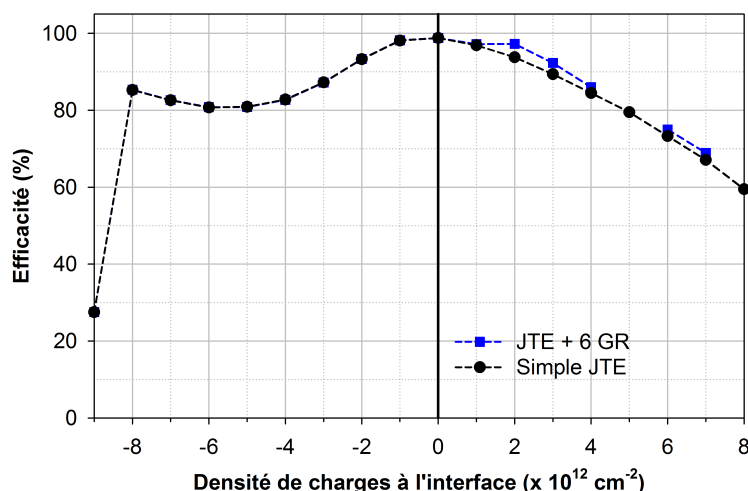


FIGURE 2.43 – Efficacité de la terminaison JTE en fonction de la densité de charges à l'interface  $\text{SiO}_2/\text{SiC}$  suivant la présence ou non d'anneaux de garde fortement dopés dans la JTE.  $Q_{JTE} = 1,35 \times 10^{13} \text{ cm}^{-2}$

charges positives à l'interface  $\text{SiO}_2/\text{SiC}$ , respectivement de 3,5 à 4,5  $\mu\text{m}$  pour une densité de 1 à  $3 \times 10^{12} \text{ cm}^{-2}$ . A partir d'une densité de  $4 \times 10^{12} \text{ cm}^{-2}$ , la distance optimale est de 9,5  $\mu\text{m}$ . Au-delà de cette densité, la présence d'un anneau dans la JTE n'a aucun effet et ce quelle que soit la distance entre l'anode et l'anneau. L'effet de la distance entre les anneaux pour compenser l'effet des charges positives à l'interface mérite d'être étudié.

Nous avons donc choisi de re-optimiser la terminaison en tenant compte d'une densité de charges positives de  $3 \times 10^{12} \text{ cm}^{-2}$  et une dose dans la JTE de  $1,35 \times 10^{13} \text{ cm}^{-2}$  soit la dose seuil. L'efficacité maximale est obtenue pour 6 anneaux avec des distances inter-anneaux respectivement de 1,5 - 2,0 - 2,5 - 3,5 - 4  $\mu\text{m}$ .

Comme le montre la figure 2.44, l'efficacité de la nouvelle terminaison est insensible aux charges positives à l'interface  $\text{SiO}_2/\text{SiC}$  jusqu'à une densité de  $3 \times 10^{12} \text{ cm}^{-2}$ . Au-delà, la sensibilité de la terminaison aux charges est proche de celles sans anneaux. La réduction de la dose dans la JTE tend à limiter la sensibilité de la terminaison aux charges à l'interface entre l'oxyde et SiC.

**Influence de la dose dans la JTE.** En absence de charges, l'efficacité de cette nouvelle terminaison en fonction de la dose dans la JTE est présentée sur la figure 2.45.

La terminaison à anneaux de garde optimisée pour une densité de charges positives de  $3 \times 10^{12} \text{ cm}^{-2}$  à l'interface  $\text{SiO}_2/\text{SiC}$  présente une efficacité relativement équivalente à la structure optimisée en absence de charges pour des doses dans JTE supérieures à  $1,0 \times 10^{13} \text{ cm}^{-2}$ . Son efficacité est moindre à faible dose dans la JTE mais reste supérieure à 90%, limite fixée par le cahier des charges, pour des doses supérieures à  $5 \times 10^{12} \text{ cm}^{-2}$ .

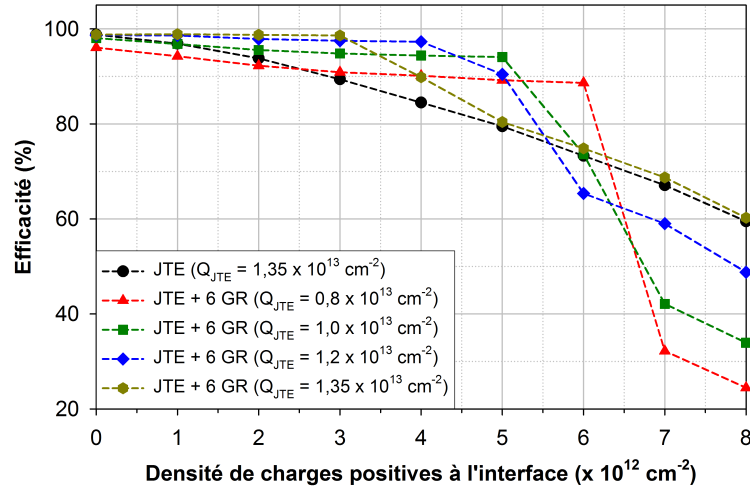


FIGURE 2.44 – Efficacité de la terminaison JTE en fonction de la densité de charges à l'interface  $\text{SiO}_2/\text{SiC}$  suivant la présence ou non d'anneaux de garde fortement dopés dans la JTE.

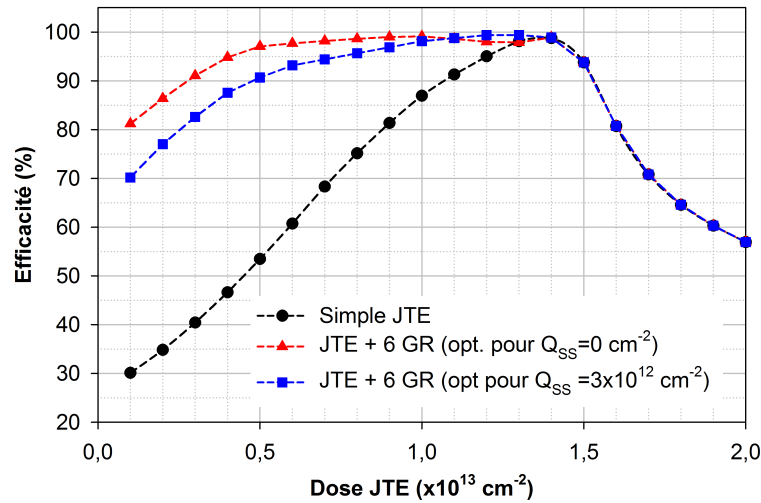


FIGURE 2.45 – Efficacité de la terminaison JTE en fonction de la dose dans la JTE suivant la présence ou non d'anneaux de garde fortement dopés dans la JTE.

Enfin, contrairement à une terminaison par multiple anneaux de garde flottants sans JTE, la présence de celle-ci limite fortement l'effet des erreurs de dimensionnement des anneaux sur l'efficacité de la terminaison, comme le montre le tableau 2.5.

Concernant le champ électrique surfacique en présence d'anneaux, lorsque la JTE est faiblement dopée, le champ électrique à l'extrémité de la JTE est réduit et ce d'autant plus que le dopage de la JTE est faible. Le champ électrique est alors supportée par les anneaux dans la JTE. A la surface, le champ électrique maximum au niveau des anneaux

|                       | Optimal | Sous-gravure ( $\mu\text{m}$ ) |      |      | Sur-gravure ( $\mu\text{m}$ ) |      |      |
|-----------------------|---------|--------------------------------|------|------|-------------------------------|------|------|
|                       |         | 0,1                            | 0,2  | 0,5  | 0,1                           | 0,2  | 0,5  |
| <b>Efficacité (%)</b> | 96,1    | 97,3                           | 97,9 | 97,9 | 94,8                          | 93,6 | 88,6 |

Tableau 2.5 – Effet des erreurs de dimensionnement de la terminaison à 6 anneaux de garde dans la JTE sur l'efficacité de la terminaison ( $Q_{JTE} = 0,8 \times 10^{13} \text{ cm}^{-2}$ ).

augmente avec la diminution de la dose dans la JTE. On observe un champ électrique minimal à la surface pour une dose optimale dans la JTE, autour de  $0,8 \times 10^{13} \text{ cm}^{-2}$ .

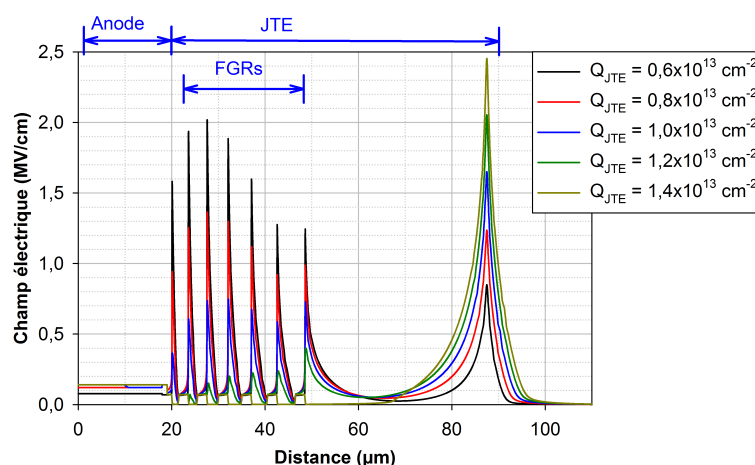


FIGURE 2.46 – Champ électrique surfacique le long d'une terminaison JTE avec 6 anneaux de garde fortement dopés suivant différentes doses dans la JTE.

Pour cette dose, le champ électrique maximum à la surface est inférieur à celui de la terminaison à anneaux JTE flottants tout en ayant une efficacité supérieure à celle fixée par le cahier des charges (95% pour la terminaison à anneaux de garde dans la JTE contre 99% pour celle à anneaux JTE flottants). Compte tenu de la sensibilité de la terminaison avec cette dose dans la JTE aux charges à l'interface  $\text{SiO}_2/\text{SiC}$ , il serait intéressant d'évaluer l'ajout d'anneaux JTE flottants à cette terminaison afin de pouvoir augmenter la dose de la JTE sans augmenter sensiblement le champ électrique surfacique à l'extrémité de la JTE.

### 2.2.3.6 Combinaison des différentes terminaisons

Nous avons vu précédemment que l'ajout d'anneaux JTE et d'anneaux de garde dans la JTE réduisait la sensibilité de la tenue en tension vis-à-vis de la dose effective. Sur la figure 2.47, nous observons que la fusion de ces deux améliorations permet de limiter la sensibilité de la tenue en tension vis-à-vis de la dose et, ainsi, de conserver une efficacité de la terminaison supérieure à 90 % sur une large gamme de dose dans la JTE.

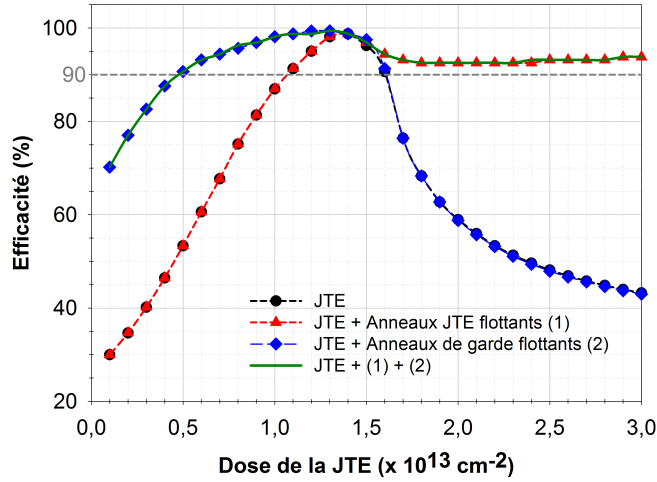


FIGURE 2.47 – Efficacité des différentes terminaisons en fonction de la dose de la JTE.

De plus, comme le montre la figure 2.48, le champ électrique à la surface est fortement réduit grâce à la combinaison des anneaux de garde dans la JTE et des anneaux JTE flottants. A titre de comparaison, le champ électrique maximum à la surface dans le cas d'une simple JTE dopée avec la dose seuil est localisé à l'extrémité de la JTE et est de  $2,45 \text{ MV.cm}^{-1}$ . Pour une même dose dans la JTE, la terminaison combinée permet de réduire le champ électrique à  $1,40 \text{ MV.cm}^{-1}$  soit une réduction de 45%. En réduisant la dose, il est possible de réduire ce champ électrique tout en conservant une efficacité supérieure à 95%. Ainsi, pour une dose de  $1,0 \times 10^{13} \text{ cm}^{-2}$ , le champ électrique maximum à la surface est réduit de 60 % par rapport à celui rencontré dans une simple JTE.

Ainsi, pour bénéficier à la fois d'une sensibilité minimale aux charges à l'interface  $\text{SiO}_2/\text{SiC}$  et d'un champ électrique minimum à la surface, la dose dans la JTE devra être comprise entre  $1,0$  et  $1,2 \times 10^{13} \text{ cm}^{-2}$ . Cette terminaison combinant anneaux de garde dans la JTE et anneaux JTE flottants répond au cahier des charges que nous nous sommes fixé, à savoir :

- faible sensibilité à l'activation des dopants et aux charges à l'interface  $\text{SiO}_2/\text{SiC}$ ,
- faible intensité du champ électrique à la surface,
- une seule étape de masquage, c'est-à-dire pour la formation de la poche JTE et des anneaux JTE flottants (les anneaux de garde étant réalisés en même temps que la jonction principale),
- faisabilité technologique avec notre aligneur de masque,

Enfin, une protection complémentaire par plaque de champ sera étudiée pour améliorer la robustesse et la fiabilité de la terminaison. Cette étude fait l'objet de la partie suivante.

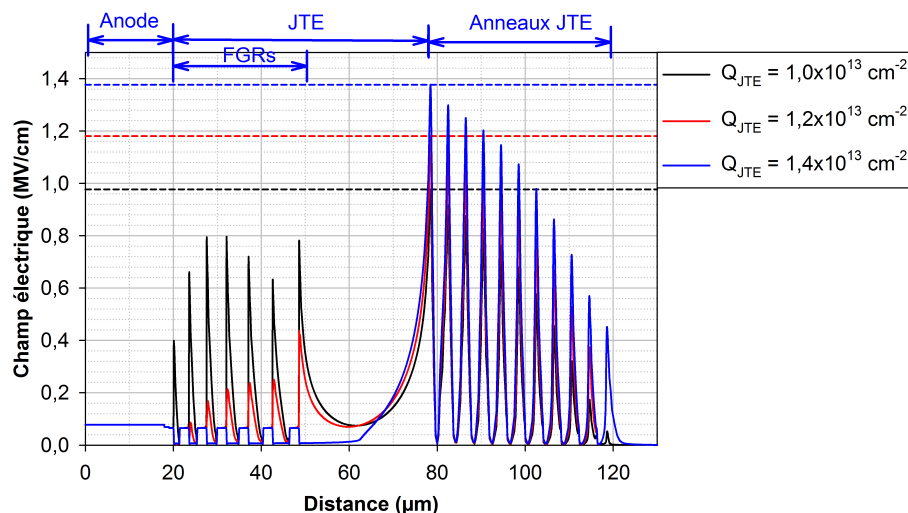


FIGURE 2.48 – Champ électrique à la surface le long de la terminaison pour différentes doses dans la JTE. Les traits en pointillés correspondent au champ électrique maximum en surface détecté dans la terminaison.

### 2.2.3.7 Protection complémentaire par plaque de champ

La protection par plaque de champ (« Field-Plate ») consiste à réaliser un débordement de la métallisation de l'anode sur le matériau diélectrique utilisé pour la passivation afin de former en périphérie une capacité métal/oxyde/semi-conducteur. Sous polarisation inverse, la charge de cette capacité est établie, côté semi-conducteur, par l'apparition d'une zone de charge d'espace désertée. Cette charge d'espace prolonge la zone de transition de la jonction principale, avec allongement des équipotentielles et, corrélativement, réduction de l'intensité du champ à l'anode.

En combinaison avec une protection périphérique de type JTE, la plaque de champ peut être utile pour retarder le claquage au niveau de l'anode lorsque la dose dans la JTE est insuffisante. Dans le cas où la JTE est trop dopée, l'accroissement du champ électrique à l'extrémité de la JTE pourra être réduit, comme nous l'avons vu, par l'ajout d'anneaux JTE flottants. L'effet de la plaque de champ ne présente pas d'intérêt dans ce cas-là.

Une étude a donc été conduite sur l'influence de la plaque de champ en termes d'épaisseur et de constante diélectrique du matériau de passivation sur l'efficacité d'une terminaison JTE faiblement dopée ( $Q_{JTE} = 0,7 \times 10^{13} \text{ cm}^{-2}$ ). Une plaque de champ d'une longueur  $L_{FP}$  de 40  $\mu\text{m}$ , soit l'extrémité de l'électrode de champ positionnée 20  $\mu\text{m}$  avant l'extrémité de la JTE, a été utilisée.

Sans plaque de champ, l'efficacité de la terminaison JTE avec cette dose est de 68%. La présence d'une plaque de champ améliore fortement l'efficacité de la terminaison, comme le montre la figure 2.50. Dans le cas du  $\text{SiO}_2$  ( $\epsilon = 3,9$ ), l'efficacité de la terminaison est obtenue pour une épaisseur optimale de 0,4  $\mu\text{m}$ . Si l'épaisseur est trop faible, le claquage



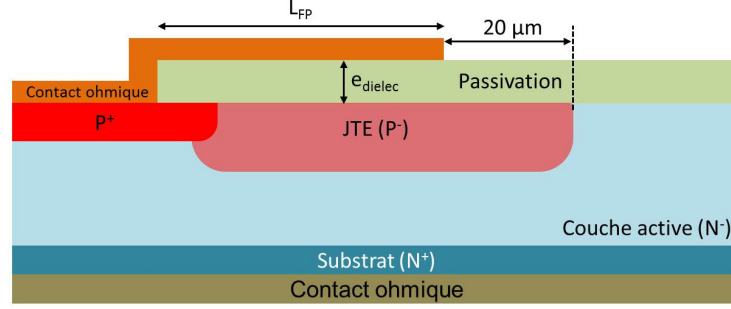


FIGURE 2.49 – Vue en coupe de la périphérie protégée par une simple JTE et une plaque de champ.

a lieu à l'extrémité de l'électrode de champ. Si elle est trop importante, l'étalement des équipotentielles au niveau de la courbure de la jonction principale n'est pas suffisant, ce qui entraîne le claquage à ce niveau. L'augmentation de la constante diélectrique du matériau de passivation ( $\epsilon_{Si_3N_4} = 7,5$ ) favorise l'étalement des équipotentielles et cela se traduit par une efficacité plus importante de la terminaison. Enfin, du fait de la continuité du champ électrique à l'interface entre le SiC et le matériau diélectrique, la composante perpendiculaire du champ électrique dans le matériau diélectrique est telle que :

$$E_{dielec} = \frac{\epsilon_{SiC}}{\epsilon_{dielec}} \cdot E_{SiC} \quad (2.9)$$

Ainsi, l'augmentation de la constante diélectrique du matériau de passivation se traduit par une diminution du champ électrique dans ce dernier. De nombreuses études ont confirmé les bénéfices liés à l'utilisation de matériaux à forte constante diélectrique (« high- $k$  ») (AlN, Al<sub>2</sub>O<sub>3</sub>, HfO<sub>2</sub>,...) pour la passivation du SiC, afin de diminuer le champ électrique dans le matériau diélectrique [180, 181]. Toutefois, la solution pour exploiter au mieux la potentialité des matériaux high- $k$  est d'intercaler une fine couche de SiO<sub>2</sub> entre celui-ci et SiC. Cette couche de SiO<sub>2</sub> assure une densité de charges minimale à l'interface entre le matériau diélectrique et SiC.

On a pu noter au cours de ces simulations que le champ électrique à l'extrémité de l'électrode de champ est généralement supérieur au champ de rupture théorique des matériaux diélectriques mis en jeu. Nous pouvons donc nous attendre à un claquage prématuré de la structure par rupture du matériau diélectrique. Plusieurs travaux ont confirmé la tendance observée de la tenue en tension en fonction de l'épaisseur de matériaux diélectriques [182, 183]. Toutefois, pour des raisons de fiabilité, l'épaisseur de matériau diélectrique est généralement sur-dimensionnée.

Du fait de la forte influence de l'épaisseur du matériau diélectrique sur le comportement de la plaque de champ, l'idéal serait d'utiliser un matériau diélectrique avec une épaisseur croissante du bord de l'anode jusqu'à l'extrémité de l'électrode [184] (figure 2.51-a).

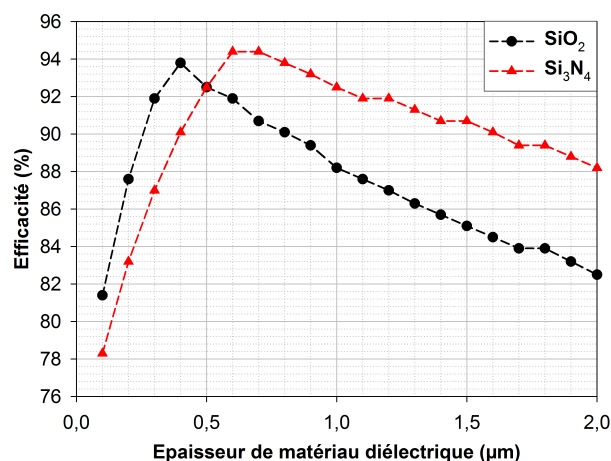


FIGURE 2.50 – Efficacité d'une terminaison JTE ( $Q_{JTE} = 0,7 \times 10^{13} \text{ cm}^{-2}$ ) accompagnée d'une plaque de champ en fonction de l'épaisseur du matériau diélectrique, SiO<sub>2</sub> ou Si<sub>3</sub>N<sub>4</sub>.

Toutefois, la réalisation technologique d'une telle pente est relativement complexe. Enfin, le recours à plusieurs niveaux de plaque de champ peut être une alternative plus simple à réaliser même si cela augmente le nombre d'étapes de photolithographie (égal au nombre de plaque de champ), comme le montre la figure 2.51-b.

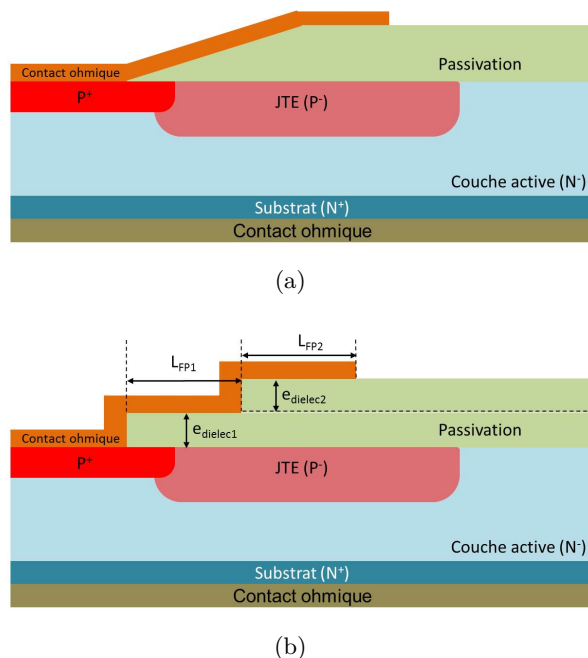


FIGURE 2.51 – Vue en coupe de la périphérie protégée avec un oxyde de champ d'épaisseur graduelle (a) et avec deux épaisseurs distinctes (b).

Compte tenu des contraintes technologiques liées à la fabrication de ces terminaisons par plaque de champ, une simple plaque de champ avec une épaisseur de matériau

diélectrique constante le long de la terminaison a été étudiée. L'efficacité de la JTE en fonction de la dose suivant plusieurs épaisseurs de  $\text{SiO}_2$  est présentée sur la figure 2.52.

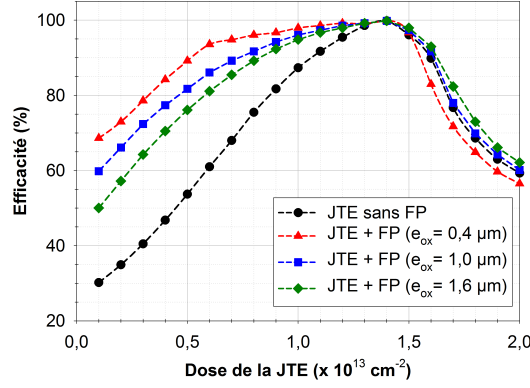


FIGURE 2.52 – Efficacité d'une terminaison JTE en fonction de la dose de la JTE suivant l'épaisseur de  $\text{SiO}_2$  sous la plaque de champ (FP).

La présence de la plaque de champ améliore sensiblement l'efficacité de la terminaison uniquement pour des doses dans la JTE inférieures à la dose seuil. Au-delà, la JTE étant trop dopée, le resserrement des équipotentiels a lieu à l'extrémité externe de la JTE. La plaque de champ n'a donc aucune utilité à ce niveau. Comme nous l'avons vu précédemment, une fine épaisseur de  $\text{SiO}_2$  favorise l'étalement des équipotentiels. Toutefois, dans la gamme de doses JTE comprises entre  $0,9$  et  $1,4 \times 10^{13} \text{ cm}^{-2}$ , des épaisseurs de  $\text{SiO}_2$  plus importantes garantissent aussi une efficacité de la terminaison supérieure à 90% dans le cas d'un taux d'activation des dopants supérieur à 70% de la dose seuil. La plaque de champ apparaît donc comme une technique de protection complémentaire de la JTE pour réduire la sensibilité de la terminaison à la dose de JTE, au même titre que les anneaux de garde flottants.

Dans le cas d'une JTE comportant des anneaux de garde fortement dopés, la plaque de champ peut être utile pour réduire la courbure des équipotentiels au niveau des anneaux et, donc, le champ électrique. Sa présence se traduit par une amélioration de l'efficacité de la terminaison lorsque la JTE est faiblement dopée, comme le montre la figure 2.53.

Toutefois, pour des doses dans la JTE inférieures à  $0,6 \times 10^{13} \text{ cm}^{-2}$ , la longueur de la plaque de champ influe sur l'efficacité de la terminaison. Sans plaque de champ, le champ électrique est maximum au niveau du premier anneau du fait que la distance inter-anneau n'est pas optimale à faible dose dans la JTE, comme le montre la figure 2.54-a. La présence de la plaque va améliorer la distribution des équipotentiels le long des anneaux et réduire le resserrement des équipotentiels dans la courbure des anneaux. Dans le cas où la plaque de champ couvre tous les anneaux ( $L_{\text{FP}} = 40 \text{ } \mu\text{m}$ ), celle-ci joue pleinement son rôle en réduisant le champ électrique à l'anode et sur les anneaux (figure 2.54-c). Toutefois, si l'extrémité de la plaque de champ n'est pas positionné au-delà de tous les anneaux, un

resserrement important des équipotentiels a lieu sur l'anneau au-delà de la plaque de champ entrainant le claquage prématurée de la terminaison (figure 2.54-b).

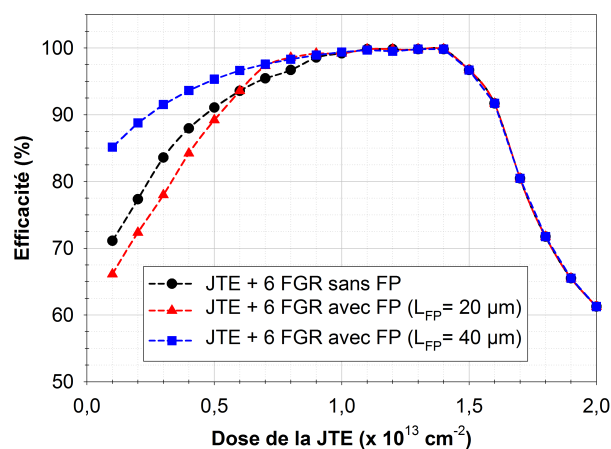
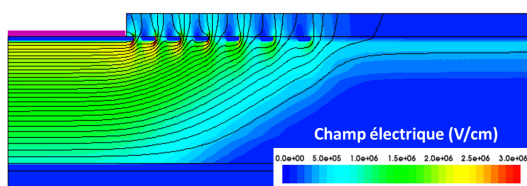
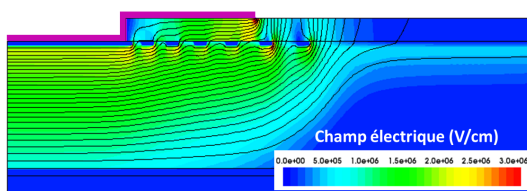


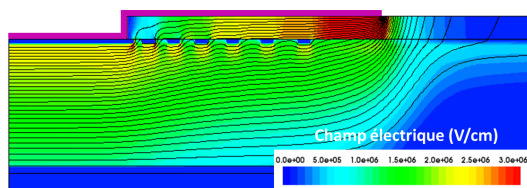
FIGURE 2.53 – Efficacité d'une terminaison JTE avec anneaux de garde en fonction de la dose de la JTE suivant la présence ou non d'une plaque de champ (FP). L'épaisseur d'oxyde a été fixée à  $1,6 \mu\text{m}$ .



(a)



(b)



(c)

FIGURE 2.54 – Distribution des équipotentiels et du champ électrique dans une terminaison JTE intégrant des anneaux de garde sans (a) et avec une plaque de champ d'une longueur de 20 (b) et 40  $\mu\text{m}$  (c). La dose dans la JTE est de  $0,3 \times 10^{13} \text{ cm}^{-2}$

Compte tenu des résultats précédents, une plaque de champ sera systématiquement associée à toutes les terminaisons étudiées dans ce chapitre lors de la réalisation des dispositifs.

#### 2.2.4 Vers une protection périphérique sans implantation ionique

La réalisation d'une protection périphérique en technologie planar sur SiC nécessite une ou plusieurs étapes d'implantation, générant inévitablement des défauts dans le matériau cible. Un recuit post-implantation est nécessaire pour activer les dopants et guérir les défauts générés par l'implantation. Or, une activation partielle des dopants est souvent obtenue et la couche implantée ne retrouve jamais sa qualité cristalline initiale. Il serait donc intéressant de disposer d'une technique de protection périphérique alternative, qui n'a recours à aucune étape d'implantation.

En technologie Si, Théolier *et al.* ont développé une technique de protection périphérique basée sur un caisson diélectrique surmonté d'une plaque de champ (figure 2.55) [185]. Le caisson a été obtenu par gravure ICP et rempli d'un matériau diélectrique à faible constante diélectrique, le BenzoCycloButène (BCB). Expérimentalement, une tension de claquage de 1310 V, soit 97% de la tension idéale, a été obtenue sur une diode PiN protégée avec cette terminaison. Dans cette technique de protection, la plaque de champ assure la distribution des équipotentielles jusqu'au caisson diélectrique qui va supporter toute la tension. Le principal avantage de cette terminaison par rapport à une terminaison mesa est la conservation d'une structure plane, assurant des étapes de photolithographie classique (résine peu épaisse et dépôt par centrifugation).

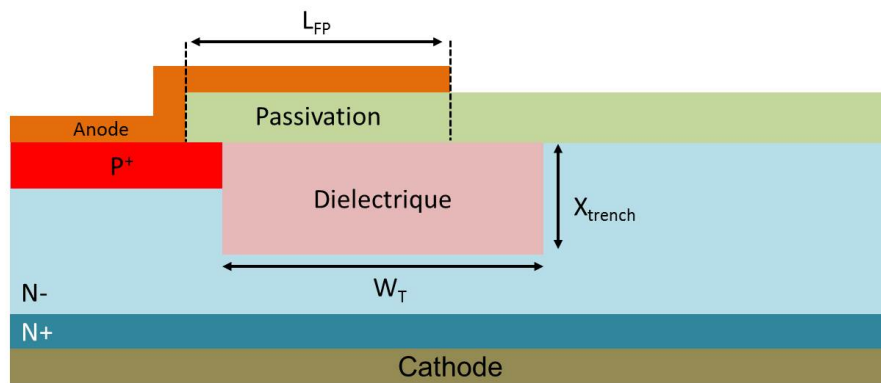


FIGURE 2.55 – Vue en coupe de la protection périphérique d'une diode PiN développée par Theolier *et al.* [185].

La largeur  $L_T$  et la profondeur du caisson ainsi que la longueur  $L_{FP}$  de la plaque de champ sur le caisson sont les principaux paramètres géométriques influençant la distribution des équipotentielles et, donc, la tenue en tension. Enfin la constante

diélectrique du matériau de remplissage ainsi que son champ de rupture vont être les paramètres technologiques influençant l'efficacité de la terminaison.

### 2.2.4.1 Application au SiC

L'étude par simulation de cette terminaison a été conduite sur une structure PiN en SiC composée d'une couche de dérive d'une épaisseur de  $10\text{ }\mu\text{m}$  et dopée à  $1 \times 10^{16}\text{ cm}^{-3}$ . Par analogie aux travaux de Theolier *et al.*, l'étude a portée sur une structure avec une largeur de caisson et une longueur de la plaque de champ très grandes devant l'épaisseur de la couche de dérive pour bénéficier d'un étalement maximal des équipotentiellles dans le caisson, soient  $L_T = 100\text{ }\mu\text{m}$  et  $L_{FP} = 80\text{ }\mu\text{m}$ . Le caisson a été rempli d'un matériau diélectrique avec une constante diélectrique  $\epsilon$  de 3,9 équivalente au  $\text{SiO}_2$ . La première étude a portée sur l'influence de la profondeur du caisson sur l'efficacité de la terminaison en présence ou non d'une plaque de champ.

Sur la figure 2.56, on observe que l'efficacité de la terminaison croît avec la profondeur du caisson. De façon similaire à une terminaison mesa, l'augmentation de la profondeur du caisson va limiter la courbure des équipotentiellles dans la volume et ainsi retarder le claquage. De plus, pour une profondeur de caisson donnée, la présence d'une plaque de champ améliore significativement l'efficacité de la terminaison.

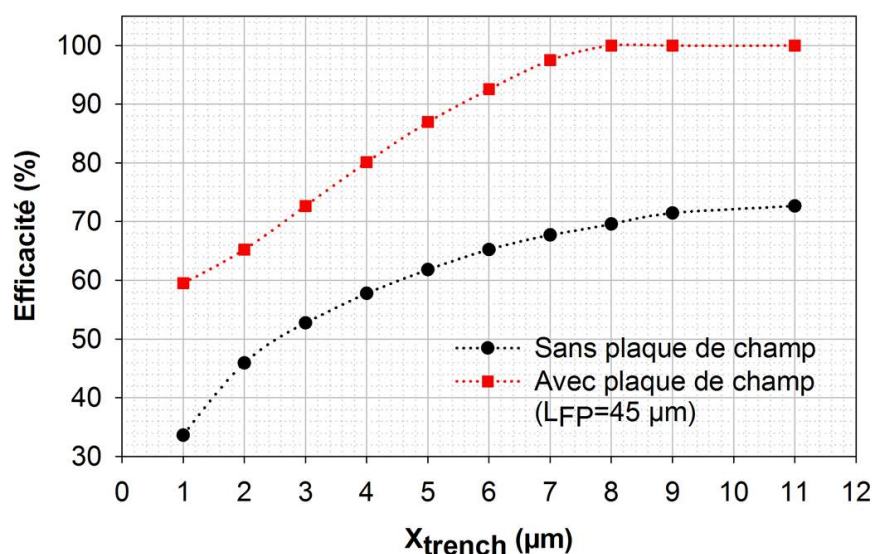


FIGURE 2.56 – Influence de la profondeur du caisson diélectrique sur l'efficacité de la terminaison suivant la présence ou non d'une plaque de champ

L'ajout de la plaque de champ favorise la distribution du potentiel dans le caisson diélectrique. Le resserrement des équipotentiellles apparaît alors à l'extrémité de la plaque de champ. Le comportement de la terminaison étant similaire à une protection par plaque

de champ classique, l'augmentation de la constante diélectrique du matériau de remplissage favorise l'étalement des équipotentiellles. Comme le montre la figure 2.57, l'efficacité de la terminaison augmente avec la profondeur du caisson et la constante diélectrique du matériau de remplissage. Toutefois, l'effet de la constante diélectrique du matériau sur l'efficacité est d'autant plus faible que la profondeur du caisson est importante.

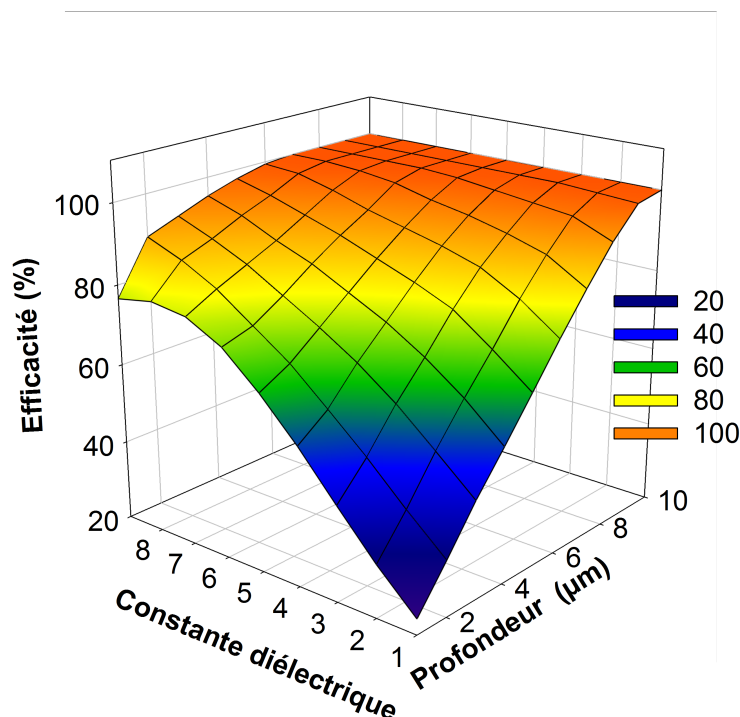


FIGURE 2.57 – Influence de la profondeur du caisson et de la constante diélectrique du matériau de remplissage sur l'efficacité de la terminaison.

Comme le montre la figure 2.58, l'inconvénient majeur de cette terminaison est le resserrement important des équipotentiellles à l'extrémité de l'électrode de champ, induisant un fort champ électrique ( $> 10$  MV/cm).

Dans cette étude, la rupture éventuelle du matériau diélectrique n'a pas été prise en compte, l'efficacité de la terminaison est donc largement surestimée. Une des solutions pour répartir le potentiel en surface le champ électrique à l'extrémité de la plaque de champ serait d'ajouter une couche semi-résistive pour réduire l'accroissement du champ électrique à ce niveau. Cette technique requiert l'utilisation d'un contact haute tension en surface pour polariser la couche semi-résistive afin de linéariser le potentiel à la surface entre l'anode et le stop-channel.

La protection périphérique par combinaison plaque de champ/couche semi-résistive (sans caisson diélectrique) a été démontrée en technologie Si pour des calibres en tension jusqu'à 4 kV [186–188]. Le SIPOS (« Semi-Insulating POLySilicon ») est le matériau le plus

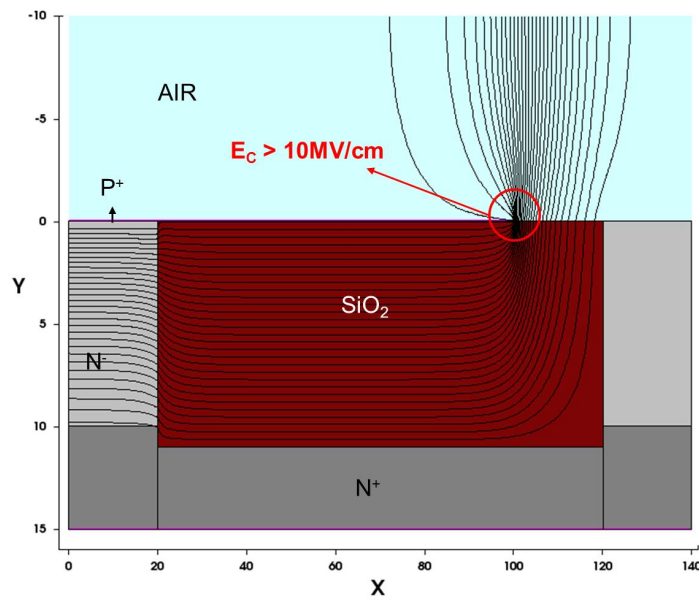


FIGURE 2.58 – Représentation des équipotentiels dans la structure protégée par le caisson diélectrique ( $\epsilon = 3,9$ ) et la plaque de champ lors du claquage (efficacité de 99,6%).

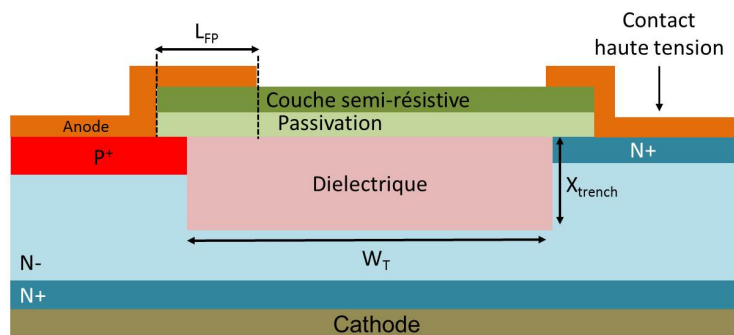


FIGURE 2.59 – Vue en coupe de la protection périphérique d'une diode PiN comportant un caisson diélectrique et une plaque de champ par-dessus une couche semi-résistive.



couramment utilisé pour réaliser la couche semi-résistive. Il est obtenu par décomposition du silane  $\text{SiH}_4$  et du protoxyde d'azote  $\text{N}_2\text{O}$  par LPCVD. La concentration en oxygène dans ce polysilicium va conditionner ses propriétés électriques. La résistivité du SIPOS est comprise entre  $10^6$  et  $10^{12} \Omega\cdot\text{cm}$  contre  $10^{16}$ - $10^{18} \Omega\cdot\text{cm}$  pour  $\text{SiO}_2$ .

L'effet sur le comportement de la périphérie d'une couche semi-résistive sous la plaque de champ est mis en évidence sur la figure 2.60.

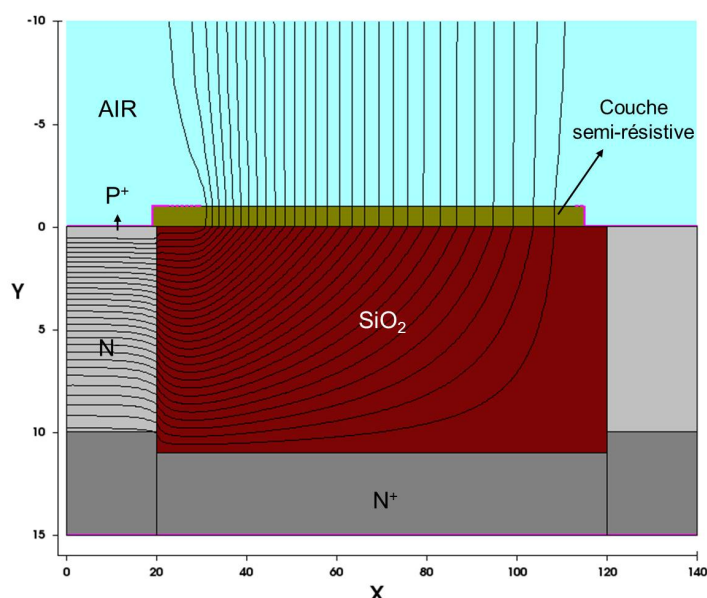


FIGURE 2.60 – Représentation des équipotentielles dans la structure protégée par le caisson diélectrique ( $\epsilon = 3,9$ ) et une plaque de champ sur une couche semi-résistive lors du claquage (efficacité de 99,6%).

Au claquage, le champ électrique maximum dans la structure est de 2,6 MV/cm. L'ajout d'une couche résistive ( $\rho = 10^{10} \Omega\cdot\text{cm}$ ) est donc particulièrement efficace pour réduire le champ électrique dans le caisson diélectrique sans dégrader l'efficacité de la terminaison. En perspective, l'influence de la résistivité de la couche semi-résistive sur la linéarisation du potentiel en surface et, donc, sur la réduction du champ électrique doit être étudiée.

Enfin, cette technique de protection périphérique présente un avantage par rapport à la terminaison à base de JTE. On peut notamment citer la faible consommation de surface de cette périphérie. En effet, la terminaison à base de JTE, étudiée précédemment, comprenant une JTE principale, 6 anneaux de garde fortement dopées et 10 anneaux JTE présente une longueur de 100  $\mu\text{m}$ , auquel s'ajoute un espacement de 80  $\mu\text{m}$  entre l'extrémité du dernier anneau JTE et le chemin de découpe. Au total, la longueur de cette terminaison est de 180  $\mu\text{m}$ . La terminaison à base de caisson diélectrique présente ci-dessus présente une efficacité maximale à partir d'une longueur minimum de 40  $\mu\text{m}$  (de l'anode

au chemin de découpe), soit une réduction d'un facteur 4,5 par rapport à la terminaison JTE.

Toutefois, le principal inconvénient de cette terminaison est sa sensibilité aux charges d'interface entre le matériau diélectrique de caisson et le SiC, comme le montre la figure 2.61.

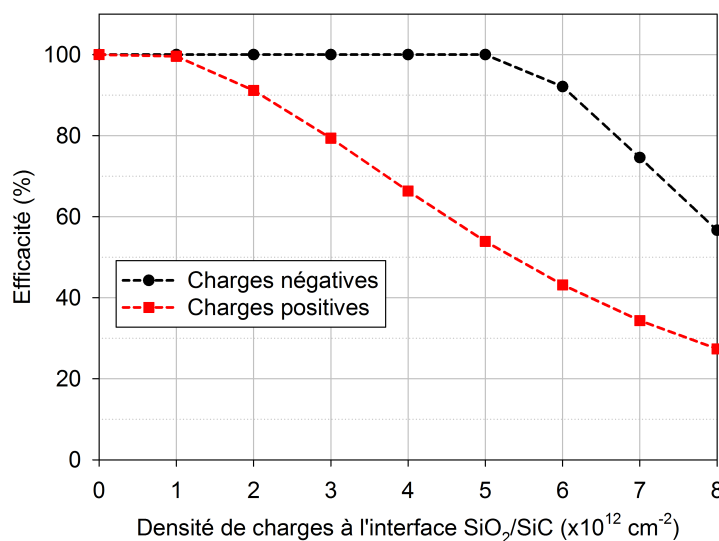


FIGURE 2.61 – Efficacité de la terminaison de la figure 2.60 en fonction de la densité de charges à l'interface SiO<sub>2</sub>/SiC.

Le comportement de cette terminaison vis-à-vis des charges à l'interface est similaire à celle d'une terminaison mesa classique. La présence de charges positives à l'interface SiC/SiO<sub>2</sub> se traduit par une courbure des équipotentiels à la périphérie de la jonction, comme le montre la figure 2.62-a. Il en résulte le claquage prématuré de la structure. La sensibilité de la terminaison aux charges négatives à l'interface est beaucoup plus faible. La présence de ces charges négatives se traduit par une courbure des équipotentiels vers le volume. Le lieu de claquage se situe alors au niveau du pied de gravure, comme le montre la figure 2.62-b.

La qualité de l'interface entre le matériau diélectrique et le SiC est donc essentielle pour assurer une efficacité optimale de la terminaison. D'une part, la gravure du SiC devra induire un minimum de défauts sur les flancs de gravure. D'autre part, une passivation efficace de la surface des flancs devra être effectuée avant remplissage de la tranchée afin de réduire la densité d'états d'interface entre le matériau diélectrique et le SiC. La fabrication de cette terminaison présente donc des difficultés technologiques différentes d'une terminaison planar à base de JTE. Des perspectives de fabrication de cette terminaison seront proposées dans la partie suivante.

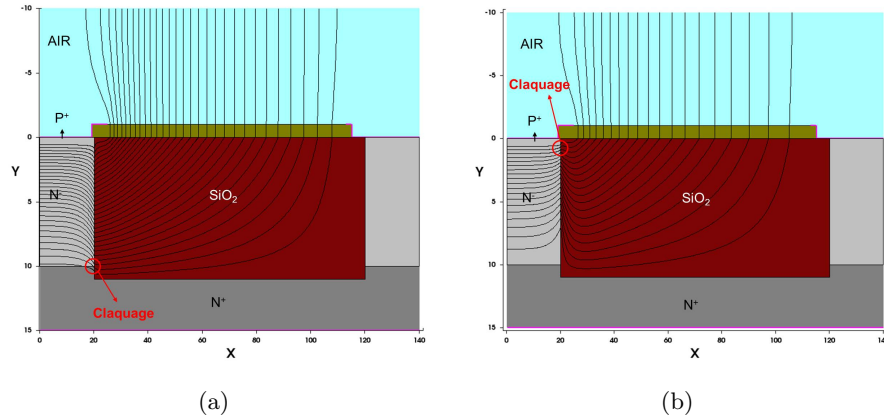


FIGURE 2.62 – Distribution des équipotentiels lors du claquage de la terminaison en présence d’une densité de  $4 \times 10^{12} \text{ cm}^{-2}$  de charges positives (a) et négatives (b) à l’interface  $\text{SiO}_2/\text{SiC}$ .

#### 2.2.4.2 Perspectives de fabrication de la terminaison

Une fois réalisée la tranchée par gravure sèche, son remplissage avec un matériau diélectrique est la principale problématique. En effet, le choix du matériau diélectrique est principalement conditionné par sa facilité à pouvoir le déposer en épaisseur suffisante pour remplir complètement la tranchée. Le dépôt par centrifugation semble le plus adapté pour remplir des tranchées avec de tel facteur de forme. Le BCB, proposé par Theolier *et al.*, répond parfaitement à cette application. Malheureusement, les températures mises en jeu lors du dépôt du SIPOS ne sont pas compatibles avec les polymères tels que le BCB. Enfin, soumis à des champs électriques intenses et à de fortes températures environnante, les polymères sont sujets à un vieillissement accéléré.

La gravure électrochimique du SiC peut être une alternative intéressante pour obtenir un caisson isolant à partir de SiC poreux [189]. Par texturation d’un matériau comprenant des cristallites et des pores dont la taille peut varier de quelques nanomètres au micromètre, il est possible de modifier les propriétés physiques et électriques du matériau massif traité. D’une manière générale, cela s’accompagne d’une réduction de la conductivité et de la constante diélectrique du matériau massif traité. Les propriétés isolantes des matériaux semiconducteurs poreux sont donc particulièrement intéressantes pour des applications microélectroniques. L’étude du silicium poreux est une activité importante du laboratoire GREMAN. Du point de vue de son intégration en microélectronique, la réalisation de composants passifs radiofréquence sur des couches de silicium poreux a été démontrée avec succès, confirmant les propriétés isolantes du silicium poreux. Par analogie avec le Si poreux, l’idée d’exploiter celles du SiC poreux nous a donc paru intéressante pour la réalisation d’un caisson isolant en périphérie. De façon similaire au silicium poreux, il serait

possible de localiser sa formation par un masquage adéquat et de contrôler ses propriétés électriques à partir du taux de porosité et/ou de traitements post-anodisation.

A notre connaissance, une seule étude a été conduite sur l'utilisation de SiC poreux comme matériau de passivation [190, 191] : la périphérie d'une diode PiN en 6H-SiC a été rendue poreuse par gravure électrochimique de la couche de dérive N<sup>-</sup>. La tenue en tension de ce dispositif est de 80 % de la tension idéale et l'avalanche s'est avérée n'être pas destructive.

Le concept de cette terminaison associant caisson diélectrique, plaque de champ et couche semi-résistive n'a pu être démontré durant ces travaux de thèse. Néanmoins, quelques résultats de caractérisation électrique seront présentés dans le chapitre 3 pour mettre en évidence les propriétés isolantes du SiC poreux.

### 2.2.5 Conclusion sur l'étude de la protection périphérique

En l'absence de protection périphérique, l'accroissement du champ électrique au niveau de la courbure de la jonction principale induit inévitablement un claquage prématuré du composant. Parmi les différentes techniques de protection périphérique, une extension de la jonction principale par une poche faiblement dopée de type p (JTE) s'avère être la plus adaptée à la technologie SiC du fait de :

- la présence de forts champs électriques dans les matériaux diélectriques et la forte sensibilité de la tenue en tension aux états d'interfaces SiO<sub>2</sub>/SiC limitant l'usage de protection mesa,
- la faible profondeur et le faible rayon de courbure des jonctions, limitant l'usage seul d'anneaux fortement dopés et flottants.

Toutefois, la sensibilité de la tenue en tension d'une terminaison par une simple JTE vis-à-vis des incertitudes technologiques, telles que l'activation des impuretés implantées et la qualité de l'interface SiO<sub>2</sub>/SiC, est le principal défaut de la JTE. L'ajout d'anneaux de garde flottants fortement dopés dans la JTE et d'anneaux JTE flottants à son extrémité a permis de réduire fortement l'influence de ces incertitudes technologiques sur la tenue en tension. Du point de vue expérimental, ces différentes configurations de terminaison seront étudiées avec une diode PiN et les résultats présentés dans le chapitre 4.

## 2.3 Anode de la diode JBS

Dans le chapitre 1, nous avons vu que la diode Schottky souffrait de deux défauts majeurs, le fort niveau de courant de fuite en régime inverse et l'augmentation de la tension à l'état passant avec la température. Compte tenu de la forte dépendance du courant de fuite de la diode Schottky avec le champ électrique, le concept de la diode

JBS a été proposé par Baliga [60]. Il consiste à protéger le contact Schottky vis-à-vis du champ électrique par le recouvrement des zones de charge d'espace provenant de jonctions PN introduites sous le contact. Ainsi, pour un dopage de la couche de dérive donné, le design des zones fortement dopées de type P en termes de largeur, d'espace entre elles, de géométrie et de profondeur de jonction va conditionner la répartition du champ électrique sous le contact Schottky. Toutefois, ces zones P occupent de la surface au détriment du contact Schottky et vont aussi modifier la distribution du courant de la diode Schottky. La surface de contact Schottky conditionnant les performances de conduction de la JBS en termes de chute de tension à l'état passant (à faible courant), la présence des zones p va se traduire par des pertes en conduction par rapport à une « pure » diode Schottky. Au niveau du design de l'anode de la diode JBS, un compromis s'établit donc entre la réduction du courant de fuite et celle des pertes en conduction. Cette partie a pour but de présenter l'influence des différents paramètres géométriques et technologiques sur la distribution du champ électrique sous le contact Schottky, simulée par la méthode des éléments finis. Et, de plus, la contribution de chacun de ces paramètres sur la chute de tension et la résistance série de la diode sera présentée.

### 2.3.1 Distribution du champ électrique

#### 2.3.1.1 Courant de fuite de la diode Schottky

Le principal défaut de la diode Schottky est le fort niveau de courant de fuite en polarisation inverse. Cet excès de courant de fuite est conditionné par 2 mécanismes de transport des porteurs :

1. l'émission thermo-ionique par abaissement de la barrière
2. l'émission par effet tunnel

Tous deux sont dépendants du champ électrique à l'interface métal-semiconducteur. Toutefois, à forte tension, le mécanisme prédominant est l'émission par effet tunnel. La figure 2.63 illustre la dépendance expérimentale de la densité de courant de fuite en fonction de la tension et du champ électrique sous un contact Schottky pour une couche de dérive de 6  $\mu\text{m}$  d'épaisseur avec un dopage de  $1 \times 10^{16} \text{ cm}^{-3}$ .

La relation entre le champ électrique sous le contact Schottky et la tension appliquée a été obtenue par simulation numérique à partir des coefficients d'ionisation de Konstantinov. Cette figure met en évidence la forte sensibilité du courant de fuite avec le champ électrique sous le contact Schottky. Ainsi, à 600V, une réduction du champ électrique de 5% permet de diviser par 2 le niveau de courant de fuite. Deux voies sont envisageables pour réduire le courant de fuite de la diode Schottky : diminuer le dopage de la couche de dérive et/ou augmenter la hauteur de barrière Schottky mais cela se fera au détriment des performances en conduction. La diode JBS offre plus de flexibilité grâce à la présence de zones P sous

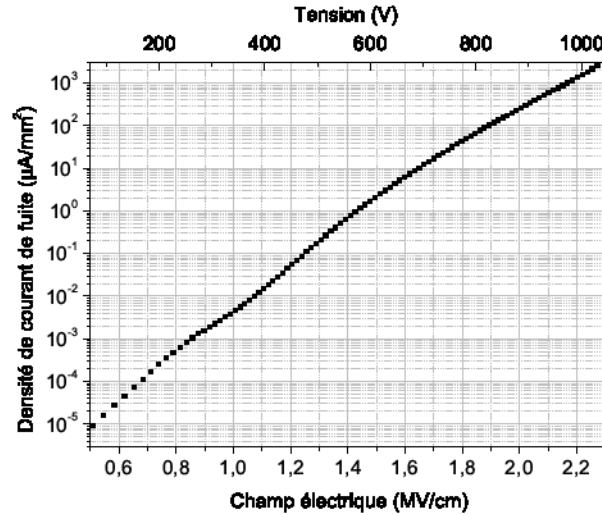


FIGURE 2.63 – Densité de courant de fuite en fonction de la tension et du champ électrique sous le contact Schottky.

le contact dont le recouvrement des ZCE va permettre de réduire le champ électrique sous le contact Schottky. Le but de l'étude suivante est d'évaluer l'efficacité de la protection du contact Schottky vis-à-vis du champ électrique par le design des régions P de la diode JBS.

### 2.3.1.2 Conditions de simulation

La simulation électrique de la diode JBS à l'état bloqué est identique à celle de la périphérie de la diode, les mêmes modèles numériques ont été appliqués. Toutefois, pour réduire le nombre de noeuds, il est essentiel d'évaluer les symétries de la structure à simuler afin de déterminer la cellule élémentaire. Cette dernière correspond à la plus petite cellule pouvant être simulée afin de décrire le comportement de la diode JBS dans son ensemble. Grâce aux conditions aux limites imposées aux frontières de la cellule par le simulateur, la continuité d'une grandeur physique P est telle que :

$$P(-x, y) = P(x, y) \quad (2.10)$$

La figure 2.64 présente la structure 2D de la diode JBS simulée dans Sentaurus. La cellule élémentaire correspond à un demi-caisson P<sup>+</sup> et une demi-région Schottky avec :

- L<sub>P</sub> la largeur des caissons P<sup>+</sup>
- L<sub>S</sub> l'espace entre les caissons P<sup>+</sup>
- X<sub>j</sub> la profondeur de jonction des caissons P<sup>+</sup>

Par réflexion axiale par rapport aux bords (AB) ou (CD) de la cellule, la totalité de

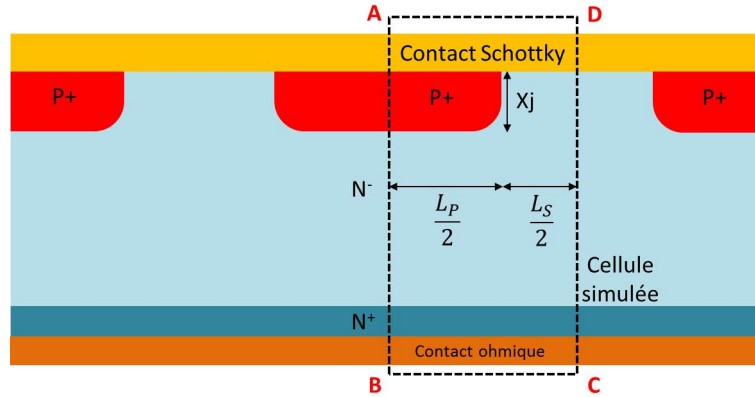


FIGURE 2.64 – Structure JBS contenant la cellule élémentaire simulée

la zone active de la diode JBS peut être représentée. En régime inverse, le phénomène de recouvrement des ZCE provenant de deux caissons P adjacents est ainsi pris en compte dans la simulation de la cellule élémentaire. Dans cette partie, les simulations seront conduites principalement sur une couche active de  $10\text{ }\mu\text{m}$  d'épaisseur et dopée à  $1 \times 10^{16}\text{ cm}^{-3}$ . Le profil de dopage des caissons P est donné sur la figure 2.65.

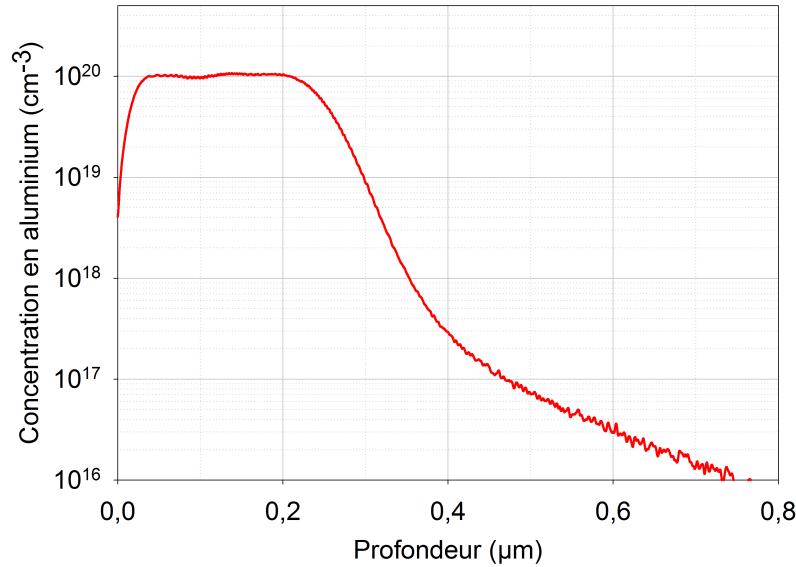


FIGURE 2.65 – Profil d'implantation en aluminium calculé par la méthode Monte-Carlo et utilisé dans cette étude.

Plusieurs implantations de différentes énergies ont été simulées afin d'obtenir un plateau de concentration en Al de  $1 \times 10^{20}\text{ cm}^{-3}$  sur  $200\text{ nm}$ . En pratique, un fort niveau de dopage est nécessaire pour favoriser la formation d'un contact ohmique sur les régions P. Cet aspect

sera présenté dans le chapitre 3.

### 2.3.1.3 Influence de l'espace entre les zones P

En régime de polarisation inverse, l'espace entre les zones P implantées sous le contact Schottky va conditionner la tension à laquelle le recouvrement des zones de désertion issues des jonctions PN adjacentes s'opère. Suite à l'intersection des ZCE, une barrière de potentiel va se former entre les zones  $P^+$ , réduisant ainsi le champ électrique sous le contact Schottky. De ce fait, plus l'espace entre les caissons P sera important et plus la tension inverse, à laquelle le recouvrement des ZCE se déclenche, sera grande. Toutefois, suivant le dopage de la région N, la largeur de la ZCE peut être suffisante pour que le recouvrement ait lieu à polarisation nulle.

La figure 2.66 illustre la distribution du champ électrique, à  $V_R=1200V$ , sous le contact Schottky, suivant l'espacement  $L_S$  entre les régions P. La largeur  $L_P$  du caisson P a été fixée à  $3\text{ }\mu\text{m}$ . Le champ électrique est maximum au centre du contact Schottky et diminue lorsqu'on s'en éloigne. L'efficacité de la protection du contact Schottky vis-à-vis du champ électrique diminue donc avec l'augmentation de l'espace  $L_S$  entre les caissons P. A partir d'une distance de  $10\text{ }\mu\text{m}$  entre les caissons P, le contact Schottky n'est presque plus protégé. Par rapport à une diode Schottky, le champ électrique est réduit de seulement 1%. L'intensité maximale du champ électrique est alors équivalente à celle appliquée à une diode Schottky.

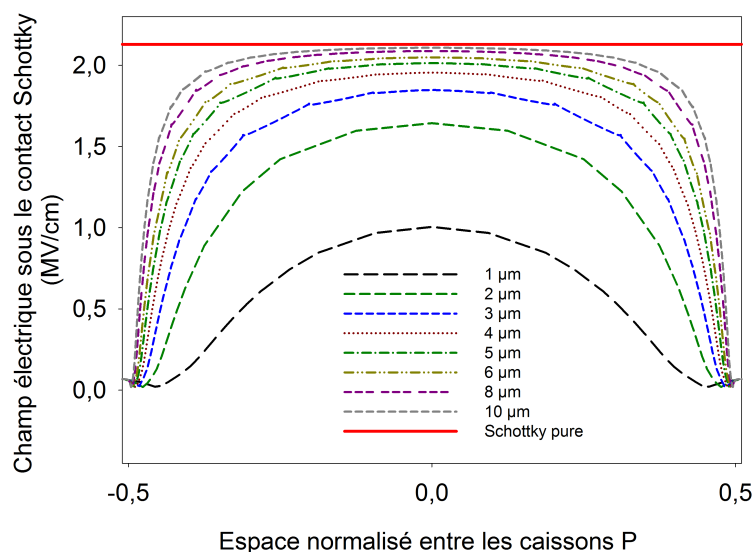


FIGURE 2.66 – Profil de champ électrique sous le contact Schottky, à  $V_R = 1200\text{ V}$ , entre les caissons de type P, pour différentes valeur de  $L_S$ . L'origine des abscisses correspond au centre du contact Schottky.



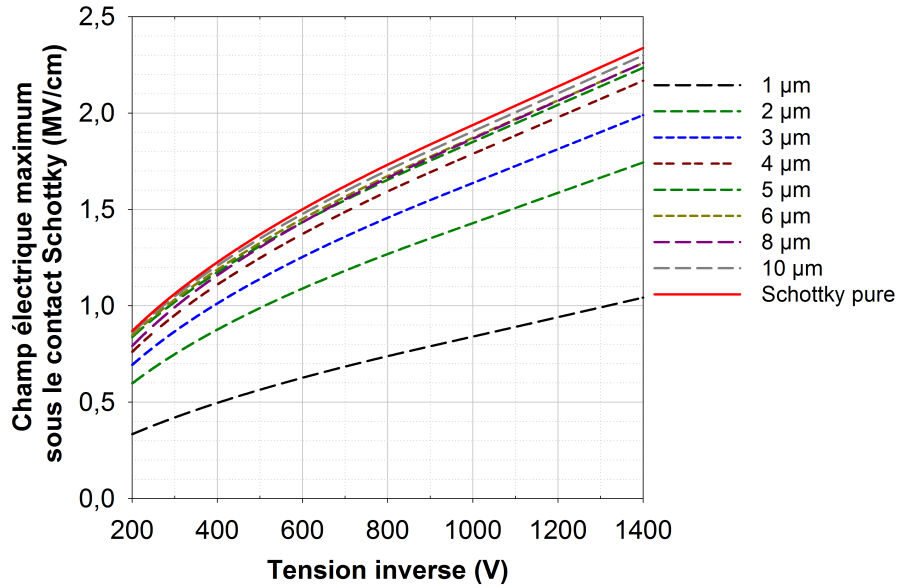


FIGURE 2.67 – Champ électrique maximum sous le contact Schottky, en fonction de la tension inverse appliquée, pour différents espacements  $L_S$ . La couche de dérivation utilisée a une épaisseur de  $10\ \mu\text{m}$  et un dopage de  $1 \times 10^{16}\text{cm}^{-3}$ .

La figure 2.67 illustre la dépendance du champ électrique sous le contact Schottky, en fonction de la tension inverse, pour différents espaces entre les zones P. Comme précédemment, on remarque que la protection du contact Schottky vis-à-vis du champ électrique diminue avec l'augmentation de l'espace entre les zones P. Une approche classique consiste à « surdimensionner » la couche active, c'est-à-dire augmenter l'épaisseur et/ou diminuer le dopage, afin de diminuer le champ électrique sous le contact Schottky à une tension donnée. La figure 2.68 illustre l'effet de l'espace  $L_S$  sur le champ électrique sous le contact Schottky, pour différents dopages de la couche de dérivation. Pour un design donné, le champ électrique maximum sous le contact Schottky diminue avec le dopage de la couche de dérivation. Deux perspectives sont donc mises en évidence pour ajuster le champ électrique sous le contact Schottky :

- l'espace  $L_S$  entre les zones P
- le dimensionnement de la couche de dérivation

Contrairement à la diode Schottky pour laquelle on ne peut contrôler le champ électrique sous le contact Schottky qu'à partir du dopage et/ou de l'épaisseur de la couche de dérivation, la diode JBS offre plus de souplesse aux concepteurs. En effet, il est possible d'ajuster le champ électrique à partir de la géométrie des zones P sous le contact. Pour un champ électrique donné sous le contact Schottky, le dopage de la couche de dérivation pourra être plus fort dans le cas de la diode JBS que dans celui de la diode Schottky. Le compromis courant de fuite - résistance série pourra donc être amélioré dans le cas de la

diode JBS.

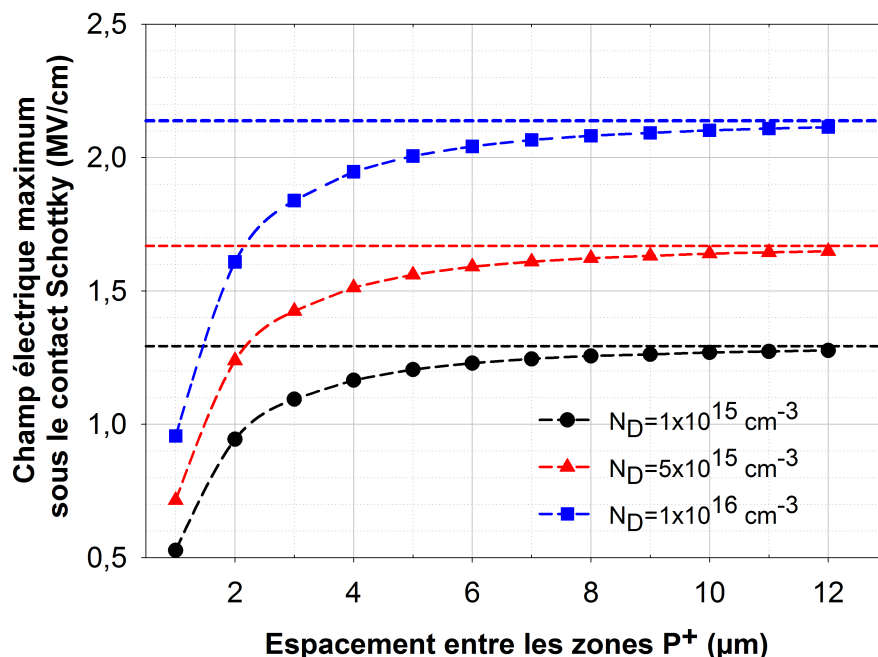


FIGURE 2.68 – Influence de l’espacement  $L_S$  sur le champ électrique maximum sous le contact Schottky à  $V_R=1200\text{V}$  pour différents dopages de la couche de dérive d’une épaisseur de  $10 \mu\text{m}$ . Les lignes en pointillés représentent le champ électrique maximum d’une pure diode Schottky.

### 2.3.1.4 Influence de la largeur des zones P

Il est évident que la présence des caissons P va augmenter la résistance série de la diode JBS en réduisant les dimensions du canal de conduction du courant provenant du contact Schottky. Ceci sera décrit plus loin dans ce chapitre. La largeur de ces caissons est aussi un critère à prendre en compte pour la distribution du champ électrique sous l’anode. En effet, plus la largeur du caisson sera faible, plus la jonction présentera un effet de pointe favorisant le resserrement des équipotentielles et, par conséquent, l’augmentation du champ électrique dans la courbure de la jonction. La figure 2.69-a illustre l’effet de pointe de champ électrique s’accroissant avec la diminution de la largeur du caisson P pour un espacement de  $2 \mu\text{m}$  entre les caissons P. Cet effet s’accompagne, d’une part, d’une diminution de la tension de claquage par rapport à celle d’une jonction plane (10% en passant de  $3$  à  $0,1 \mu\text{m}$ ) et d’autre part, d’une augmentation du champ électrique sous le contact Schottky (10% de  $0,1$  à  $3 \mu\text{m}$ ). En prenant le cas le plus défavorable en termes de champ électrique ( $L_P=0,1 \mu\text{m}$ ), on remarque, toutefois, que l’effet de pointe de champ électrique peut être réduit en diminuant l’espace  $L_S$  entre les caissons P (figure 2.69-b).

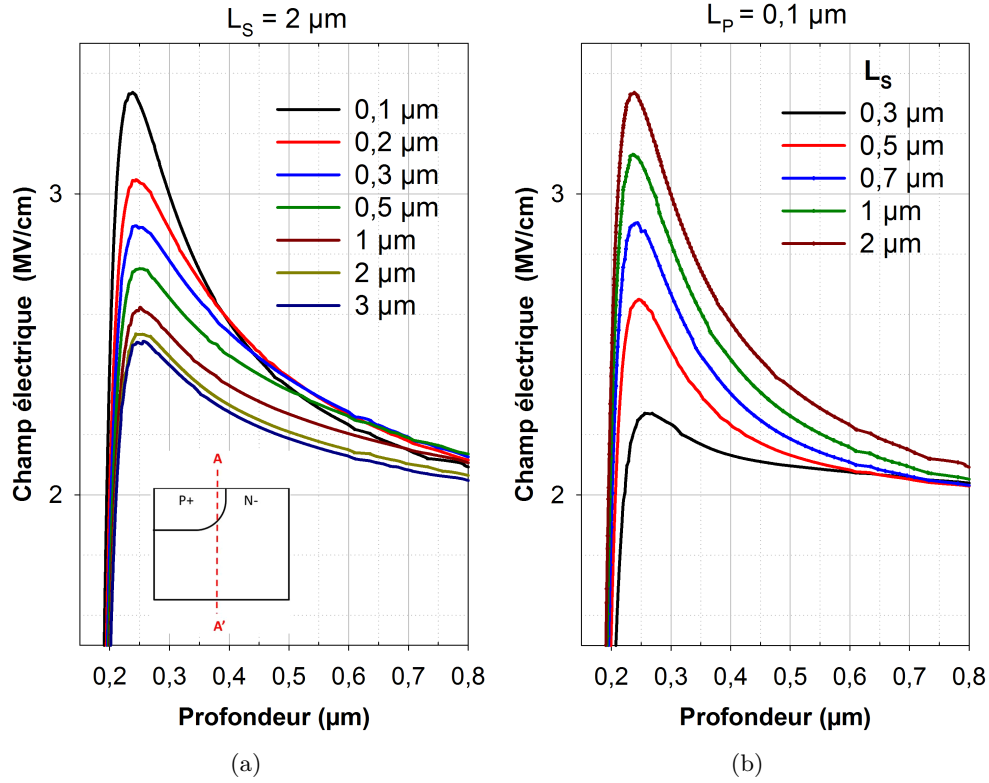


FIGURE 2.69 – Distribution du champ électrique à 1200 V suivant AA' (droite passant par le maximum de champ électrique) pour différentes largeurs  $L_p$  avec  $L_s=2 \mu\text{m}$  (a) et différents espaces  $L_s$  avec  $L_p=0,1 \mu\text{m}$  (b).

### 2.3.1.5 Influence de la profondeur de jonction

Dans le cas de la diode JBS en SiC, la profondeur des jonctions PN sera contrôlée par celle de l'implantation. La gamme d'énergie d'implantation d'un implantateur industriel est généralement de 200 keV. Elle peut être étendue à 400 keV dans le cas d'un ion doublement chargé. Cette limite de 400 keV a donc été fixée pour l'étude de l'influence de la profondeur de jonction sur la distribution du champ électrique sous le contact Schottky. Quatre profils d'implantation d'aluminium ont été simulés par la méthode Monte-Carlo en vue d'atteindre un plateau de concentration à  $1 \times 10^{20} \text{cm}^{-3}$  sur différentes profondeurs. Pour chaque cas, plusieurs implantations à différentes énergies ont été réalisées. Les énergies maximales d'implantation sont, respectivement, 110, 180, 280 et 380 keV pour les profils P1, P2, P3 et P4 (figure 2.70).

Une couche de dérivation avec une épaisseur de 10  $\mu\text{m}$  et un dopage de  $1 \times 10^{16} \text{cm}^{-3}$  a été utilisée pour l'étude de l'influence de la profondeur de jonction sur la distribution du champ électrique sous le contact Schottky de la diode JBS. La largeur du caisson P a été fixée à 3  $\mu\text{m}$ . Pour une même distance entre deux caissons P, la réduction du champ

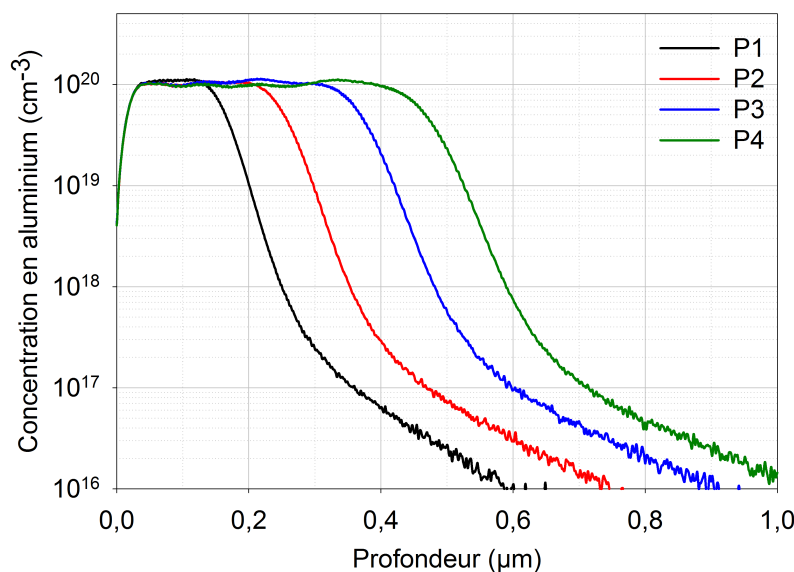


FIGURE 2.70 – Profils d’implantation en aluminium simulés par la méthode Monte-Carlo pour l’étude de la profondeur des caissons P de la diode JBS sur le champ électrique sous le contact Schottky.

électrique sous le contact Schottky, par rapport à celui d’une pure diode Schottky, est d’autant plus importante que la profondeur de jonction est grande, comme le montre la figure 2.71.

Pour un champ électrique sous le contact Schottky donné, plus la profondeur de jonction est importante, plus l’espace  $L_S$  entre les caissons P est grand. Malheureusement, les énergies d’implantation capables d’atteindre des profondeurs d’implantation en Al supérieures à 1  $\mu\text{m}$  sont de l’ordre de 1 MeV et ne sont pas facilement industrialisables en technologie microélectronique. De plus, les techniques de masquage pour ces implantations font appel à de fortes épaisseurs de masque et/ou l’utilisation de matériau non conventionnel (masque métallique par exemple), loin des standards de la fabrication microélectronique actuelle. Compte tenu de ces limitations technologiques, le dopage localisé du SiC par implantation ionique se limite donc à des profondeurs de jonction de 1  $\mu\text{m}$  et/ou des plateaux de concentration constante jusqu’à 500 nm de profondeur. Une alternative à l’implantation ionique est la croissance localisée de SiC dopé en Al par voie « vapeur-liquide-solide » (VLS) dont les principaux travaux de développement sont conduits par une équipe du Laboratoire des Multimatériaux et Interfaces (LMI) de l’université de Lyon [192, 193]. Le fort niveau d’incorporation d’Al en site substitutionnel permettrait l’obtention de zones très conductrices. La réalisation de contact ohmique à faible résistance de contact démontrée récemment sur ces couches tend à valider cette propriété [194]. Toutefois, la localisation de cette croissance sur des substrats structurés pour la réalisation

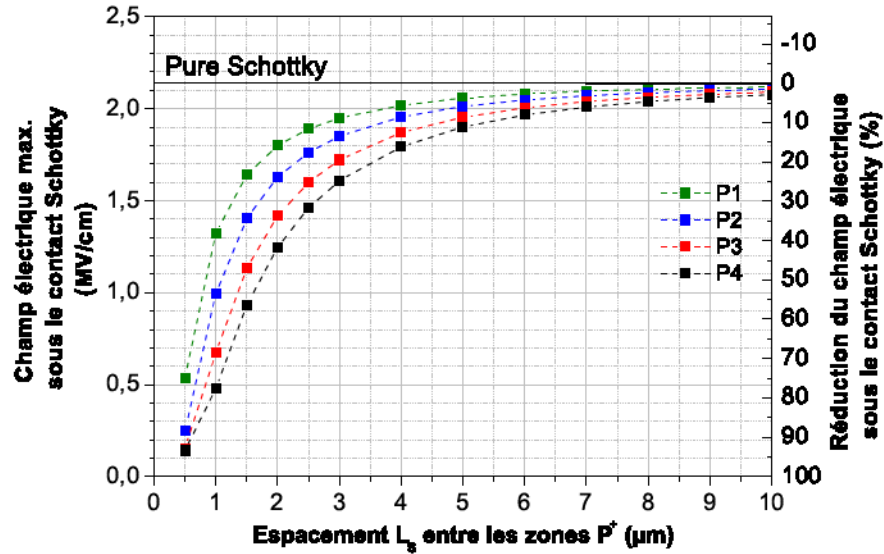


FIGURE 2.71 – Influence de l'espace entre les caissons  $P^+$  sur l'intensité maximum du champ électrique sous le contact Schottky pour différentes profondeurs de jonction  $X_j$ .

de jonctions profondes n'a encore jamais été démontrée. Cette technique en est encore au stade expérimental.

Sans tenir compte des limitations technologiques, l'augmentation de la profondeur des caissons entraîne inévitablement une dégradation de la résistance série de la diode JBS. En effet, le courant d'électrons de la diode JBS est confiné entre les zones  $P^+$ . Une augmentation de leur profondeur induit celle de l'épaisseur de confinement du courant. De ce fait, un compromis doit être déterminé au niveau de la profondeur de jonction entre réduction du champ électrique et augmentation de la résistance série. En effet, dans le cas où l'injection bipolaire à partir des jonctions PN sous le contact Schottky n'est pas mise à profit, les zones P vont augmenter les pertes en conduction de la diode Schottky par réduction de la surface Schottky. Un modèle analytique sera exposé afin d'évaluer qualitativement l'effet de chaque paramètre, géométrique ou technologique, étudié précédemment.

### 2.3.2 Modélisation analytique de la résistance de la couche active

Du fait de l'introduction de zones fortement dopées de type P sous le contact Schottky, la surface de conduction de la diode JBS est réduite par rapport à celle d'une diode Schottky. Pour une couche de dérive donnée, en termes d'épaisseur et de dopage, la résistance série de la diode JBS, avant mise en conduction des cellules PN, sera toujours supérieure à celle de la diode Schottky. Évidemment, on néglige ici la conduction bipolaire

provenant des jonctions PN, pouvant affecter fortement la résistance série de la diode JBS. Le but de cette partie est donc d'évaluer l'influence de chaque paramètre géométrique de la diode JBS sur la résistance de la couche active à partir d'un modèle analytique simple.

### 2.3.2.1 Présentation du modèle

La couche active de la diode JBS peut être divisée en trois zones en fonction de la profondeur :

- la zone « grid » où sont localisés les caissons  $P^+$  de largeur  $L_p$ . Le canal de conduction se situe entre les jonctions PN et est de largeur  $L_s$ .
- la zone « spreading » où viennent s'étaler les lignes de courant sous les caissons  $P^+$ . On supposera que l'étalement du courant sous les caissons  $P^+$  se produit sous un angle  $\alpha$  de  $45^\circ$  [195].
- la zone « drift » où la distribution du courant devient similaire à celle d'une diode Schottky.

Ainsi, en négligeant les résistances de contact et du substrat, la résistance série de la diode JBS peut être simplifiée comme la somme des résistances correspondantes à chaque zone décrite ci-dessus (figure 2.72).

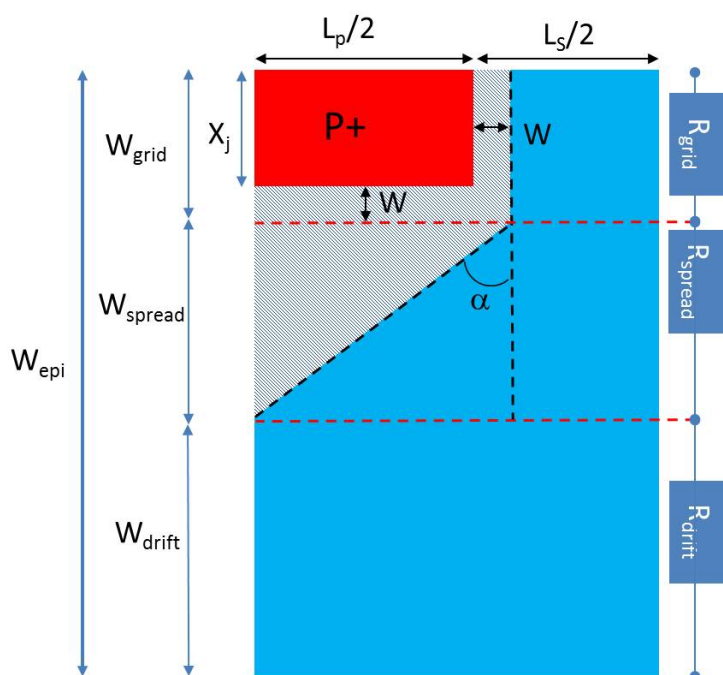


FIGURE 2.72 – Modèle de la résistance de la couche active appliqué à la diode JBS

La résistance spécifique de la zone « grid » peut s'écrire :

$$R_{grid,sp} = (X_j + W) \cdot \frac{L_S + L_P}{L_S - 2W} \cdot \rho_{epi} \quad (2.11)$$

avec  $\rho_{epi} = (q \cdot \mu_n(n) \cdot n)^{-1}$ .

La largeur du canal entre deux régions P consécutives est réduite par les zones de désertion, de largeur W, des jonctions PN s'étendant dans la région N<sup>-</sup>. Nous supposons que la largeur de la zone de charge d'espace est uniforme en tout point de la jonction. Celle-ci peut être calculée à partir de la relation suivante :

$$W = \sqrt{\frac{2\varepsilon_S\varepsilon_0}{N_D} \cdot (V_d - V_r)} \quad (2.12)$$

avec V<sub>r</sub> la tension de polarisation et V<sub>d</sub> la tension de diffusion de la jonction pouvant s'écrire :

$$V_d = \frac{kT}{q} \cdot \ln \left( \frac{N_D^+ \cdot N_A^-}{n_i^2} \right) \quad (2.13)$$

avec N<sub>D</sub><sup>+</sup> et N<sub>A</sub><sup>-</sup> respectivement les concentrations de donneurs et d'accepteurs ionisés. n<sub>i</sub> est la concentration de porteurs intrinsèques.

La résistance spécifique de la zone « spreading » s'écrit :

$$R_{spread,sp} = (L_S + L_P) \cdot \ln \left( \frac{L_S + L_P}{L_S - 2W} \right) \cdot \rho_{epi} \quad (2.14)$$

La résistance spécifique de la zone « drift » s'écrit :

$$R_{drift,sp} = \rho_{epi} \cdot W_{drift} \quad (2.15)$$

Les épaisseurs respectives de chaque couche sont :

$$\begin{aligned} W_{grid} &= X_j + W \\ W_{spread} &= \frac{L_P + 2W}{2 \tan(\alpha)} \\ W_{drift} &= W_{epi} - W_{grid} - W_{spread} \end{aligned} \quad (2.16)$$

### 2.3.2.2 Influence de l'espace entre les zones P

Du point de vue de la protection du contact Schottky vis-à-vis du champ électrique, nous avons vu que plus l'espace L<sub>S</sub> entre les zones P<sup>+</sup> était faible, plus le blindage électrostatique du contact était efficace.

Comme le montre la figure 2.73-a), la résistance totale de la diode JBS diminue quand l'espace L<sub>S</sub> entre les zones P<sup>+</sup> augmente pour tendre vers celle d'une pure diode Schottky.

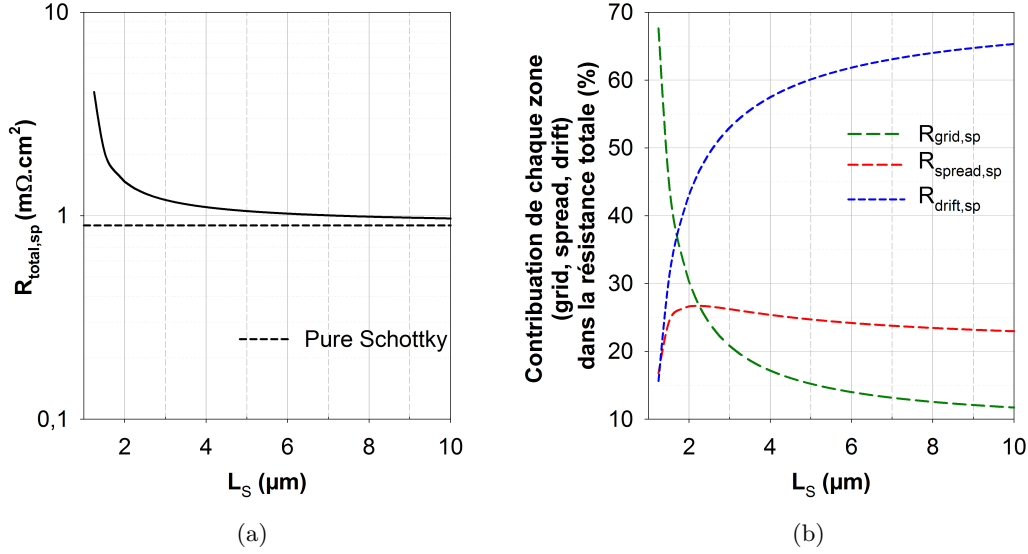


FIGURE 2.73 – Résistance spécifique totale de la diode JBS (a) et contribution des différentes zones (grid, spreading, drift) sur celle-ci (b) suivant l'espace  $L_S$  entre les zones P sous le contact Schottky.  $W_{epi} = 10 \mu m$ ,  $N_D = 1 \times 10^{16} cm^{-3}$ ,  $X_j = 0,3 \mu m$ ,  $L_P = 3 \mu m$ .

Dans le cas de la couche de dérivation utilisée, pour des largeurs  $L_S$  supérieures à  $3 \mu m$ , la zone « drift » contribue majoritairement (plus de 50 %) à la résistance totale de la diode (figure 2.73-b). Pour les faibles espaces entre les zones P, la largeur des zones de désertion autour des caissons P s'étendant dans la région  $N^-$  devient prépondérante. Ce « pincement » du canal par les ZCE contribue majoritairement à l'augmentation de la résistance série. La figure 2.74 représente l'espace entre les zones P à partir duquel le recouvrement des ZCE est effectif, c'est-à-dire lorsque  $L_S = 2 \times W_{ZCE}$ , en fonction du dopage de la couche de dérivation.

Pour équilibrer les charges de part et d'autre de la jonction, la largeur de désertion s'étendant dans la région la moins dopée diminue avec l'augmentation du dopage. Toutefois, l'approximation d'une largeur de zone de charge d'espace uniforme le long d'une jonction PN planar surestime la réduction du canal de conduction pour les faibles largeurs et de forts dopages de la couche de dérivation. En effet, comme nous l'avons vu à la section 2.2.1, la largeur de désertion dans la région  $N^-$  se réduit lorsque la jonction remonte vers la surface afin d'équilibrer les charges en regard.

Sur la figure 2.75, la variation de la résistance série de la diode JBS, par rapport à une pure diode Schottky, en fonction de l'espace entre les zones P, est présentée suivant la méthode de calcul, analytique ou numérique.

On remarque que la méthode analytique surestime la résistance en série de la diode JBS par rapport à la méthode de calcul numérique par éléments finis. Pour les faibles espaces



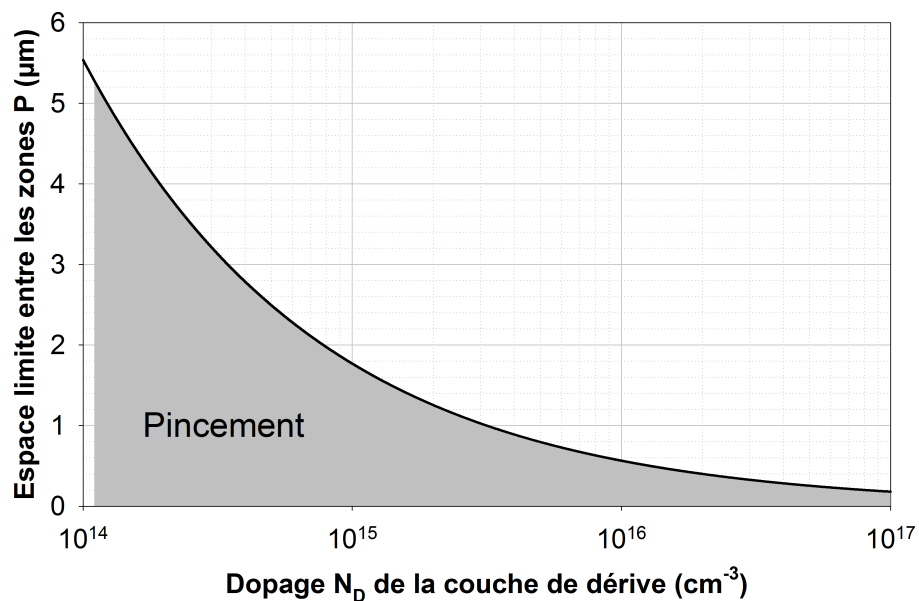


FIGURE 2.74 – Espace entre les zones P pour lequel  $L_S = 2 \times W_{ZCE}$  en fonction du dopage  $N_D$ .

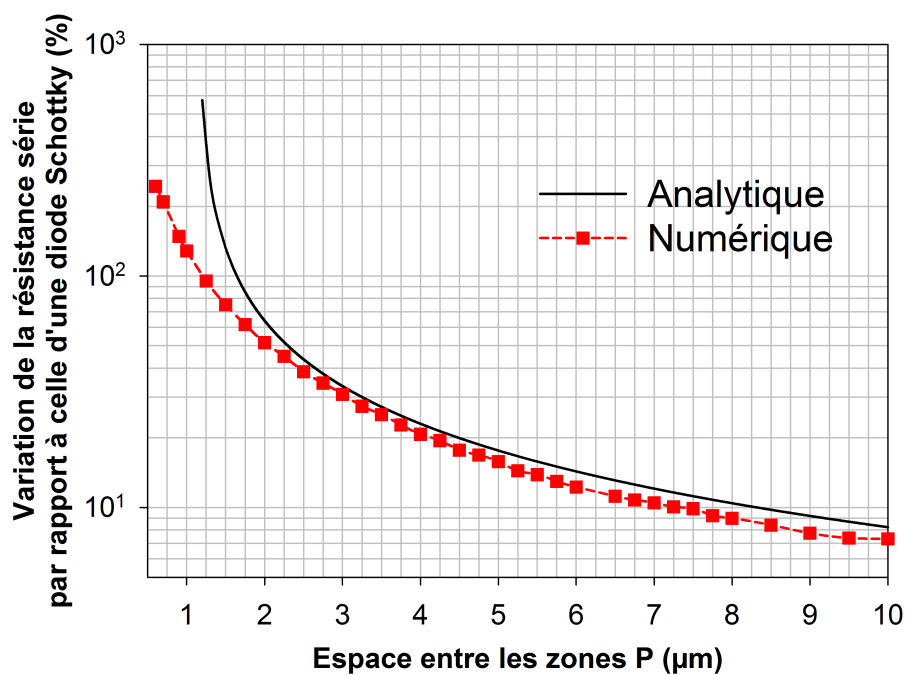


FIGURE 2.75 – Variation de la résistance série de la diode JBS par rapport à celle d'une pure diode Schottky en fonction de l'espace entre les zones P.

entre les zones P, l'effet de pincement du canal par les ZCE provenant des jonctions P devient de plus en plus important dans l'augmentation de la résistance série, estimée analytiquement. La simulation par éléments finis est la méthode la plus rigoureuse pour tenir compte de cet effet de la courbure de la jonction dans le calcul de la résistance série.

### 2.3.2.3 Influence des dimensions des zones P

Nous avons vu précédemment que la largeur des zones P devait être ajustée en fonction de l'espacement  $L_S$  afin de limiter l'effet de pointe en courbure de la jonction. En effet, pour de faibles largeurs  $L_P$ , cet effet induit un accroissement du champ électrique dans la courbure de la jonction, d'une part, et sous le contact Schottky, d'autre part. En régime direct de la diode JBS, la présence des zones P va inévitablement réduire la surface Schottky. La figure 2.76 représente les différentes contributions résistives de chaque zone de la diode JBS sur la résistance totale suivant la largeur  $L_P$ . Dans le cas où l'on néglige la modulation de conductivité résultant de l'injection de porteurs minoritaires à partir des jonctions PN, la réduction de la surface Schottky va se traduire par une augmentation de la résistance série par rapport à celle d'une pure diode Schottky (figure 2.76-a).

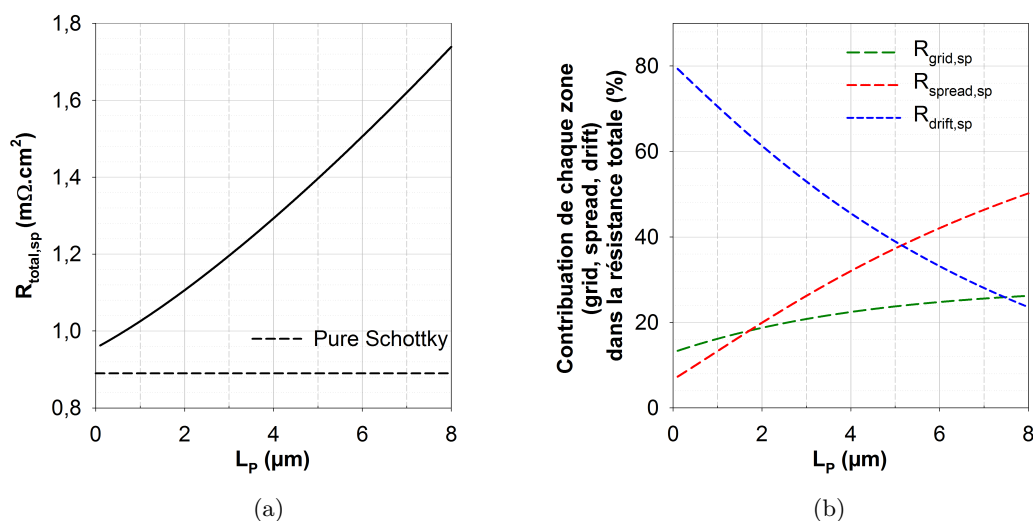


FIGURE 2.76 – Résistance spécifique totale de la diode JBS (a) et contribution des différentes zones (grid, spreading, drift) sur celle-ci (b) suivant la largeur  $L_P$  des zones P sous le contact Schottky.  $W_{epi} = 10 \mu m$ ,  $N_D = 1 \times 10^{16} cm^{-3}$ ,  $X_j = 0,3 \mu m$ ,  $L_S = 3 \mu m$ .

Pour un espacement  $L_S$  entre les zones P donné, une augmentation de la largeur des caissons P entraîne celle de la résistance totale de la diode JBS. D'une part, la surface occupée par le contact Schottky est réduite avec l'élargissement des zones P. D'autre part, l'épaisseur de la zone « Spreading » augmente avec la largeur des zones P, induisant une réduction du volume de conduction de la diode, comme le montre la figure 2.77. Pour les

faibles largeurs des zones P, la résistance totale est dominée par celle de la couche de dérive et tend vers celle d'une pure diode Schottky.

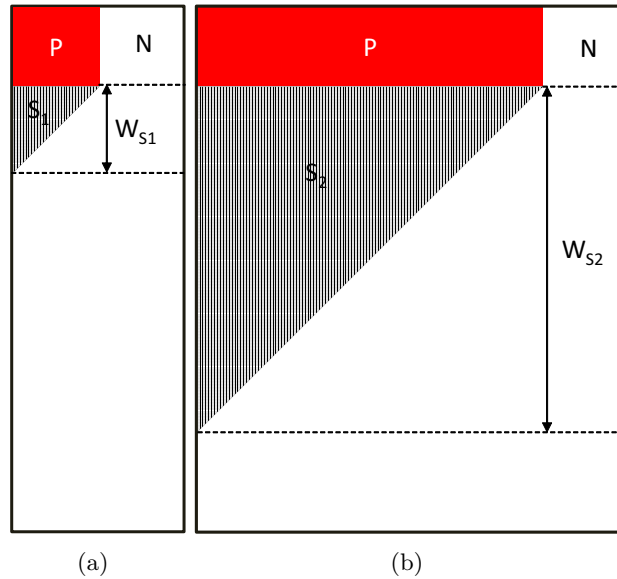


FIGURE 2.77 – Illustration du volume de conduction perdu (zone grisée) sous les caissons P suivant leur largeur.

Il est intéressant d'évaluer les contributions des différentes profondeurs à la résistance totale selon le calibre en tension ( $V_{RM}$ ) de la diode JBS. Pour cela, le design des zones P a été fixé tel que  $L_P$ ,  $L_S$  et  $X_j$  soient égaux respectivement à 3, 3 et 0,3  $\mu\text{m}$ . Pour chaque calibre en tension (de 600 à 4500V), le dimensionnement de la couche active a été calculé à partir des résultats de l'étude paramétrique (section 2.1.2.2).

A partir des figures 2.78, on remarque que la contribution de la résistance liée aux régions P, dans la résistance totale, diminue avec l'augmentation du calibre en tension, autrement dit avec l'épaisseur de la couche de dérive. Toutefois, la tendance s'inverse à partir de 4500 V (figure 2.78). Cela s'explique par le fait que l'augmentation du calibre en tension s'accompagne aussi d'une diminution du dopage de la couche de dérive, entraînant l'augmentation de la largeur de la ZCE et, par conséquent, la réduction du canal de conduction. Pour réduire la résistance série de la diode JBS, l'étude du design des zones P est donc d'autant plus critique que le calibre en tension est faible.

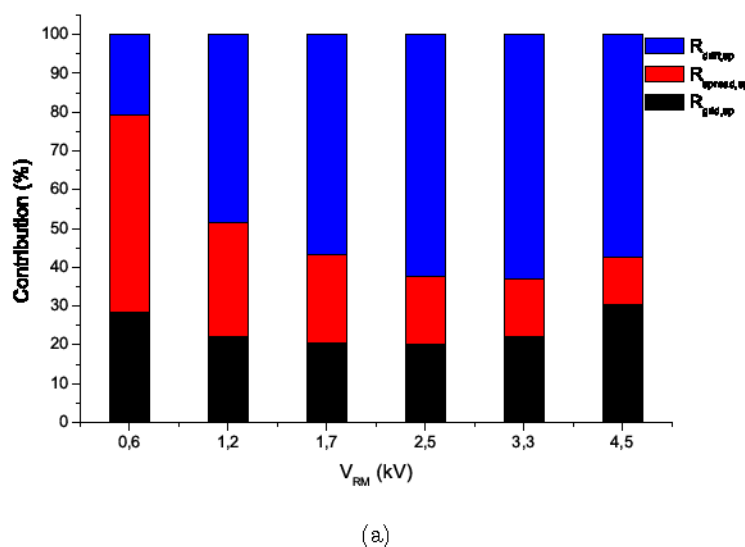


FIGURE 2.78 – Contributions des zones « grid », « spread » et « drift » à la résistance série de la diode JBS selon le calibre en tension avec prise en compte d'une ZCE uniforme autour des zones P.  $L_P = 3 \mu\text{m}$ ,  $L_S = 3 \mu\text{m}$ ,  $X_j = 0,3 \mu\text{m}$

### 2.3.2.4 Contribution de la résistance du substrat

Outre sa fonction de support mécanique, le substrat participe aussi à la conduction du courant dans les structures verticales. Typiquement, la résistivité et l'épaisseur des substrats de 4H-SiC fortement dopés de type N sont, respectivement, de l'ordre de  $10 \text{ m}\Omega\cdot\text{cm}$  et  $350 \mu\text{m}$ . La figure 2.79 illustre la part du substrat dans la résistance totale de l'empilement (couche active et substrat).

La part du substrat dans la résistance totale de la diode augmente avec le dopage de l'épithaxie et diminue avec son épaisseur. Pour des spécifications de couches actives adaptées à des  $V_{RM}$  de 600 à 1200 V, cette part représente plus de 25 % si l'on considère une épaisseur de substrat de  $350 \mu\text{m}$ . Il est à noter que l'augmentation du diamètre des plaquettes s'accompagne souvent de celle de l'épaisseur. Ainsi, cette épaisseur pourrait atteindre  $500 \mu\text{m}$  pour un diamètre de substrat supérieur à 150 mm. Pour les calibres en tension cités ci-dessus, la résistance du substrat peut alors représenter plus de 30 % de la résistance totale de l'empilement. La contribution du substrat dans la résistance totale est donc vouée à s'accroître avec le développement de la taille des plaquettes dans les années à venir. Plusieurs voies peuvent être envisagées pour réduire la résistance du substrat telles que la diminution de la résistivité et/ou de l'épaisseur du substrat. Concernant la première solution, le dopage N du substrat est conditionné par l'incorporation d'azote durant la croissance. Or, un niveau de dopage supérieur à  $2 \times 10^{19} \text{ cm}^{-3}$  dans le substrat favorise la formation de fautes d'empilements après traitement thermique supérieur à  $1000^\circ\text{C}$  [196].

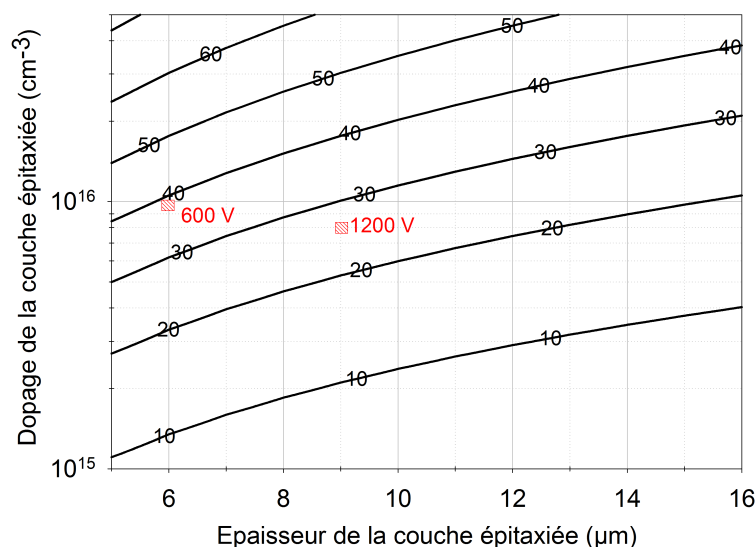


FIGURE 2.79 – Contribution (en %) de la résistance d’un substrat de 350  $\mu\text{m}$  d’épaisseur dans la résistance totale de l’empilement en fonction de l’épaisseur et du dopage de la couche active.

De ce fait, le dopage actuel des substrats de type N est volontairement inférieur à cette limite. L’amincissement des substrats semble donc aujourd’hui la seule voie viable pour diminuer leur résistance. Toutefois, il est préférable d’accomplir cette tâche en fin de fabrication des dispositifs afin de limiter tout risque de casse de la plaquette liée à la fragilité mécanique induite par la réduction de l’épaisseur du substrat. Il se pose alors le problème de la formation du contact ohmique en face arrière à ce niveau de la chaîne de fabrication. En effet, à l’heure actuelle, un recuit de contact à une température supérieure à 900°C est nécessaire pour la formation de ce contact. Ce budget thermique peut dégrader les propriétés de certains niveaux technologiques réalisés au préalable en face avant tel que le contact Schottky.

Les solutions potentielles pour s’affranchir de cette dégradation ou la limiter sont :

- trouver une métallisation adéquate permettant d’obtenir un contact ohmique après un recuit à basse température ( $< 900^\circ\text{C}$ ),
- utiliser une technique de recuit localisé tel que le traitement par faisceau laser [197].

Une autre alternative est le recours à un contact Schottky dont les propriétés électriques restent satisfaisantes après un recuit à haute température ( $> 800^\circ\text{C}$ ).

### 2.3.3 Structure JBS à base de tranchées implantées : « Trenched and Implanted JBS » (TI-JBS)

Une autre voie de réduction de la résistance série de la diode JBS est une diminution de la résistivité de la couche de dérivation. Dans le cas de la diode Schottky, le dopage de la couche

de dérives va conditionner l'intensité du champ électrique sous le contact Schottky et, par conséquent, le niveau de courant de fuite. Le niveau de dopage est donc souvent limité pour conserver un niveau de courant de fuite raisonnable. Grâce aux jonctions PN sous le contact Schottky dans la diode JBS, le blindage vis-à-vis du champ électrique autorise l'utilisation d'un dopage plus important de la couche de dérives. Une nouvelle structure JBS est présentée dans la partie suivante visant à explorer cette solution dans le but de réduire la résistance série de la diode.

### 2.3.3.1 Présentation de la structure

Nous avons vu que l'efficacité de la protection du contact Schottky de la diode JBS vis-à-vis du champ électrique croissait avec la profondeur de jonction implantée des zones  $P^+$ . Du point de vue technologique, des profondeurs de jonction supérieures à  $1\ \mu\text{m}$  sont difficilement réalisables à partir d'implanteurs industriels. Une solution alternative visant à obtenir une jonction profonde sous le contact Schottky consiste à réaliser une implantation dans une tranchée réalisée par gravure sèche (figure 2.80). La structure est alors semblable à un TI-JFET (figure 1.25) dont la grille est connectée à la source.

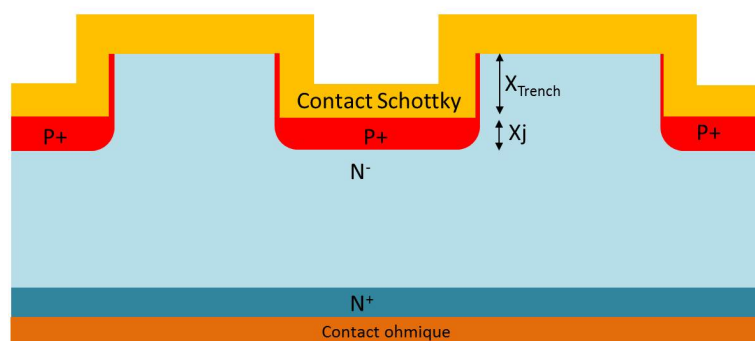


FIGURE 2.80 – Structure JBS à base de tranchées implantées.

Du point de vue de sa fabrication, cette structure ne requiert aucune étape de photolithographie supplémentaire par rapport à une structure planar puisque le masque de gravure peut être conservé pour localiser l'implantation. Nous verrons plus en détails les étapes de fabrication de cette structure dans le chapitre 4. L'étude qui suit présente le comportement en régime bloqué de cette structure en fonction de la profondeur de la tranchée, comparé à la structure JBS planar.

### 2.3.3.2 Champ électrique et profondeur des tranchées

La cellule élémentaire de la diode JBS à base de tranchées implantées est présentée sur la figure 2.81. L'épaisseur de la couche de dérives entre le fond de la tranchée et le substrat

$N^+$  a été fixée à  $10\ \mu\text{m}$  pour l'étude. Le dopage  $N^-$  a été fixé à  $1 \times 10^{16}\ \text{cm}^{-3}$ . La largeur des caissons P est de  $3\ \mu\text{m}$ , la profondeur d'implantation est celle du profil d'implantation P2 présenté au paragraphe 2.3.1.5.

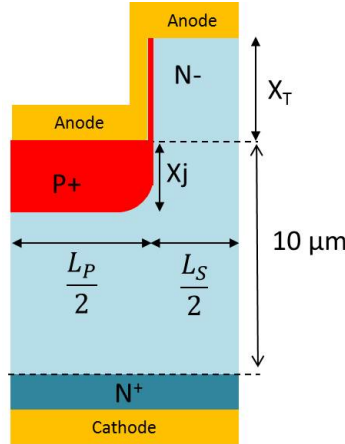


FIGURE 2.81 – Cellule élémentaire de la structure JBS à base de tranchées implantées.

Lorsque la profondeur de tranchée  $X_{\text{Trench}}$  est nulle, la configuration de la diode TI-JBS est celle étudiée précédemment, on la qualifiera de « planar ». Dans la suite, le champ électrique sous l'anode d'une pure diode Schottky est pris comme référence pour évaluer l'efficacité du concept TI-JBS. L'influence de l'espace entre les caissons P sur la tenue en tension (figure 2.82) et la réduction du champ électrique à  $V_R = 1200\text{V}$  sous le contact Schottky (figure 2.83) ont été étudiées pour différentes profondeurs de tranchées. Pour une profondeur de tranchée donnée, la tenue en tension de la diode JBS diminue avec l'augmentation de l'espace entre les zones P due à l'effet de plus en plus important de la courbure de la jonction. Cet effet s'amplifie avec l'augmentation de la profondeur de la tranchée. L'effet de la pointe de la jonction favorisant l'accroissement du champ électrique, celui-ci est d'autant plus important que l'est la profondeur de jonction. Le claquage de la diode se fera alors préférentiellement au niveau de la zone active et non plus à la périphérie. Dans ce cas, une protection de la périphérie n'aura aucun intérêt pour retarder le claquage.

En ce qui concerne le champ électrique sous le contact Schottky (figure 2.83), son intensité comparée à celle dans une pure diode Schottky est fortement réduite avec l'augmentation de la profondeur de la tranchée. En tenant compte de la réduction de la tenue en tension, la structure JBS à base de tranchées est donc intéressante uniquement pour des espaces entre les zones P suffisamment faibles pour que l'auto-blindage puisse s'opérer à faible tension.

Concernant les performances en conduction de cette structure, il est évident que la présence des tranchées va fortement augmenter la longueur du canal de conduction entre les zones P de la diode JBS (augmentation de l'épaisseur de la zone « grid ») (figure 2.72).

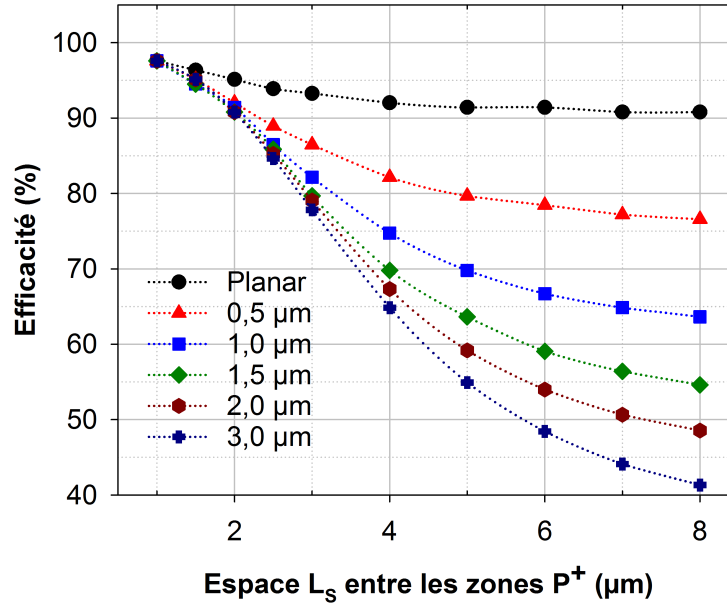


FIGURE 2.82 – Influence de l'espacement entre les zones  $P^+$  sur la tenue en tension de la diode pour différentes profondeurs de tranchée.

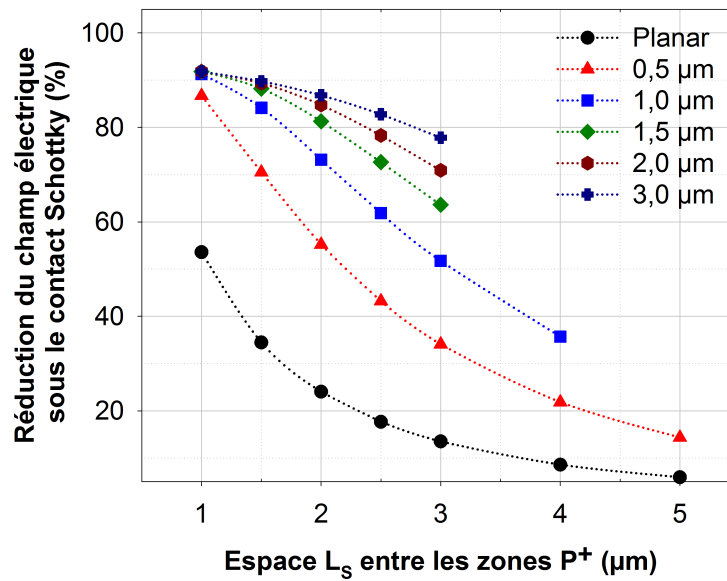


FIGURE 2.83 – Influence de l'espacement entre les zones  $P^+$  sur le champ électrique sous le contact Schottky, à  $V_R = 1200V$  (b) pour différentes profondeurs de tranchée.



Pour une couche de dérivation et un design donnés, la résistance série d'une structure JBS à base de tranchées sera alors supérieure à celle d'une diode JBS planar.

### 2.3.3.3 Compromis champ électrique - résistance série

Par la protection renforcée du contact Schottky vis-à-vis du champ électrique, la structure JBS à base de tranchées autorise le recours à un dopage de la couche de dérivation plus important afin de réduire la résistance série tout en conservant un niveau de champ électrique sous le contact Schottky équivalent à une structure planar. Dans le cas d'une spécification de couche de dérivation pour des applications 600 V (épaisseur fixée à 6  $\mu\text{m}$ ), la figure 2.84 illustre en fonction de l'espace entre les régions P l'effet du dopage de la couche sur la résistance série et le champ électrique. Les profondeurs de jonction et de tranchée ont été fixées respectivement à 0,3 et 0,5  $\mu\text{m}$ . La largeur  $L_P$  du caisson P est fixée à 3  $\mu\text{m}$  pour minimiser l'effet de pointe en courbure de jonction (figure 2.69-a).

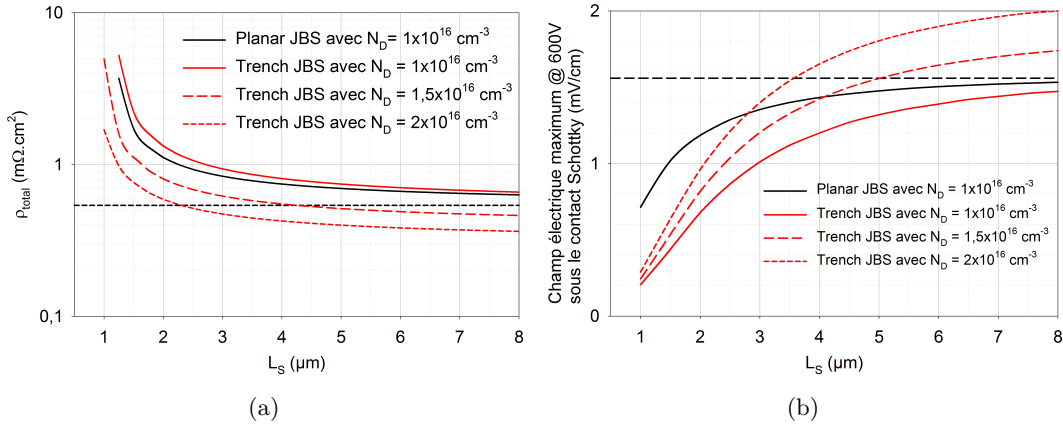


FIGURE 2.84 – Résistance série et champ électrique maximum sous le contact Schottky à 600 V pour différents espaces entre les caissons P et différents types de structures (planar ou TI) et dopages de la couche de dérivation. La limite noire en pointillé représente en référence les caractéristiques de la diode Schottky avec  $N_D = 1 \times 10^{16} \text{ cm}^{-3}$ .

Pour un dopage standard de  $1 \times 10^{16} \text{ cm}^{-3}$  et un espace  $L_s$  entre les régions P donné, la structure à base de tranchées bénéficie d'une réduction plus importante du champ électrique sous le contact Schottky par rapport à une configuration planar. A contrario, compte tenu du volume plus important occupé par les tranchées, la résistance série de la diode JBS à tranchée est supérieure à celle de la structure planar. Néanmoins, une augmentation du dopage de la couche de dérivation permet de compenser la réduction du volume de conduction. Pour un espace donné entre les zones P, la structure en tranchées élaborée sur une couche active plus dopée présente donc une résistance série inférieure à une structure planar avec un dopage de base à  $1 \times 10^{16} \text{ cm}^{-3}$ . Au niveau du champ électrique

maximum à  $V_R = 600$  V sous le contact Schottky, l'augmentation du dopage de la couche de dérivation entraîne une réduction de la protection par auto-blindage de la structure à base de tranchées due à l'augmentation du champ électrique. Un point d'intersection des courbes est observé à partir duquel le champ électrique sous le contact Schottky dans la structure TI-JBS devient supérieur à celui dans la structure planar. Ce point correspond à un espace critique entre les zones P à partir duquel le champ électrique sous le contact Schottky de la diode JBS à base de tranchées devient supérieur à celui de la diode JBS planar. Cet espace critique diminue quand le dopage de la couche de dérivation augmente. Comme il a été vu précédemment au paragraphe 2.3.3.2, pour une tenue en tension donnée, plus la profondeur de tranchée est importante, plus l'espace entre les zones P doit être faible. Dans le cas présenté ci-dessus, le compromis courant de fuite - résistance série d'une structure à base de tranchées est meilleur que celui d'une structure planar à condition que l'espace entre les régions de type P soit inférieur à  $4\text{ }\mu\text{m}$  et que le dopage de la couche de dérivation soit supérieur d'un facteur 1,5.

## 2.4 Conclusion

La notion de compromis s'est révélée être particulièrement présente dans le design de la diode JBS. Au niveau du dimensionnement de la couche de dérivation, ses caractéristiques en termes de dopage et d'épaisseur vont conditionner la tenue en tension du composant en régime bloqué mais aussi sa résistance à l'état passant. À partir d'une étude par simulation numérique, la tension de claquage en fonction du couple dopage - épaisseur de la couche de dérivation a été déterminée. Pour une tension de claquage donnée, une structure « Punch-Through » permet de bénéficier d'une couche de dérivation plus fine et plus dopée qu'une structure dite « Non Punch-Through ». Un modèle empirique de dimensionnement de la couche de dérivation en configuration « Punch-Through » a été proposé pour bénéficier du meilleur compromis entre tenue en tension en régime bloqué et résistance série à l'état passant. Cette faible résistance de la couche de dérivation contribuera ainsi à réduire la résistance à l'état passant de la diode. Dans le cas de diodes fonctionnant en régime d'injection de porteurs minoritaires, les faibles épaisseurs mises en jeu contribueront à minimiser le temps d'élimination de la charge stockée lors des phases de commutation. Néanmoins, le dimensionnement de la couche de dérivation selon la tension inverse nominale de la diode doit aussi tenir compte des contraintes technologiques telles que les variations d'épaisseur et de dopage à l'échelle de la plaquette mais aussi l'efficacité de la protection périphérique du composant. À l'échelle de la conception, une attention particulière a donc été portée à l'optimisation d'une technique de garde adaptée à la diode JBS. La terminaison par JTE, en complément d'un anneau de garde fortement dopé, a été retenue comme élément de base de la protection périphérique. Toutefois, la sensibilité de la tenue en tension d'une protection par une simple JTE vis-à-vis de la dose de dopants à incorporer est

problématique dans le SiC où l'activation des impuretés implantées peut être incomplète. L'ajout d'anneaux de garde fortement dopés dans la JTE, et pouvant être réalisés en même temps que la jonction principale, a néanmoins permis de réduire fortement cette sensibilité lorsque la dose de la JTE est faible, c'est-à-dire lorsque celle-ci est complètement désertée à faible tension. En effet, dans ce cas, ces anneaux assurent la distribution du potentiel et, par conséquent, retardent le claquage du composant. Enfin, l'accroissement important du champ électrique au niveau de la courbure de la JTE à son extrémité induit un champ surfacique pouvant notamment provoquer une rupture du matériau diélectrique utilisé pour la passivation. L'intensité de ce champ a pu être réduite par l'ajout d'anneaux JTE au-delà de la poche JTE principale. En résumé, une protection périphérique, avec une efficacité supérieure à 90 % et dont la sensibilité vis-à-vis des incertitudes technologiques (ratio d'activation des impuretés implantées, charges fixes à l'interface entre le matériau diélectrique et SiC, résolution photolithographique, ...) a pu être réduite, a été étudiée par simulation par éléments finis et sera développée expérimentalement. Au niveau de l'anode de la diode JBS, le design des zones de type P sous le contact Schottky conditionne les performances de la diode JBS en termes de niveau de courant de fuite en régime bloqué et de résistance série à l'état passant. Ce design, en termes d'espace entre les zones P, de largeur et de profondeur de jonction dépend du calibre en tension et en courant de la diode JBS. Le principal paramètre d'ajustement de ce compromis courant de fuite - résistance série est l'espace entre les zones P sous le contact Schottky. La largeur des zones P doit être minimisée autant que possible pour limiter la réduction du canal de conduction. Une étude expérimentale de la géométrie de la diode JBS sera conduite et présentée dans le chapitre 4. Enfin, la profondeur de jonction a un effet non négligeable sur la réduction du champ électrique sous le contact Schottky. Dans notre cas, la profondeur de jonction est, en première approximation, conditionnée par celle de l'implantation des dopants, elle est donc limitée par la tension d'accélération fournie par l'implanteur. Une structure JBS à base de tranchées semble donc une alternative intéressante pour obtenir des jonctions profondes sans avoir recours à des énergies d'implantation difficilement compatibles avec un procédé industriel. La protection du contact Schottky vis-à-vis du champ électrique dans une structure à base de tranchées peut ainsi être significativement améliorée par rapport à une structure planar. L'augmentation de la résistance série induite par celle de la profondeur des zones P est compensé par un dopage plus élevé de la couche de dérive par rapport à une structure planar. Le compromis des performances électriques en direct et en inverse offert par la diode TI-JBS est supérieur à celui de la diode JBS. Ce concept de structure à base de tranchées sera étudié expérimentalement pour des tensions inverses de 600 V et fera l'objet du chapitre 4.



## Chapitre 3

# Optimisation de briques technologiques

La fabrication de diodes JBS sur 4H-SiC requiert la maîtrise de plusieurs briques technologiques. Au niveau de l'anode, les principales étapes technologiques sont le dopage localisé de type p par implantation ionique, la formation de contacts faiblement résistifs sur les zones P et Schottky sur les régions faiblement dopées de type n. Dans le cas de la structure JBS à base de tranchées, et pour le développement de périphérie dite *mesa*, une gravure anisotrope du SiC est primordiale. Ces différentes briques technologiques seront étudiées au cours de ce chapitre.

Dans un premier temps, l'étude de la gravure sèche du SiC sous forme d'un plan d'expériences sera présentée en se focalisant sur la forme du pied de gravure, qui peut être problématique pour la tenue en tension du dispositif, comme nous le verrons. Présentée comme une alternative à la gravure sèche pour la réalisation d'une protection périphérique, la gravure électrochimique du SiC sera également étudiée. Différentes morphologies de SiC poreux sont possibles en fonction des conditions de gravure et les résultats de caractérisation électriques seront présentés afin de mettre en évidence les propriétés électriques du SiC poreux. Au niveau des briques technologiques concernant l'anode de la diode JBS, la résistivité des zones p et la résistance de contact sur ces zones vont conditionner le mécanisme d'injection des porteurs minoritaires de la diode JBS. Les travaux précédents menés au laboratoire lors des travaux de thèse de Xi Song avaient mis en évidence la nécessité de maximiser la température de recuit post-implantation pour réduire la résistivité de la couche implantée en Al et, par conséquent, la résistance spécifique de contact sur ces zones. Toutefois, même si une implantation en température s'est avérée être indispensable dans le cas de l'implantation d'Al, la température d'implantation optimale n'avait pas pu être clairement déterminée. Dans ce chapitre, nous essaierons d'apporter des informations complémentaires pour orienter le choix de la température d'implantation.

La résistance spécifique de contact obtenu sur les zones de type p avec la métallisation du contact Schottky de la diode JBS n'est pas suffisamment faible pour favoriser l'injection de porteurs minoritaires. Une métallisation adéquate et un traitement thermique spécifique de celle-ci, sur les zones de type p, doivent être ainsi déterminés pour réduire cette résistance spécifique de contact. Une attention particulière sera portée à la compatibilité de la formation du contact avec la fabrication de la diode JBS. Enfin, l'optimisation du contact Schottky sera étudiée en vue d'améliorer la stabilité thermique de ce dernier. Des métaux réfractaires tels que le tungstène et le molybdène seront étudiés pour pallier les limitations du titane couramment employé aujourd'hui pour la réalisation du contact Schottky.

La majeure partie du travail expérimental présentée dans ce chapitre a été réalisée au sein de la plate-forme collaborative CERTeM<sup>1</sup> située dans les locaux de STMicroelectronics à Tours.

### 3.1 Gravure sèche du SiC

La gravure du SiC est nécessaire à la structuration de l'anode de la JBS à base de tranchées ainsi que pour la réalisation d'une périphérie mesa. Du fait de la forte énergie de la liaison Si-C, la structuration du SiC par voie humide requiert l'utilisation de sels fondus, généralement de KOH, à haute température (supérieure à 500°C). Dans ces conditions, il est difficile de trouver un matériau pouvant être utilisé comme masque de gravure. C'est pourquoi la gravure du SiC est exclusivement effectuée par voie sèche, notamment par des techniques à base de plasmas réactifs. Cette partie a pour but de présenter l'état de l'art de la gravure plasma du SiC afin de mettre en regard les différents types de réacteurs et chimies utilisés. Ensuite, l'étude de la gravure du SiC sous forme d'un plan d'expériences sera présentée pour évaluer l'influence des différents paramètres du procédé sur la vitesse de gravure et le phénomène de « trenching ».

#### 3.1.1 Etat de l'art

##### 3.1.1.1 Principe de la gravure plasma

Dans l'industrie de la microélectronique et des microsystèmes, la gravure sèche est largement employée pour la structuration de différents matériaux. Son principe repose sur l'interaction entre le matériau à graver et un plasma. Les plasmas utilisés en microélectronique sont obtenus à partir de l'ionisation d'un gaz à basse pression soumis à un champ électromagnétique intense. Les électrons libres présents dans le gaz à basse pression sont accélérés par le champ électrique appliqué. Au cours de leur mouvement,

---

1. Centre d'Etudes et de Recherches Technologiques en Microélectronique - <http://certem.univ-tours.fr/>

ils entrent en collision avec les autres composants du gaz, entraînant leur excitation, leur dissociation et leur ionisation. Le plasma est alors constitué d'électrons, d'ions, de molécules, d'atomes excités et de neutres. L'efficacité de la gravure plasma repose alors sur la synergie de deux mécanismes de gravure :

- physique, par bombardement ionique de la surface entraînant la rupture des liaisons atomiques,
- chimique, dû à la présence de radicaux créés dans le plasma qui s'adsorbent et réagissent avec le matériau pour former des espèces volatiles.

Par sa nature physico-chimique, ce type de gravure est souvent qualifié de « ionique réactive » ou, en anglais, *Reactive Ion Etching* (RIE). Du fait de l'inertie chimique du SiC, la gravure par plasma réactif s'est rapidement imposée pour sa structuration. Nous verrons que la configuration du réacteur de gravure et la chimie de plasma utilisée pour la gravure du SiC influencent fortement les caractéristiques de la gravure.

### 3.1.1.2 Types de réacteur

Cette partie n'a pas pour but de présenter de manière exhaustive tous les types de réacteurs de gravure par plasma mais de différencier les caractéristiques des deux configurations de réacteur les plus rencontrées dans la littérature pour la gravure du SiC :

- les réacteurs radiofréquences à couplage capacitif (CCP)
- les réacteurs radiofréquences à couplage inductif (ICP)

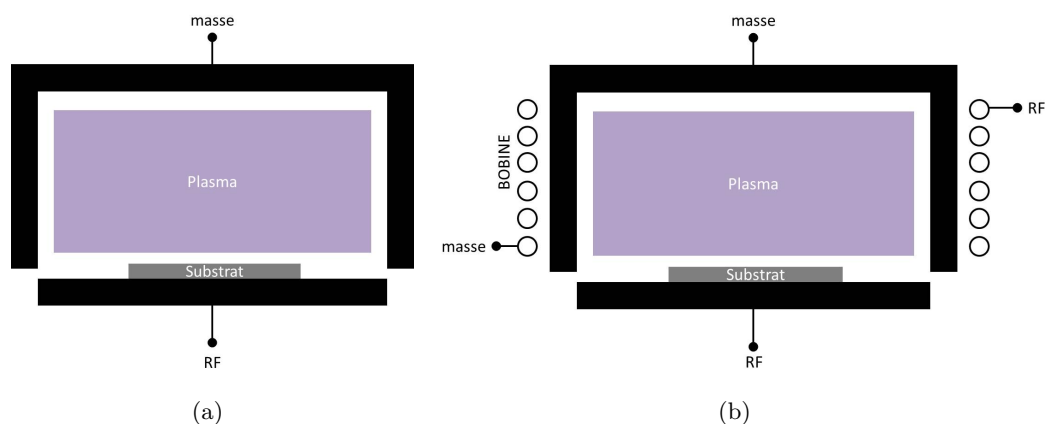


FIGURE 3.1 – Schéma de réacteurs radiofréquences de type CCP (a) et ICP (b)

Pour créer et maintenir un plasma, une énergie doit être apportée au gaz initial et aux constituants du plasma, une fois créé. Dans le cas des réacteurs plasmas utilisés en micro-électronique, cette énergie est généralement transférée via le couplage d'un champ électromagnétique avec les constituants du plasma. Outre les aspects géométriques et les fréquences d'excitation, on distingue alors généralement les différents types de réacteurs de

gravure par le type de couplage du champ électromagnétique mis en jeu. Historiquement, les réacteurs à couplage capacitif (figure 3.1-a), *Capacitively Coupled Plasma* (CCP), ont été les premiers systèmes utilisés pour la gravure plasma. Ils sont constitués de deux électrodes planes et parallèles entre elles. Un champ électrique oscillant est appliqué entre celles-ci à partir d'une tension radiofréquence (RF), de fréquence supérieure à la fréquence plasma des ions. En d'autres termes, cela signifie que les ions ne sont pas soumis aux oscillations du champ électrique, en raison de leur différence de masse avec les électrons, et sont donc considérés comme immobiles.

Loin des parois, le plasma, milieu conducteur, est globalement neutre et le champ électrique résiduel est très faible. Les électrons, très mobiles, s'accumulent sur les parois des réacteurs, chargeant celles-ci à un potentiel négatif de sorte que le voisinage immédiat de celles-ci est une zone chargée positivement. Ainsi la périphérie des plasmas confinés, appelée gaine, est une zone non neutre où l'essentiel du champ électrique se trouve localisé. Dans un réacteur, le champ électrique présent dans les gaines accélère les ions positifs vers les parois et repousse partiellement les électrons vers le coeur du plasma. Les gaines constituent le premier atout des plasmas pour le traitement des matériaux : les ions positifs acquièrent de l'énergie cinétique dans la gaine et bombardent la surface à traiter, déposée sur une des parois du réacteur. La présence d'espèces réactives dans le plasma va conditionner le mécanisme chimique de la gravure plasma. La densité du plasma, généralement de l'ordre de  $10^9$  à  $10^{11}$  cm<sup>-3</sup>, est aussi contrôlée par la puissance appliquée sur les électrodes. Le défaut de ce type de réacteur est donc que l'énergie des ions et la densité du plasma sont directement liées à la puissance RF fournie pour créer le plasma. Il est donc impossible de contrôler indépendamment les différents mécanismes, chimique et physique, de la gravure.

Les réacteurs à polarisation séparée de la source plasma ont vu le jour pour pallier cette limitation et offrir, ainsi, la possibilité d'ajuster la densité du plasma et l'énergie des ions de manière indépendante. A cet effet, deux générateurs sont utilisés, un pour la formation du plasma et l'autre pour polariser le substrat. A l'échelle de la fabrication industrielle, le réacteur radiofréquence à couplage inductif (figure 3.1-b) s'est largement imposé de nos jours. Ce réacteur est équivalent à un système CCP auquel a été ajouté une antenne enroulée autour d'un tube isolant. La circulation d'un courant RF dans l'antenne induit un flux magnétique variable dans la chambre, induisant à son tour un champ électrique RF azimutal dans le plasma. Soumis aux variations du champ électrique, les électrons ayant acquis de l'énergie permettent de dissocier des molécules du gaz par collision et ainsi de créer des radicaux très réactifs. La densité du plasma est donc conditionnée par la puissance RF appliquée à l'antenne. L'énergie incidente des ions bombardant le substrat à graver sera, quant à elle, assurée par la puissance RF appliquée sur l'électrode. Cette configuration présente donc l'avantage de pouvoir contrôler indépendamment les mécanismes physiques et chimiques de la gravure. Cette spécificité du système ICP permet potentiellement de



graver des matériaux à grande vitesse et de façon directionnelle.

Dans le cas de la gravure du SiC, les systèmes ICP permettent d'atteindre des vitesses de gravure supérieures à 1  $\mu\text{m}/\text{min}$ . A titre de comparaison, les vitesses de gravure en configuration CCP excèdent rarement 500 nm/min. Bien entendu, au-delà de la configuration du système, la chimie du plasma va jouer un rôle majeur dans les performances de la gravure.

### 3.1.1.3 Chimie de gravure

Le choix de la chimie de gravure est principalement conditionné par l'interaction entre les espèces actives et le substrat. En d'autres termes, les gaz utilisés doivent fournir des espèces capables de réagir avec le matériau pour former des produits volatiles. Ainsi, les chimies fluorées ( $\text{SF}_6$ ,  $\text{CHF}_3$ ,  $\text{CF}_4$ ,  $\text{C}_2\text{F}_6$ ,  $\text{NF}_3$ ) se sont largement imposées pour la gravure du SiC grâce à la forte réactivité du fluor avec le silicium et le carbone pour former des espèces volatiles de type  $\text{SiF}_x$  et  $\text{CF}_y$  [198]. Toutefois, le  $\text{SF}_6$  reste le gaz le plus utilisé, d'une part pour le nombre d'atomes de fluor qu'il est susceptible de fournir pour réagir avec le Si et, d'autre part, pour l'absence de carbone, élément susceptible de favoriser une polymérisation. Cette dernière peut avoir des effets plus ou moins néfastes sur la gravure, pouvant aller du micro-masquage jusqu'au blocage complet de la gravure du matériau si la formation de polymère est dominante sur la gravure.

Différents gaz ( $\text{O}_2$ ,  $\text{H}_2$ , Ar, He) peuvent être ajoutés à la chimie fluorée, dans le but de :

- favoriser l'élimination du carbone ( $\text{O}_2$  [199]),
- améliorer la dissociation et/ou l'ionisation des molécules fluorées ( $\text{O}_2$  [199], He [200]),
- augmenter la sélectivité de gravure ( $\text{O}_2$  [201]),
- limiter le dépôt de composés soufrés sur les parois de la chambre ( $\text{SF}_6/\text{O}_2$  [202]),
- améliorer l'état de la surface gravée ( $\text{H}_2$  [203], Ar [204]),
- accentuer la composante physique (bombardement) de la gravure (Ar [205]).

### 3.1.1.4 Masques de gravure

Les matériaux utilisés comme masque de gravure doivent répondre à plusieurs critères :

- permettre une sélectivité masque/SiC de gravure suffisante pour ne pas recourir à des épaisseurs de masque trop importantes, en particulier dans le cas de gravure profonde ( $> 5\mu\text{m}$ ),
- être inerte à la chimie du plasma de gravure (ou alors les produits de réaction doivent être suffisamment volatiles pour ne pas se re-déposer sur les surfaces gravées).

Ainsi, les principaux matériaux de masquage utilisés dans la littérature sont le nickel, l'aluminium et l'oxyde de silicium.

Le nickel reste le matériau par excellence utilisé comme masque pour la gravure profonde du SiC du fait de sa forte sélectivité ( $> 40$ ). Pour obtenir des épaisseurs jusqu'à une centaine de nanomètres, il peut être déposé par pulvérisation cathodique ou évaporation. Dans le cas de gravure très profonde, supérieure à 100  $\mu\text{m}$ , un dépôt électrolytique de nickel est souvent réalisé pour épaissir la couche au-delà du  $\mu\text{m}$  [206, 207].

L'aluminium est intéressant comme matériau de masquage puisqu'il est facilement gravé par voie sèche à partir d'un plasma chloré, contrairement au nickel qui est très difficile à graver par plasma. Il est alors possible de définir des motifs de faibles dimensions, difficilement réalisables par voie humide. Dans certaines conditions (fort pourcentage en  $\text{O}_2$  et faible puissance de la source ICP), la sélectivité de gravure SiC/Al peut être supérieure à 50. Cho *et al.* ont déterminé une sélectivité « infinie » lorsque le pourcentage d' $\text{O}_2$  est supérieur à 40 % du fait de la formation d'alumine,  $\text{Al}_2\text{O}_3$ , très sélectif à une chimie à base de  $\text{SF}_6$  [201]. Toutefois, lorsque le masque de gravure est pulvérisé par bombardement ionique, un phénomène de re-dépôt du matériau sur la surface gravée durant le procédé de gravure peut s'opérer. Cet effet néfaste se traduit par du micro-masquage de la surface gravée. De nombreux travaux s'accordent à dire que ce phénomène est plus prononcé dans le cas de l'utilisation d'Al que de Ni [206, 208].

L'utilisation de  $\text{SiO}_2$ , comme masque de gravure du SiC, est particulièrement intéressante pour graver le SiC en pente (figure 3.2). Il est possible de contrôler l'angle du profil de gravure ( $\Theta$ ) du SiC en jouant simultanément sur la sélectivité  $S$  de gravure SiC/ $\text{SiO}_2$  et l'angle de gravure du masque ( $\alpha$ ) tel que :

$$\tan(\Theta) = S \times \tan(\alpha) \quad (3.1)$$

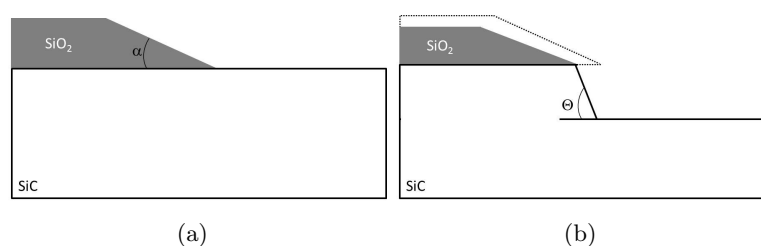


FIGURE 3.2 – Technique de gravure conduisant à un profil en pente. Avant (a) et après (b) gravure du SiC [209].

La gravure de  $\text{SiO}_2$  est classiquement effectuée par voie humide dans une solution tamponnée d'acide fluorhydrique, plus connue sous le nom de BOE (Buffered Oxide Etchant). Par cette méthode, la gravure du  $\text{SiO}_2$  est isotrope et la pente de gravure obtenue dépend généralement de la densité de l'oxyde. Si l'angle de gravure de l'oxyde est reproductible, le contrôle de la pente de gravure du SiC est conditionné essentiellement par la sélectivité de gravure SiC/ $\text{SiO}_2$ . Ainsi, si la sélectivité de la gravure est égale à 1, le

transfert exact de la pente du  $\text{SiO}_2$  a lieu dans le SiC. Lanois *et al.* ont démontré qu'il était possible de contrôler la pente de gravure du SiC de  $35^\circ$  à  $80^\circ$  par le biais de la sélectivité de gravure SiC/ $\text{SiO}_2$ , variant de 1 à 6,5 suivant les conditions de gravure [209]. Compte tenu de la sélectivité SiC/ $\text{SiO}_2$  relativement faible par rapport à SiC/Ni, notamment en configuration ICP, l'usage d'oxyde est donc réservé pour l'obtention de profondeurs de gravure limitées à quelques  $\mu\text{m}$ .

### 3.1.2 Etude de la gravure ICP du 4H-SiC

#### 3.1.2.1 Objectifs

Au niveau de la périphérie de la diode, la protection mesa permet, théoriquement, d'atteindre une tension de claquage proche de celle de la jonction plane parallèle infinie. En pratique, la présence de charges à l'interface  $\text{SiO}_2/\text{SiC}$  perturbe fortement la distribution des équipotentiels, induisant un claquage prématuré de la structure. En excluant les limitations provenant du matériau diélectrique, l'efficacité de la protection mesa sera d'autant plus importante que la gravure est profonde et verticale [163]. Toutefois, dans le cas de profils de gravure anisotropes, le phénomène de sur-gravure, appelé « trenching », est souvent rencontré au pied de gravure (figure 3.3).

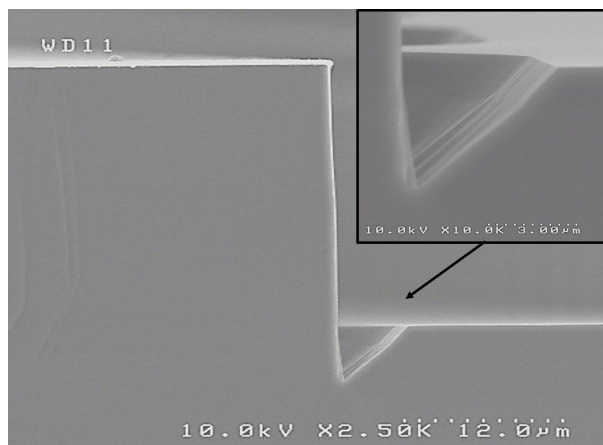


FIGURE 3.3 – Exemple de sur-gravure caractéristique du phénomène de « trenching » rencontré lors de la gravure du SiC.

Au niveau de l'anode de la diode JBS à base de tranchées, celles-ci vont être soumises à de forts champs électriques lorsque la diode sera en régime bloqué. La présence de « trenching » va favoriser l'effet de pointe de la jonction et, donc, l'accroissement du champ électrique pouvant conduire au claquage prématuré de la jonction. Au niveau d'une terminaison mesa, la présence de « trenching » n'est pas problématique si elle est située dans le substrat fortement dopé de type N du fait de l'absence de champ électrique dans cette région. Toutefois, au cours de la chaîne de fabrication, des résidus métalliques peuvent

être piégés au pied de gravure. En régime bloqué, le potentiel à l'anode peut ainsi être transféré au niveau du pied de gravure, induisant un champ électrique important dans le matériau diélectrique [163]. Cette zone sera alors le siège du claquage de la diode. Une attention particulière sera donc portée à la forme du pied de gravure.

### 3.1.2.2 Protocole expérimental

#### Préparation des échantillons.

L'étude de la gravure du SiC a été réalisée sur des échantillons provenant de substrats de 4H-SiC fortement dopé de la société TankeBlue. Avant définition du masque de gravure, la surface des échantillons a été nettoyée avec la séquence « RCA » (pour « Radio Corporation of America », nom de la société ayant développé cette séquence de nettoyage) pour éliminer les contaminations organiques et métalliques. Cette séquence de nettoyage consiste à un passage dans les bains suivants :

1. Caro's ( $\text{H}_2\text{SO}_4$  :  $\text{H}_2\text{O}_2$ ) pendant 10 minutes à  $110^\circ\text{C}$
2. HF (1%) pendant 1 minute
3. SC1 ( $\text{NH}_4\text{OH}$  :  $\text{H}_2\text{O}_2$  :  $\text{H}_2\text{O}$ ) pendant 10 minutes à  $80^\circ\text{C}$
4. SC2 ( $\text{HCl}$  :  $\text{H}_2\text{O}_2$  :  $\text{H}_2\text{O}$ ) pendant 10 minutes à  $80^\circ\text{C}$
5. HF (1%) pendant 1 minute

A noter qu'un rinçage à l'eau désionisée pendant 5 minutes est effectué entre chaque bain. Par la suite, le nettoyage RCA fera référence à cette séquence. Pour des raisons de sélectivité de gravure importante vis-à-vis de celle du SiC, le nickel a été sélectionné comme matériau de masquage. Son dépôt a été réalisé par pulvérisation cathodique et son épaisseur a été fixée à  $1\ \mu\text{m}$ . Pour améliorer l'adhérence du nickel, une couche de titane (10 nm) a été intercalée entre le SiC et le nickel. L'empilement métallique a ensuite été structuré par photolithographie suivie d'une gravure humide.

#### Bâti de gravure.

Le réacteur de gravure utilisé est un système ICP de la société Corial (modèle 200IL) dont le schéma est présenté sur la figure 3.4.

Il est composé de deux sources RF, une reliée à une antenne disposée autour d'une tube en quartz entourant la chambre, une autre reliée au porte-substrat. Les générateurs associés à l'antenne et au porte-substrat peuvent délivrer respectivement une puissance de 2 et 0,5 kW. Un système permet de mesurer la tension de polarisation, il est ainsi possible d'asservir la polarisation soit en puissance, soit en tension. Le porte-substrat permet un clampage mécanique de la plaquette à partir d'une couronne en quartz. Pour la gravure d'échantillons, ceux-ci doivent être collés sur une plaquette avant que celle-ci ne

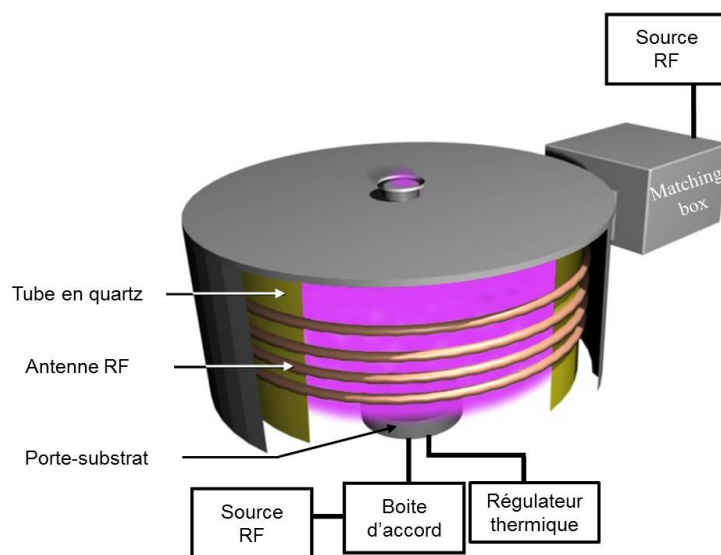


FIGURE 3.4 – Schéma du réacteur du système de gravure Corial 200 IL selon [210].

soit clampée sur le porte-substrat. Le vide dans l'enceinte du réacteur est assuré par une pompe turbomoléculaire et la pression (0,5 Pa minimum) est contrôlée par l'intermédiaire d'une vanne papillon. Enfin, le bâti est équipé d'un système de contrôle *in-situ* de la profondeur gravée par interférométrie laser.

Le lecteur pourra se référer à la thèse de Julien Ladroue pour une présentation plus détaillée du bâti de gravure Corial 200IL [210].

### Définition du plan d'expériences.

Afin de limiter le nombre d'essais tout en obtenant un maximum d'informations sur l'effet des paramètres appliqués, nous avons mis en place un plan d'expérience pour l'étude de la gravure du SiC. L'outil statistique utilisé, la mise en place du plan d'expérience, la méthode d'analyse du modèle obtenu ainsi que l'interprétation des résultats sont détaillés en annexe A de ce manuscrit.

Dans ce plan d'expériences, les paramètres de gravure que nous avons étudiées sont la puissance source, la puissance du porte-substrat et la pression de travail. La chimie du plasma utilisée est composée de  $\text{SF}_6$  uniquement. Les réponses du système que nous avons étudiées en fonction des différents paramètres de gravure sont :

- le « trenching », en %, défini comme le ratio entre la profondeur de surgravure  $e_T$  et l'épaisseur de couche gravée  $e_G$  (figure 3.5), l'épaisseur de SiC gravée lors des essais a été fixé à 20  $\mu\text{m}$ ,
- la vitesse de gravure du SiC,

- la tension d’auto-polarisation  $V_{\text{bias}}$ ,

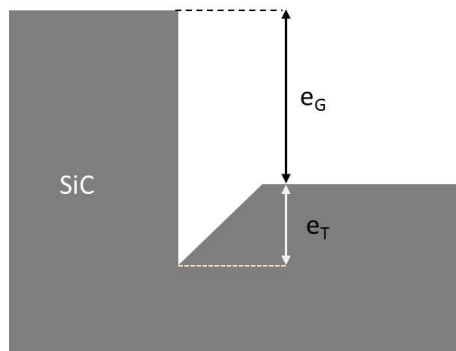


FIGURE 3.5 – Schéma d’une structure obtenue par gravure et présentant du « trenching ».

La profondeur de surgravure liée au phénomène de « trenching » a été mesurée par microscopie électronique à balayage (MEB). L’épaisseur de la couche gravée a été contrôlée en temps réel par mesure interférométrique in-situ pendant la gravure. Celle-ci a ensuite été vérifiée à l’aide d’un profilomètre mécanique. La vitesse de gravure moyenne a été calculée à partir de la mesure de l’épaisseur de la couche gravée et du temps de gravure associé. La tension d’auto-polarisation est relevée sur l’équipement de gravure et représente la composante continue du signal RF mesurée au niveau du générateur connecté au porte-substrat. Cette réponse a été utile pour évaluer les variations d’énergie cinétique des ions impactant le substrat.

Les différents essais réalisés dans le cadre de ce plan d’expériences sont résumés dans le tableau 3.1.

| Essai | Facteurs                     |                            |                     | Réponses                 |                   |                  |
|-------|------------------------------|----------------------------|---------------------|--------------------------|-------------------|------------------|
|       | $P_{\text{Substrat}}$<br>(W) | $P_{\text{Source}}$<br>(W) | Pression<br>(mTorr) | $V_{\text{bias}}$<br>(V) | $V_G$<br>(nm/min) | Trenching<br>(%) |
| 1     | 100                          | 600                        | 8                   | 200                      | 341               | 18,6             |
| 2     | 250                          | 600                        | 13                  | 416                      | 409               | 25,3             |
| 3     | 400                          | 600                        | 8                   | 533                      | 565               | 6,0              |
| 4     | 400                          | 600                        | 18                  | 619                      | 515               | 21,0             |
| 5     | 100                          | 1200                       | 13                  | 161                      | 480               | 12,0             |
| 6     | 250                          | 1200                       | 8                   | 280                      | 765               | 15,7             |
| 7     | 250                          | 1200                       | 18                  | 330                      | 895               | 22,7             |
| 8     | 400                          | 1200                       | 18                  | 452                      | 1129              | 20,4             |
| 9     | 100                          | 1800                       | 8                   | 74                       | 400               | 0,0              |
| 10    | 100                          | 1800                       | 18                  | 64                       | 422               | 5,7              |
| 11    | 250                          | 1800                       | 8                   | 180                      | 917               | 0,0              |
| 12    | 250                          | 1800                       | 13                  | 226                      | 1053              | 0,0              |
| 13    | 400                          | 1800                       | 8                   | 270                      | 1009              | 0,0              |
| 14    | 400                          | 1800                       | 13                  | 325                      | 1127              | 0,0              |
| 15    | 400                          | 1800                       | 18                  | 360                      | 1278              | 12,5             |

Tableau 3.1 – Valeurs des facteurs et des réponses correspondant aux différents essais.

D'après le tableau, nous avons constaté que le phénomène de « trenching » n'était pas observé lors de l'utilisation de forte puissance ICP (1800 W) et des pressions de travail inférieures à 18 mTorr. La partie qui suit a pour but de s'attacher à la compréhension de ce phénomène lors de la gravure du SiC.

### 3.1.2.3 Etude du phénomène de trenching

Le « trenching » décrit un profil de gravure induit par une vitesse de gravure au niveau du pied de la structure plus importante que celle au centre de la tranchée. Cela est causé par une modification de la trajectoire des ions aux abords des flancs de gravure, soit par effet électrostatique [211] soit par effet purement élastique [212, 213]. La figure 3.6 illustre ces deux effets dans la formation de « trenching ».

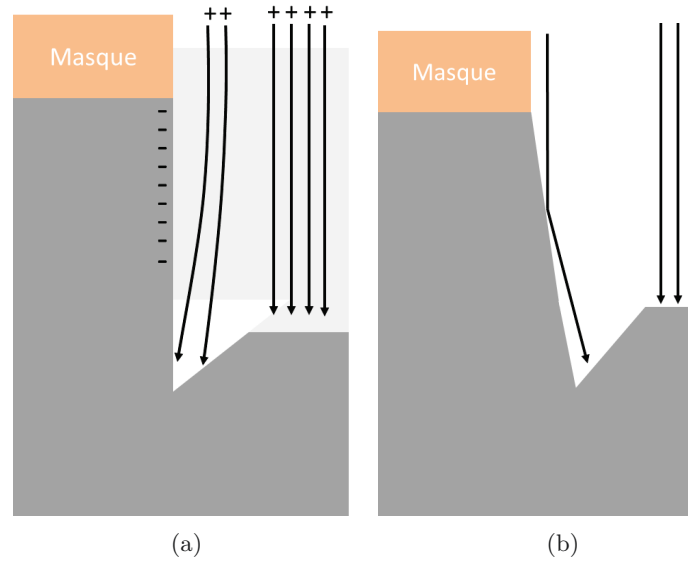


FIGURE 3.6 – Mécanisme de formation du trenching par effet électrostatique (a) ou élastique (b).

Dans le cas de gravure anisotrope, c'est-à-dire présentant un angle de gravure proche de  $90^\circ$ , le mécanisme de formation par effet électrostatique est principalement rencontré. L'accumulation d'électrons sur les flancs peut conduire à la formation d'une couche chargée négativement. Au voisinage des flancs, les ions chargés positivement sont alors déviés de leur trajectoire initiale. Dans le cas de l'utilisation de masque isolant tel que le  $\text{SiO}_2$ , un effet de charge peut être rencontré sur les flancs du masque.

Dans la littérature, peu d'études traitent du phénomène de « trenching » lors de la gravure du SiC en configuration ICP. L'étude la plus complète sur ce sujet a été réalisée par Beheim *et al.* [204]. Avec une puissance source de 2,5 kW, une puissance de polarisation du substrat de 200 W et un plasma de  $\text{SF}_6$ , ils ont montré que la profondeur de « trenching »

diminuait avec l'augmentation de la pression et de la température. Un point de procédé optimal a été déterminé à une pression de 25 mTorr et une température de 125°C. L'ajout d'Ar (40%) leur a permis de limiter l'effet de la pression sur le « trenching ». Plusieurs travaux ont confirmé que l'ajout d'oxygène favorisait le phénomène de « trenching » du fait de la formation d'une couche isolante ( $SiF_xO_y$ ) sur les flancs de gravure [199, 204, 214].

D'après le tableau 3.1, nous remarquons que le phénomène de « trenching » n'est pas présent dans les conditions de gravure combinant forte puissance source (1800 W) et faible pression ( $< 13$  mTorr). D'après le diagramme de Pareto présenté en annexe, la puissance source est le facteur le plus influent sur le phénomène de « trenching ». Une augmentation de celle-ci tend à diminuer le phénomène de « trenching ». A un degré moindre, la puissance RF appliquée au substrat a le même effet. Quant à la pression, son augmentation tend au contraire à favoriser le phénomène de « trenching ». Ce dernier point va à l'encontre des résultats obtenus par Beheim *et al.* [204].

La puissance source et la pression sont donc les facteurs prépondérants pour contrôler le phénomène de « trenching ». La figure 3.7 illustre deux cas de gravure où la puissance source est différente et la pression faible (8 mTorr). Dans le cas de faible puissance source (600W), la pente de gravure est verticale et une surgravure est présente au pied de gravure. Toutefois, l'absence de phénomène de « trenching », observée dans les conditions de forte puissance source (1800 W), est toujours liée à un angle de profil de gravure inférieur à 85°. De plus, dans ces conditions, nous observons systématiquement un profil ré-entrant en début de gravure, c'est-à-dire présentant un angle négatif.

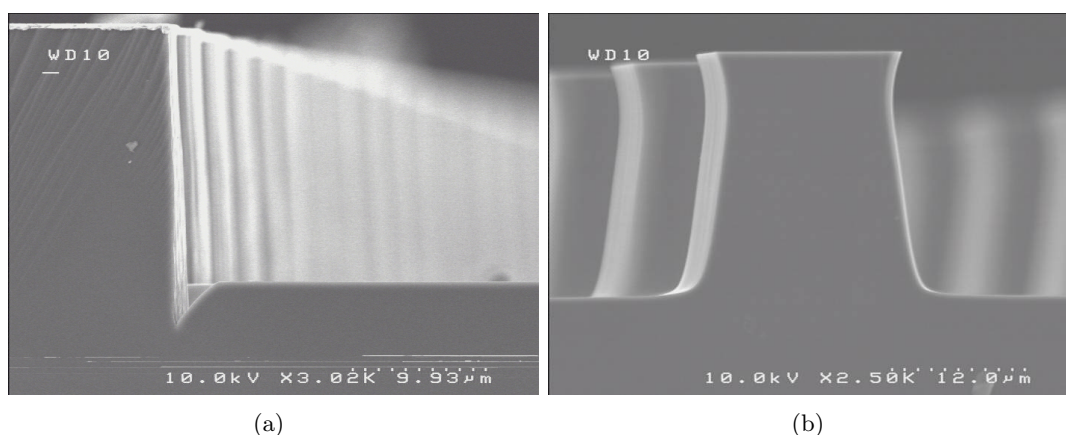


FIGURE 3.7 – Profil de gravure du SiC dans des conditions de faible (600W) (a) et forte puissance source (1800W) (b).  $P_{Substrat} = 100$  W et pression= 8 mTorr.

Pour expliquer cela, nous avons pris pour hypothèse que l'accroissement de la composante chimique de la gravure favorise la gravure du SiC sous le masque. Ainsi, le lieu d'impact des ions déviés de leur trajectoire par effet électrostatique au niveau des flancs se déplace progressivement sous le masque. Par conséquent, l'impact n'est plus



localisé au pied de gravure mais réparti sur les flancs. Concernant l'effet de la pression, la figure 3.8 montre le profil obtenu à forte puissance ICP et forte pression. On observe une gravure certes plus anisotrope mais avec la présence de « trenching ». Par la suite, il sera donc nécessaire de graver à forte puissance ICP et faible pression pour s'affranchir du « trenching ». Le choix de la puissance RF sera ajusté en fonction de la vitesse de gravure souhaitée. Plus elle sera forte, plus la vitesse de gravure sera importante.

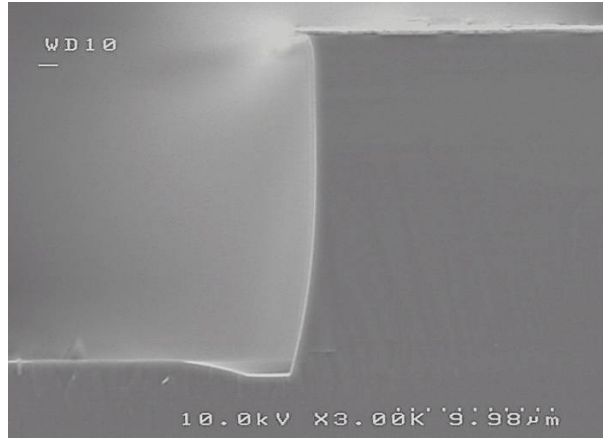


FIGURE 3.8 – Profil de gravure du SiC dans des conditions de forte puissance source et forte pression.  $P_{Substrat} = 100\text{ W}$ ,  $P_{Source} = 1800\text{ W}$  et pression =  $18\text{ mTorr}$ .

Dans le cas de la fabrication de la diode JBS, la réalisation de la gravure mesa ne peut s'effectuer qu'après celle des contacts sur les zones de type p. Dans le cas contraire, le recours à une résine épaisse nécessaire pour protéger à la fois le fond et les flancs de gravure est indispensable. Malheureusement, il est impossible d'obtenir de faibles dimensions photolithographiques avec de telles résines. L'idée est donc d'effectuer la gravure après la réalisation des contacts sur les zones de type p. Or, après formation des contacts, une couche épaisse de  $\text{SiO}_2$  reste présente pour les étapes suivantes de la fabrication. Nous avons donc effectué une vérification du profil de gravure en présence d'une couche de  $\text{SiO}_2$  entre le nickel et le SiC, comme le montre la figure 3.9.

A faible puissance sur le porte-substrat (100W), le profil de gravure est exempt de « trenching » et une gravure latérale sous le masque est mise en évidence, comme le montre la figure 3.9-a. On observe que la couche de  $\text{SiO}_2$  présente un angle de gravure négatif, conformément à ce que l'on avait observé précédemment. En augmentant la puissance du porte-substrat à 250W, l'anisotropie de la gravure est plus importante et la gravure latérale sous le masque est réduite (figure 3.9-b). Toutefois, on note la présence de « trenching » qui n'était pourtant pas observée dans les mêmes conditions de gravure en absence de couche de  $\text{SiO}_2$ . Cette couche isolante semble favoriser la déviation des ions au niveau des flancs et accentue donc la sur-gravure au pied du profil. Le mécanisme de formation de « trenching » par effet électrostatique semble donc confirmé.

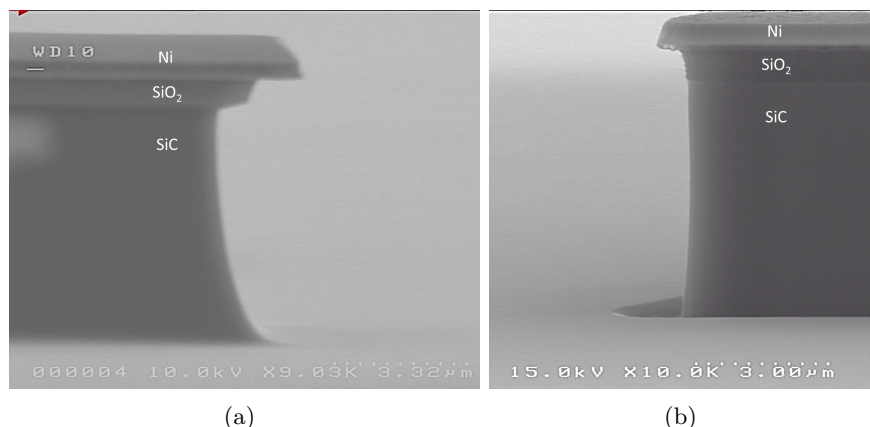


FIGURE 3.9 – Profils de gravure du SiC en présence d’une couche de  $\text{SiO}_2$  entre Ni et SiC avec une puissance sur le porte-substrat de 100W (a) et 250W (b) dans les conditions suivantes :  $P_{\text{Source}} = 1800 \text{ W}$  et pression = 8 mTorr.

Finalement, nous avons à disposition plusieurs points de procédé permettant de s’affranchir du phénomène de « trenching » selon la présence ou non d’une couche de  $\text{SiO}_2$  entre Ni et SiC. Dans tous les cas, la pression devra être minimale, c’est-à-dire fixée à 8 mTorr, et la puissance source supérieure à 1600W. En présence de  $\text{SiO}_2$ , la puissance sur le porte-substrat ne devra excéder 100W.

### 3.1.3 Conclusions et perspectives

Par le biais d’un plan d’expériences, cette étude de la gravure sèche du SiC nous a permis de mettre en évidence l’influence des différents paramètres du procédé sur la gravure du SiC en termes de vitesse de gravure et de « trenching ». Concernant la vitesse de gravure, même si le modèle manque de précision sur l’estimation exacte de la vitesse de gravure, nous pouvons raisonnablement penser que les tendances obtenues avec ce plan d’expériences sont correctes. L’objectif principal de cette étude a été atteint puisque plusieurs points de procédé ont pu être déterminés en vue de s’affranchir de la présence de « trenching ». Toutefois, en perspectives, plusieurs points doivent être approfondis comme :

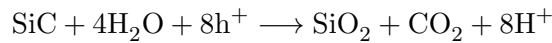
- évaluer la qualité de la surface gravée du point de vue électrique.
- améliorer l’anisotropie de la gravure dans le cas de profils ne présentant pas de « trenching ».

## 3.2 Gravure électrochimique du SiC

Une protection périphérique par gravure mesa implique des passages de marche importants lors des étapes de fabrication des dispositifs. Une alternative intéressante à la gravure sèche pour la réalisation d'une protection périphérique par mesa est la porosification du SiC par gravure électrochimique [189, 215]. D'une part, cette technique permet de conserver une surface plane, facilitant notamment les étapes de photolithographie. D'autre part, il est possible de modifier fortement les propriétés électriques du SiC gravé. Cette partie a pour but de définir les principes de la gravure électrochimique du SiC et de présenter des résultats préliminaires obtenus sur les propriétés physiques et électriques du SiC poreux en vue d'une intégration future comme élément de protection périphérique. Il s'agit d'une étude complémentaire et innovante liée à la présence au sein du GREMAN d'une groupe de recherche travaillant sur les semiconducteurs poreux.

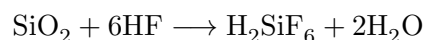
### 3.2.1 Principe de la gravure électrochimique du SiC

La gravure électrochimique du SiC repose sur la mise en compétition de réactions d'oxydation du SiC et de gravure de l'oxyde de silicium. D'une part, le SiC est oxydé par voie électrochimique, la réaction mise en jeu a été proposée par Shor *et al.*[216] tel que :



Les réactions ci-dessus impliquent un échange de porteurs de charge à l'interface électrolyte/SC, en l'occurrence des trous ( $\text{h}^+$ ). Les charges peuvent être générées en surface du SiC par polarisation du substrat. Dans le cas étudié, l'apport de trous à la surface est obtenue par polarisation positive de l'anode (face du substrat à anodiser). On assiste alors à une oxydation dite « anodique » ou électrochimique. Dans le cas du SiC de type n où les trous sont minoritaires, il est donc nécessaire de générer ces porteurs pour que la réaction puisse se dérouler. Une approche classique consiste à photogénérer des paires électrons-trous dans le matériau pendant le processus de porosification [189]. L'énergie des photons doit alors être supérieure à la largeur de la bande interdite. Dans le cas du 4H-SiC, la longueur d'onde des photons doit donc être inférieure à 380 nm. Toutefois, dans le cas de SiC fortement dopé, il est possible de générer des trous par effet tunnel ou par avalanche.

Enfin, la formation de pores est obtenue par gravure de l'oxyde de silicium, créé localement, dans une solution d'acide fluorhydrique telle que :



### 3.2.2 Etude préliminaire sur substrat 4H-SiC N+

Une étude préliminaire a été conduite sur la gravure électrochimique de substrats de 4H-SiC fortement dopés de type N.

#### 3.2.2.1 Conditions expérimentales

**Substrat.** Pour cette étude, un substrat de 4H-SiC de 3 pouces provenant de la société TankeBlue a été employé. Les caractéristiques du substrat sont les suivantes :

- Type N fortement dopé ( $\rho \approx 25 \text{ m}\Omega\cdot\text{cm}$ ),
- désorientation de  $4^\circ$  de la face (0001) suivant la direction  $\langle 11\bar{2}0 \rangle$ ,
- épaisseur de  $350 \text{ }\mu\text{m}$ ,
- polissage mécano-chimique de la face Si.

**Cuve d'électrolyse.** La gravure électrochimique du SiC a été réalisée dans une cellule électrochimique dite à « double cuve » (figure 3.10). Cette dernière est composée de deux réservoirs dans chacun desquels est placée une électrode conductrice en platine. Les deux parties sont isolées par l'échantillon de SiC tenu par deux joints toriques. En face arrière, face demeurant inerte au cours de la gravure électrochimique, la polarisation du substrat est assurée par contact électrolytique. Ainsi, l'échantillon n'est pas physiquement lié au circuit électrochimique. La cellule est équipée d'un hublot en saphir permettant un éclairage sous UV pour photogénérer des porteurs dans le semiconducteur. La surface d'anodisation de la face avant (face Si) est de  $0,79 \text{ cm}^2$ .

**Caractérisations structurales.** La morphologie du SiC poreux a été analysée par microscopie électronique à balayage de la tranche de l'échantillon obtenu, après clivage manuel. Dans le cas de morphologie de pores anisotropes, seule une observation dans le plan du clivage sera donnée.

**Electrolyte.** L'électrolyte aqueux est principalement composé de HF qui apporte les espèces actives nécessaires à la réaction de formation du SiC poreux. Des additifs peuvent être ajoutés à la solution, dans le but d'homogénéiser la formation du SiC poreux,

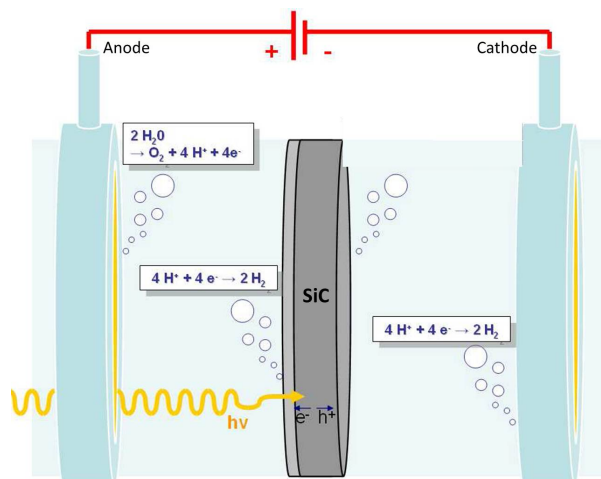


FIGURE 3.10 – Schéma de principe de la gravure électrochimique du SiC dans une cellule électrochimique double cuve.

en améliorant la mouillabilité de l'électrolyte vis-à-vis du SiC fraîchement gravé qui est hydrophobe. L'ajout d'additif dans la solution électrolytique peut alors avoir des conséquences sur la morphologie des pores et leur homogénéité. Des agents mouillants tels que des tension-actifs (Triton X-100 par exemple) ou des solvants (acide acétique), ont été testés dans cette étude. Ils peuvent être aussi nécessaires pour améliorer l'évacuation de l'hydrogène.

### 3.2.2.2 Morphologie du SiC poreux

L'anodisation du SiC conduit à différentes morphologies de SiC poreux en termes de forme, de taille et de densité de pores. Ces caractéristiques dépendent du type et du niveau de dopage du SiC ainsi que des conditions d'anodisation. Dans le cas de l'anodisation de substrats de 4H-SiC fortement dopés de type N, nous nous sommes intéressés à l'étude de l'influence des conditions d'anodisation sur la morphologie du SiC poreux obtenu sur la face Si avec une attention particulière sur l'homogénéité de la couche en termes d'épaisseur de couche gravée et de morphologie de pores (forme, taille, densité).

#### Influence des additifs.

Dans cette étude, l'anodisation du SiC a été réalisée à densité de courant constante de  $12,7 \text{ mA/cm}^2$  (soit un courant de 10 mA), pendant 30 minutes dans une solution de HF (30% massique). La gravure a été réalisée sans éclairage UV, c'est-à-dire que les trous ont été générés par avalanche. Plusieurs additifs ont été étudiés pour évaluer leur influence sur la morphologie de SiC poreux obtenu :

- l'acide acétique ( $\text{CH}_3\text{COOH}$ ), solvant organique classiquement utilisé en substitution de l'éthanol pour l'anodisation du silicium,
- Ammonium DodecylSulfate (ou ADS),
- le chlorure de cetyltriméthyl ammonium (CTAC), surfactant principalement utilisé pour l'obtention de macropores dans le silicium faiblement dopé de type p [217],
- le Triton X-100, couramment utilisé comme agent mouillant lors de l'anodisation du silicium.

Hormis pour l'acide acétique, ces surfactants sont ajoutés en quantité très faible (120 ppm) à la solution électrolytique.

La figure 3.11 illustre les différentes morphologies de SiC poreux obtenues en fonction de la profondeur, en présence ou non d'additifs. Dans le cas d'une anodisation sans additif (figure 3.11-a,b,c), la morphologie des pores est fortement inhomogène suivant la profondeur et la direction de croissance des pores est aléatoire. L'origine de ce désordre peut être expliquée par la faible densité de sites d'initiation à la surface de l'échantillon [218]. En effet, sans additif, l'initiation de la gravure prend place à partir de défauts à la surface du SiC [219, 220]. Ensuite, la croissance des pores est relativement isotrope et conduit à une morphologie de type « rosette ». En présence de certains surfactants, la densité de pores proches de la surface peut être supérieure et une morphologie de pores plus homogène peut apparaître suivant la profondeur.

Dans le cas d'additifs CTAC (figure 3.11-g,h,i) ou ADS (figure 3.11-d,e,f), la taille des pores est augmentée et on observe la présence de macropores (diamètres supérieurs à 100 nm). Néanmoins, la croissance des pores est désordonnée et la morphologie est hétérogène suivant la profondeur. Dans le cas d'additifs tels que le Triton X-100 ou l'acide acétique, la morphologie et la taille des pores proches de la surface sont similaires. La morphologie change fortement avec la profondeur. En effet, une structure stratifiée avec une faible porosité est observée proche de la surface puis est remplacée par une morphologie en « chevrons ». Proche de l'interface SiC massif/SiC poreux, la morphologie est fortement différente suivant ces deux additifs. Dans le cas de l'acide acétique, une morphologie en chevrons est conservée. Dans le cas du Triton X-100, la morphologie est dendritique et fortement poreuse à l'interface cristallin/poreux. Cela s'explique par un processus d'oxydation dominant par rapport à celui de la gravure de l'oxyde [221]. Le Triton X-100 semble donc moins efficace pour limiter le phénomène d'appauvrissement en HF en fond de couche. En résumé, la nature de l'additif peut avoir un fort impact sur l'initiation de la gravure, la densité de pores et la morphologie de la couche de SiC poreux. Toutefois, quelle que soit la nature de l'additif, la morphologie et la densité des pores sont fortement inhomogènes avec la profondeur de la couche poreuse. Ce phénomène a été largement rencontré lors de l'anodisation du silicium [221] et s'explique par un appauvrissement de la concentration en HF à l'interface SiC massif/SiC poreux au fur et



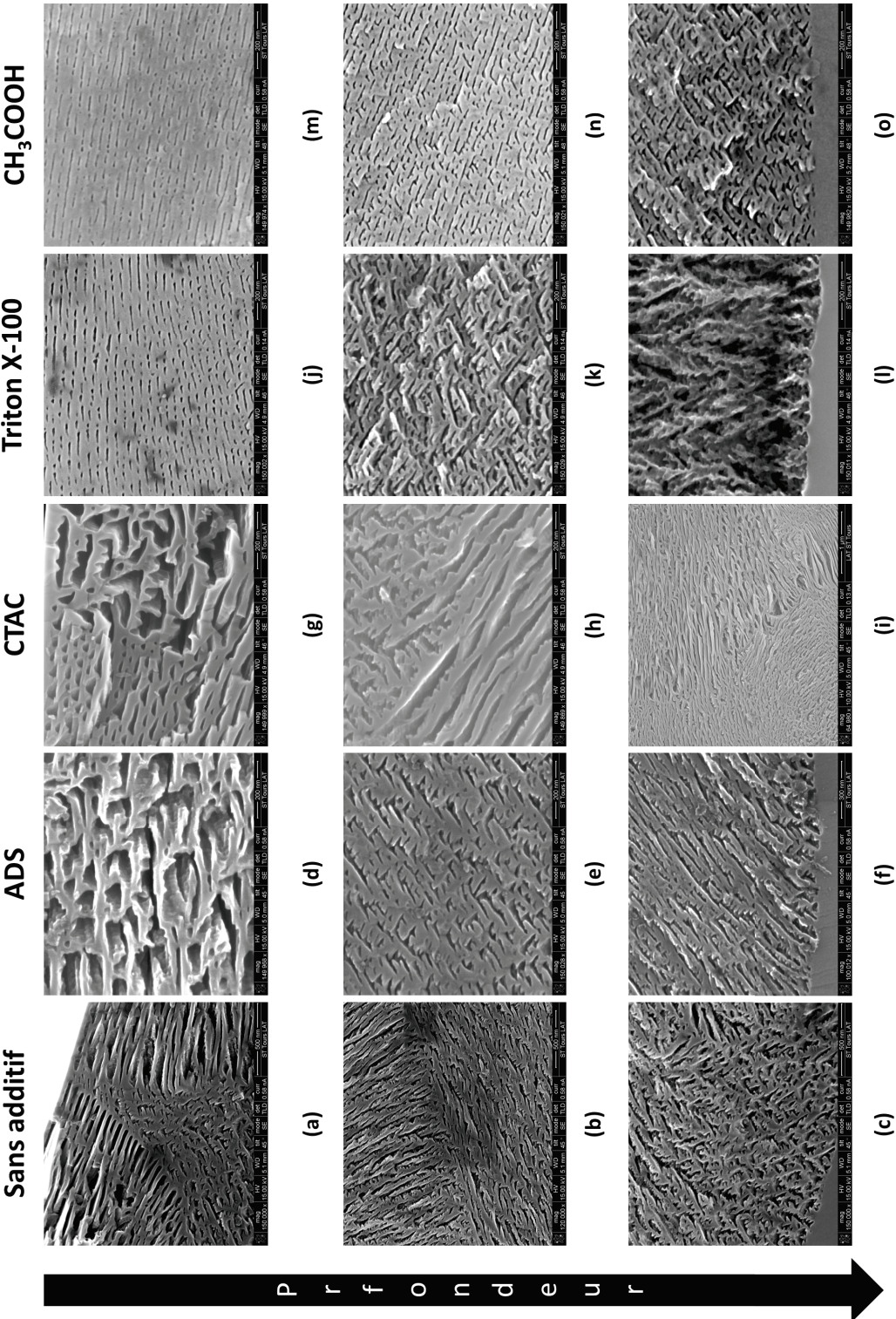


FIGURE 3.11 – Morphologies de SiC poreux en fonction de l’additif et à différentes profondeurs. Cas sans additif (a,b,c), avec ADS (d,e,f), CTAC (g,h,i), Triton X-100 (j,k,l) et  $\text{CH}_3\text{COOH}$  (m,n,o).

à mesure que l'épaisseur de la couche poreuse augmente. Ce problème peut être résolu en utilisant un régime d'anodisation en courant pulsé. Le principe de ce régime est d'envoyer des pulses de courant suivant un rapport cyclique défini au préalable. Un temps de repos entre chaque pulse permet de bénéficier d'une concentration maximale en électrolyte à l'interface poreux/cristallin et donc d'avoir des pores *a priori* plus homogènes en termes de morphologie suivant la profondeur. Cette étude fait l'objet du paragraphe suivant.

### Influence du régime d'anodisation.

Le régime d'anodisation pulsé que nous avons étudié consiste à appliquer des pulses d'une densité de courant de  $12,7 \text{ mA/cm}^2$  durant 2s suivi d'un temps de repos de 5s (sans courant). Cette séquence est répétée 900 fois pour obtenir une durée effective d'anodisation de 30 minutes. Ce rapport cyclique a été optimisé pour l'anodisation du silicium au sein du laboratoire. L'étude de l'effet du régime d'anodisation a été conduite dans une solution composée de HF(30%) et d'acide acétique. A titre de comparaison, dans ces conditions, la morphologie du SiC poreux suivant la profondeur en régime constant est donnée sur les figures 3.11-m,n,o. D'une part, nous observons que l'homogénéité d'épaisseur de la couche de SiC poreux est fortement améliorée par l'utilisation d'un régime pulsé. En régime de courant constant, l'épaisseur de la couche est comprise entre 7 et  $15 \mu\text{m}$ , comme le montre la figure 3.12-a. En régime de courant pulsé, cette épaisseur est d'environ  $10 \pm 1 \mu\text{m}$ , soit une variation de 10% (figure 3.12-b).

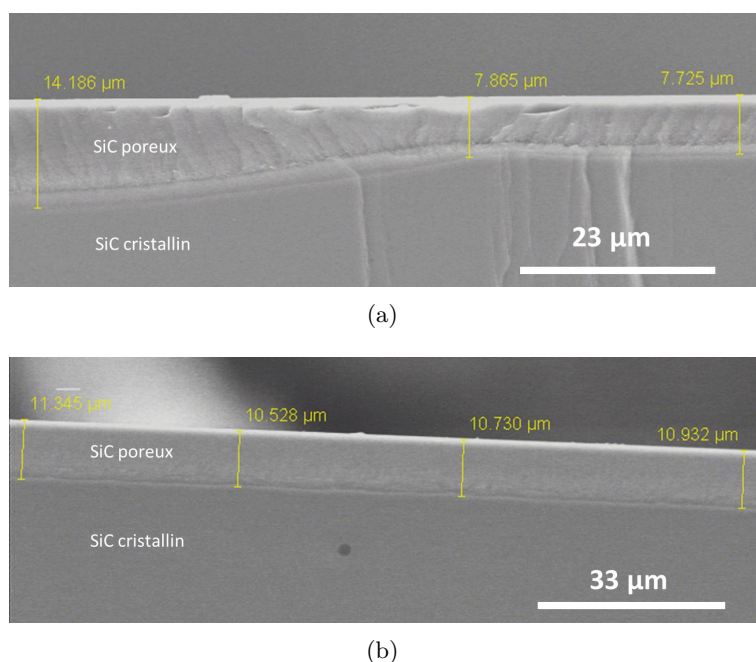


FIGURE 3.12 – Vue en coupe MEB d'échantillons de 4H-SiC anodisés en régime constant (a) et pulsé (b). Anodisation durant 30 minutes avec une densité de courant de  $12,7 \text{ mA/cm}^2$  dans une solution de HF (30%) et d'acide acétique (10%).



D'autre part, dans le cas d'un régime d'anodisation constant (figure 3.11-m,n,o), l'augmentation de l'épaisseur de SiC poreux se traduit par une augmentation de la taille de pores et une modification de leur morphologie. Dans le cas d'un régime d'anodisation pulsé, la morphologie du SiC poreux est relativement homogène suivant la profondeur, comme le montre la figure 3.13. De plus, l'augmentation du diamètre des pores est faible, allant de 15 (figure 3.13-a) à 25 nm (figure 3.13-c).

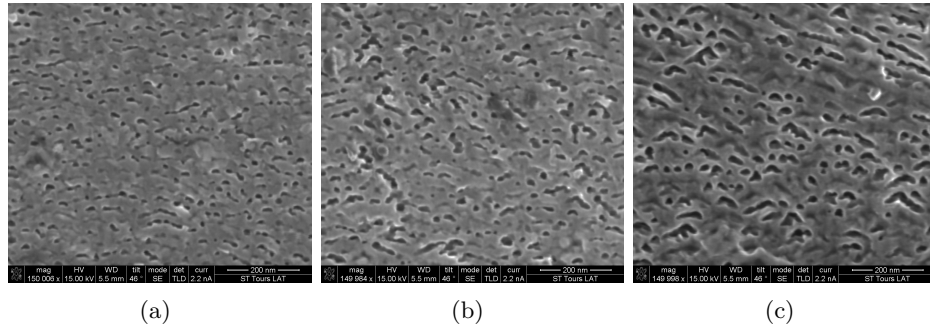


FIGURE 3.13 – Morphologie du SiC poreux à différentes profondeurs, à 1 (a), 6 (b) et 9  $\mu\text{m}$  (c) après anodisation pendant 30 minutes en régime pulsé dans une solution de HF (30%) et d'acide acétique.

L'anodisation en régime de courant pulsé est donc une voie intéressante pour améliorer l'homogénéité de la couche poreuse en termes de morphologie, de densité et de taille de pores. Même si nous venons de démontrer qu'il était possible de générer des porteurs par avalanche dans une couche de SiC fortement dopé, le recours à la photogénération de porteurs est indispensable pour la gravure électrochimique de couches faiblement dopées. De plus, dans le cas de couches fortement dopées, l'anodisation sous éclaircissement est une voie intéressante pour améliorer l'homogénéité de la morphologie du SiC poreux. Des travaux précédents ont aussi démontré que l'homogénéité de la couche de SiC poreux et la vitesse de gravure pouvaient être fortement améliorées en réduisant la concentration de HF autour de 5%. L'étude de l'anodisation assistée par éclaircissement UV sera donc conduite sur une couche fortement dopée dans un premier temps.

### Photogénération de porteurs sous UV.

Du fait de la large bande interdite du SiC, la longueur d'onde des photons conduisant à la génération d'une paire électron-trou se situe dans l'ultra-violet. La source UV à notre disposition est une lampe à vapeur de mercure délivrant une densité de puissance à la surface de l'échantillon de  $80\text{mW}/\text{cm}^2$ . Le spectre d'émission de cette lampe est présenté sur la figure 3.14, l'irradiance maximale est comprise entre 360 et 385 nm. La solution électrolytique utilisée dans cette étude est composée de HF(5%) et d'acide acétique (10%).

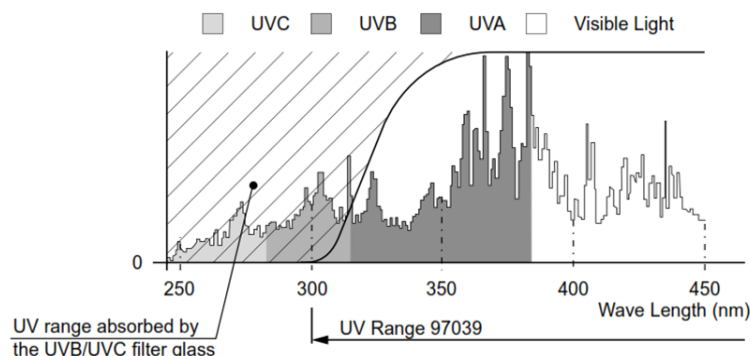


FIGURE 3.14 – Spectre d’émission de la source UV (UVALOC 400 de Henkel Loctite - <http://www.henkel.com>) utilisée dans cette étude.

La figure 3.15 présente la morphologie du SiC poreux obtenu avec et sans éclairage UV. L’épaisseur de la couche de SiC poreux obtenu est 7,8 et 4,9  $\mu\text{m}$  respectivement pour une anodisation sans et avec photogénération de porteurs. Cette différence s’explique par la différence de porosité entre ces deux couches. Pour une même quantité de matière retirée, plus la couche sera poreuse, plus son épaisseur sera faible. En l’absence de photogénération (figure 3.15-a), la morphologie de la couche de SiC poreux suivant la profondeur est équivalente à celle observée lors de l’anodisation dans une solution électrolytique de HF (30%) et de Triton X-100. Cela confirme bien que le Triton X-100 limite la diffusion du HF en fond de pores et favorise ainsi le processus d’oxydation de la gravure électrochimique. L’anodisation du SiC assistée par UV modifie fortement la gravure électrochimique du SiC. D’une part, la morphologie des pores est différente. Elle est de type chevron et triangulaire respectivement pour une anodisation sans et avec éclairage UV. Dans ce dernier cas, les pores triangulaires sont relativement équidistants entre eux et sont arrangés en strates suivant la profondeur. L’homogénéité de la morphologie et de la porosité avec la profondeur est aussi fortement améliorée grâce à l’éclairage UV. D’autre part, à l’interface SiC cristallin/SiC poreux, la porosité est plus faible qu’en surface dans le cas d’une anodisation avec photogénération. Jusqu’à maintenant, nous avons toujours observé une porosité augmentant avec la profondeur de gravure.

Pour aller plus loin dans l’amélioration de l’homogénéité de la couche poreuse, une perspective intéressante serait de combiner l’éclairage UV et le régime d’anodisation en courant pulsé. Dans ce cas, du fait du temps important de procédé mis en jeu, une attention particulière devra être portée sur le contrôle de la température au niveau de la cuve d’électrolyse. Pour limiter l’échauffement induit par l’éclairage, la solution est de réduire le rayonnement infrarouge de la lampe à l’aide de filtre adéquat et/ou d’éclairer en régime pulsé. Toutefois, ce dernier cas nécessite l’utilisation d’une source d’éclairage à base de diodes électroluminescentes UV supportant des cycles courts d’extinction et d’allumage. Ceci n’a pas pu être fait durant ce travail bien que cette piste soit d’un grand

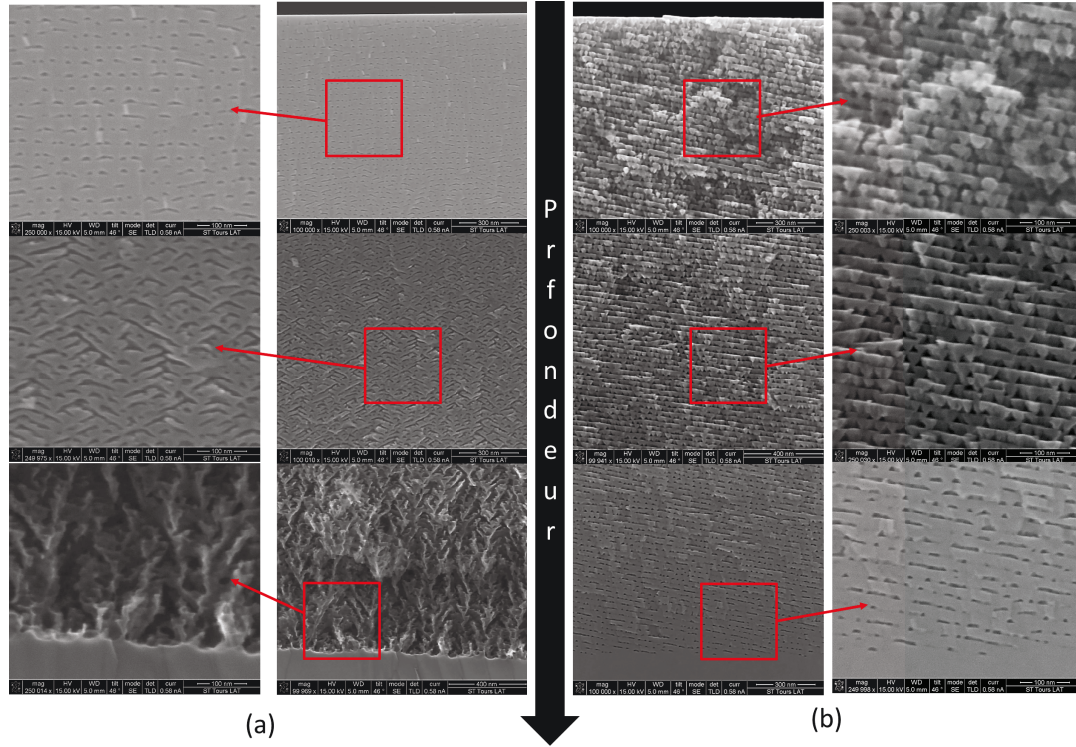


FIGURE 3.15 – Morphologie de la couche de SiC poreux suivant la profondeur. Cas d’une anodisation sans (a) et avec (b) photogénération de porteurs.

intérêt.

### 3.2.2.3 Propriétés électriques du SiC poreux

Après de nombreux essais d’anodisation pour parvenir à former des couches poreuses de qualité satisfaisante (porosité et épaisseur homogène), une étude a été conduite pour évaluer les propriétés électriques du SiC poreux. La structure de test en configuration Metal-Isolant-Semiconducteur (MIS) est présentée sur la figure 3.16. Un empilement titane/nickel (20/100 nm) et une couche de tungstène (100 nm) ont été déposés par pulvérisation cathodique respectivement sur les faces arrière et avant de l’échantillon. Un recuit rapide à 800°C durant 2 min sous argon a été effectué pour former un contact ohmique en face arrière à partir de l’empilement Ti/Ni. Le tungstène, quant à lui, ne réagit pas avec le SiC à cette température de recuit. Une couche de 1  $\mu\text{m}$  d’aluminium a été ajoutée pour épaissir le contact en face avant afin de ne pas détériorer la couche de tungstène avec les pointes de mesure.

Les conditions d’anodisation conduisant à une homogénéité satisfaisante de la couche de SiC poreux en termes de morphologie de pores, de porosité et d’épaisseur ont été retenues pour la caractérisation électrique. Ainsi, deux conditions d’anodisation ont été retenues :

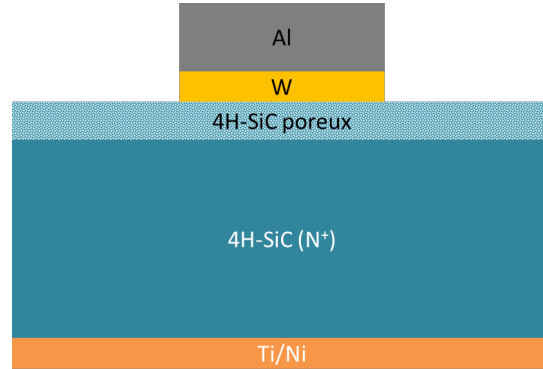


FIGURE 3.16 – Schéma de la structure de test utilisée pour la caractérisation électrique du SiC poreux.

1. en régime de courant pulsé ( $J = 12,6 \text{ mA/cm}^2$ ) pour une durée effective de 30 minutes dans une solution électrolytique composée de HF (5%) et de Triton X-100 comme additif, sans éclairage UV,
2. en régime de courant constant ( $J = 6,3 \text{ mA/cm}^2$ ) assisté par UV avec une solution électrolytique composée de HF (5%) et d'acide acétique (10%), pendant une durée de 20 minutes.

La morphologie de la couche de SiC poreux obtenu par anodisation en régime de courant pulsé est présentée sur la figure 3.17. Dans le cas de l'anodisation sous éclairage UV, la morphologie de la couche a été présentée précédemment sur la figure 3.15. On constate que la morphologie des pores et la porosité entre ces deux conditions sont différentes. Dans la zone la plus poreuse, la couche anodisée sous éclairage UV présente une distance inter-pores légèrement plus faible que celle de la couche anodisée en régime pulsé.

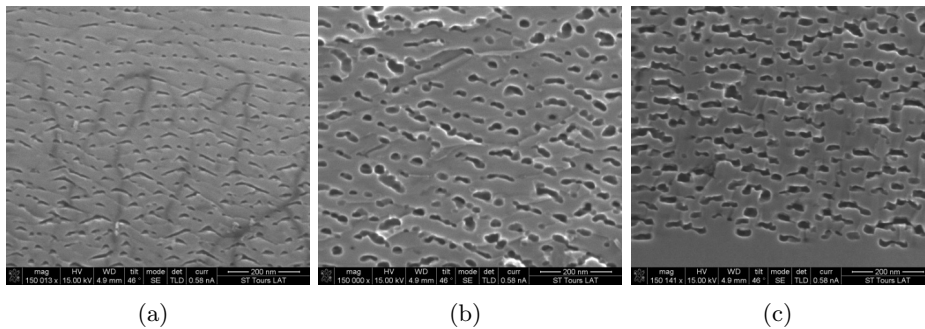


FIGURE 3.17 – Morphologie du SiC poreux à différentes profondeurs, à 1 (a), 8 (b) et 16  $\mu\text{m}$  (c) après anodisation pendant 30 minutes en régime pulsé dans une solution de HF (5%) et d'acide acétique.

A partir de la structure présentée sur la figure 3.16, la caractéristique J-V typique obtenue sur un substrat non poreux est redresseuse (figure 3.18-a). Cela confirme que

le contact réalisé en face avant est Schottky. Après anodisation, la résistance de la structure est fortement augmentée. Dans le cas d'une anodisation en régime pulsé, la caractéristique J-V est quasi linéaire mais légèrement asymétrique selon la polarisation de la tension, comme le montre la figure 3.18-b. A une tension donnée, la densité de courant augmente avec la température de mesure. Dans le cas d'une anodisation sous UV, les caractéristiques J-V sont présentées sur la figure 3.18-c. Les niveaux de densité de courant sont fortement réduits par rapport à la structure anodisée en régime pulsé, et ce jusqu'à 200V. Pour les deux conditions d'anodisation, nous n'observons pas de comportement fortement redresseur, le niveau de courant en régime de polarisation inverse est équivalent à celui sous polarisation directe. Ce comportement est différent de ceux observés dans la littérature où les courants de fuite en régime inverse sont plus faibles de plusieurs ordres de grandeur par rapport aux courants en direct [222, 223].

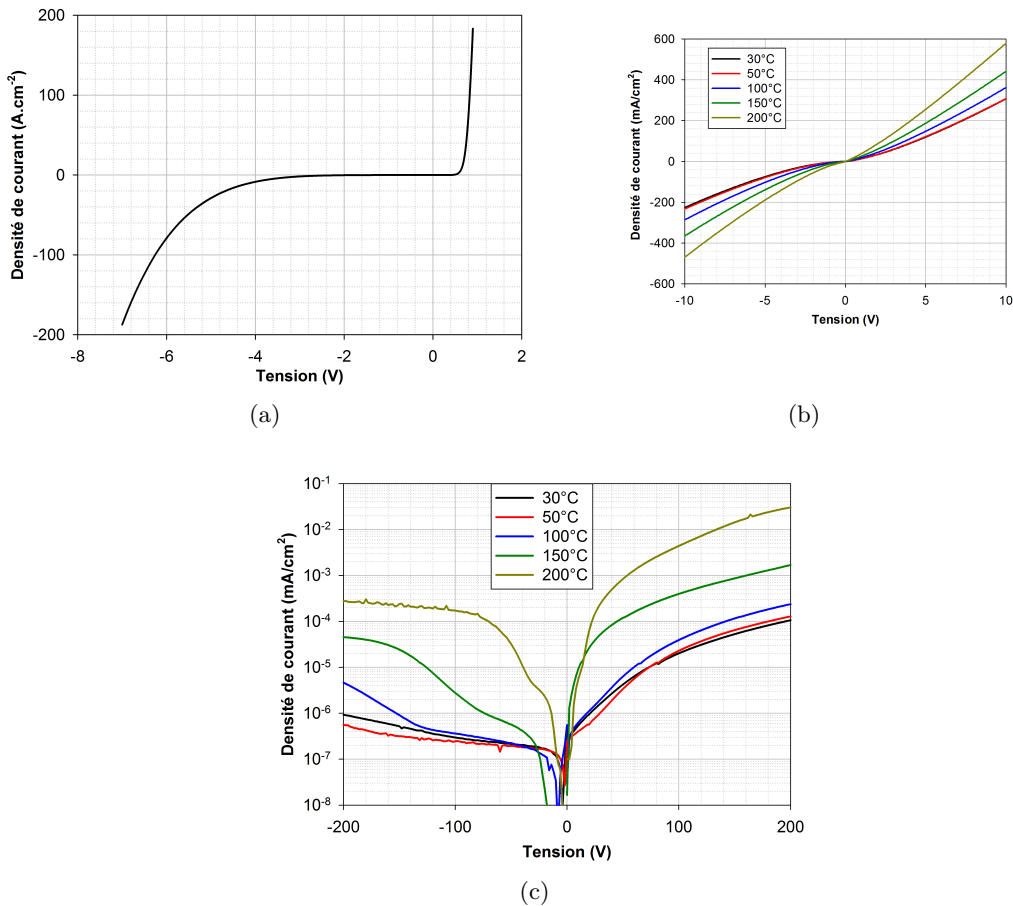


FIGURE 3.18 – Caractéristiques densité de courant-tension sur SiC non anodisé (a), anodisé en régime pulsé (b) et anodisé sous éclairage UV (c), en fonction de la température.

La résistivité apparente de la couche de SiC poreux a été extraite à partir de la

résistance calculée dans la zone linéaire de la caractéristique J-V en polarisation directe. Dans le cas de l'échantillon de 4H-SiC anodisé en régime pulsé, la résistivité mesurée à 30°C est de l'ordre de  $10^4 \Omega\text{.cm}$ . L'échantillon anodisé sous éclairement UV présente une résistivité à température ambiante de l'ordre de  $10^{13} \Omega\text{.cm}$ . A titre de comparaison, la résistivité du substrat de 4H-SiC non anodisé est de  $25 \text{ m}\Omega\text{.cm}$ . Cela confirme que la gravure électrochimique modifie fortement les propriétés électrique du matériau. La dépendance de la résistivité avec la température peut être exprimée suivant une loi d'Arrhénius telle que :

$$\rho \propto e^{\frac{E_A}{kT}} \quad (3.2)$$

où  $E_A$  correspond à l'énergie d'activation du système. Ainsi, plus l'énergie d'activation est élevée, plus la dépendance de la résistivité avec la température est forte. L'énergie d'activation déterminée sur nos échantillons est de 49 et 290 meV respectivement pour l'échantillon anodisé en régime pulsé et sous éclairement UV. A première vue, plus la résistivité de la couche poreuse est importante, plus l'énergie d'activation est importante. A titre de comparaison, Mynbaeva *et al.* ont déterminé une énergie d'activation de 1,09 eV sur une couche de SiC poreux présentant une résistivité à 300 K de  $10^{17} \Omega\text{.cm}$  (calculée par extrapolation) [224]. Toutefois, nous n'avons aucune information sur le taux de porosité et la morphologie des pores de leur couche de SiC poreux. Il est donc difficile de comparer nos résultats électriques avec les leurs. Au-delà du taux de porosité, la morphologie des pores entre nos deux échantillons n'est pas identique comme nous l'avons vu précédemment.

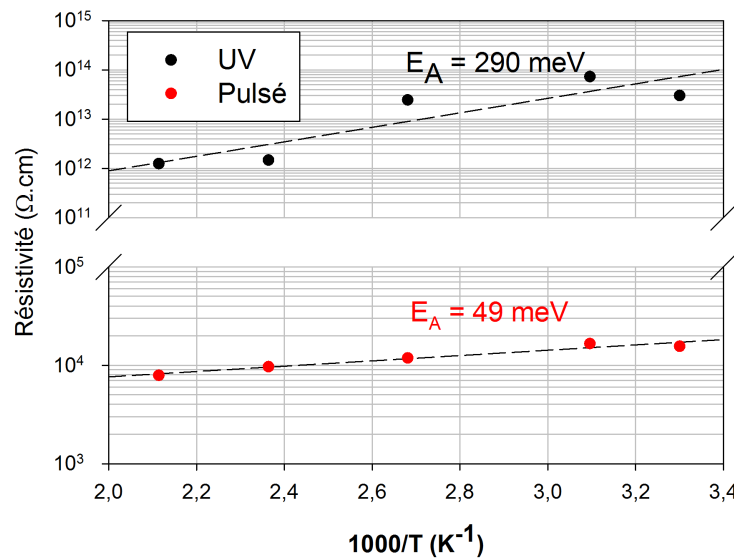


FIGURE 3.19 – Résistivité effective de la structure en fonction de  $\frac{1000}{T}$ .



D'un point de vue macroscopique, il est évident que la forte résistivité du SiC poreux est liée à la réduction du volume dans lequel le courant peut circuler. Mais d'autres phénomènes peuvent accroître la réduction du volume tels que la désertion inter-pores. Look *et al.* ont proposé cette hypothèse de création d'une zone de désertion autour des pores pour expliquer la forte résistivité du SiC poreux [225]. En effet, le SiC type n présente une densité d'états de surface, ayant un niveau accepteur profond dans la bande interdite, de plus de  $10^{12} \text{ cm}^{-2}$  [226]. Ainsi, la présence de ces états à la surface des pores pourrait favoriser la désertion des électrons autour des pores, accentuant la réduction du volume dans lequel les électrons peuvent circuler. A titre de comparaison, pour des pores sphériques de 40 nm de diamètre et une porosité de 20%, Look *et al.* ont estimé que la largeur de la zone de désertion autour de chaque pore était de 34 nm. Ainsi, la part de matériau perdu pour la conduction est de 80%, soit 60% liée à l'extension de la zone de charge d'espace autour des pores.

En s'appuyant sur ce postulat, il est possible d'obtenir une forte résistivité du SiC poreux sur des couches faiblement poreuses. Dans notre cas, compte tenu d'une distance entre les pores de quelques dizaines de nanomètres pour les deux échantillons, la résistivité de la couche devrait être sensiblement la même. A l'avenir, il serait intéressant d'identifier si la différence de résistivité observée est liée à la morphologie des pores et/ou la porosité. Pour cela, il est nécessaire de comparer électriquement différentes porosités avec une morphologie de pores fixe.

### 3.2.3 Conclusions et perspectives

L'étude de l'anodisation de SiC fortement dopé a permis d'évaluer l'influence d'additifs et des régimes d'anodisation sur la morphologie des pores, la porosité et l'homogénéité des couches de SiC poreux. En vue d'obtenir des couches de SiC poreux homogènes en termes de morphologies et de porosité, l'anodisation en régime pulsé est particulièrement recommandée pour limiter l'appauvrissement en HF suivant la profondeur. Par la suite, nous avons testé l'anodisation sous éclairage UV, qui améliore considérablement la porosité et l'homogénéité structurale de la couche de SiC poreux par rapport à une anodisation en régime continu. La caractérisation électrique des couches de SiC poreux a permis de mettre en évidence les propriétés semi-isolantes du SiC poreux, notamment après anodisation assistée par UV. Ainsi, une résistivité de l'ordre de  $10^{13} \Omega \cdot \text{cm}$  à température ambiante a pu être obtenue sur une couche de SiC poreux, soit 15 décades au-dessus de la résistivité du SiC non poreux. Plusieurs traitements post-anodisation du SiC poreux peuvent être envisagés pour réduire la conductivité de la couche tels que l'incorporation de vanadium [224] ou l'oxydation. Le vanadium introduit des niveaux profonds, à la fois donneurs et accepteurs, dans la bande interdite du SiC. La compensation des impuretés dopantes par l'introduction de vanadium est donc classiquement utilisée pour la réalisation

de substrats semi-isolants. Une autre voie envisageable pour augmenter la résistivité est l'oxydation du SiC poreux. Grâce à une taille de pores de plusieurs dizaines de nm, il est possible d'obtenir une bonne perméabilité de la couche poreuse aux espèces oxydantes. Associée à la grande surface développée de la couche poreuse, un important volume de SiC oxydé pourrait être atteint, même avec de faibles vitesses d'oxydation.

Toutefois, au-delà des traitements post-anodisation, l'utilisation de SiC poreux comme caisson résistif de notre protection périphérique requiert la maîtrise de l'anodisation de couches faiblement dopées de type n utilisées comme couche de dérive de nos composants. Dans les mêmes conditions utilisées pour la gravure de substrats fortement dopés, un essai sous éclairage UV a été réalisé sur une couche faiblement dopée épitaxiée sur substrat  $N^+$ , typiquement utilisée pour la réalisation de composants de puissance. Le dopage de la couche dopée  $N^-$  est de  $1 \times 10^{16} \text{ cm}^{-3}$ . La figure 3.20 montre la morphologie de la couche de SiC poreux obtenu.

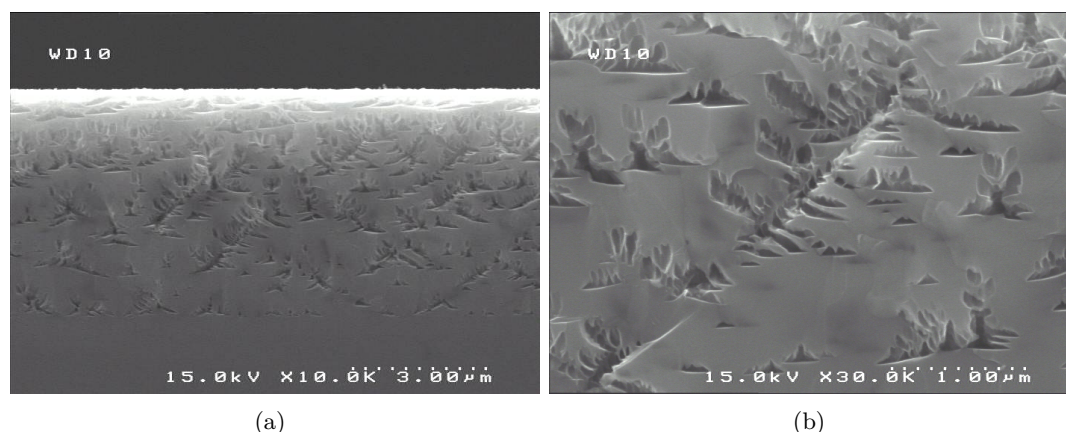


FIGURE 3.20 – Morphologie de la zone poreuse obtenue dans une couche de 4H-SiC faiblement dopée, anodisée sous éclairage UV. Vue d'ensemble de la couche poreuse (a) et grossissement au niveau d'un macropore (b).

Proche de la surface, on observe une première morphologie constituée d'une forte densité de macropores. La densité de macropores décroît ensuite avec la profondeur. Dans le volume, on observe quelques macropores orientés suivant des directions préférentielles, comme le montre la figure 3.20-b. Généralement, une morphologie macroporeuse n'est pas souhaitable pour l'obtention de couches résistives du fait de l'important espacement interpore. Les futurs travaux d'anodisation de couches faiblement dopées devront s'attacher à tendre vers une morphologie mésoporeuse (pores de taille comprise entre 2 et 50 nm) et homogène suivant la profondeur, telle qu'obtenue sur les couches fortement dopées. A notre connaissance, seuls Konstantinov *et al.* ont présenté une structure poreuse, *a priori* mésoporeuse, obtenue sur une couche de 6H-SiC dopé à  $2 \times 10^{16} \text{ cm}^{-3}$  [191]. La source d'éclairage utilisée dans leur étude est un laser  $Ar^+$  délivrant une densité de puissance



de  $1 \text{ W/cm}^2$ , à une longueur d'onde de 365 nm, soit plus de 10 fois la densité de puissance de notre source UV. Une forte photogénération de trous semble donc impérative pour obtenir une structure mésoporeuse dans une couche de SiC faiblement dopée. Des travaux devront être conduits pour confirmer cette hypothèse.

Enfin, la localisation du SiC poreux par une technique de masquage adéquat est primordiale pour l'intégration de SiC poreux dans un dispositif. Les techniques de masquage développées pour la localisation du silicium poreux devraient *a priori* être applicables pour la gravure électrochimique du SiC puisque les conditions d'anodisation sont assez similaires (solution électrolytique à base de HF). Toutefois, dans le cas de l'utilisation de matériaux organiques tels que les polymères [227], une attention particulière devra être portée sur leur résistance aux UV au cours de l'anodisation photo-assistée.

### 3.3 Vers un contact ohmique sur 4H-SiC type p

L'efficacité de l'injection de porteurs minoritaires par les jonctions PN de la diode JBS est principalement conditionnée par le niveau de dopage de type p et la résistance de contact formée entre la métallisation et les régions de type p. Cette partie a pour but d'établir un état de l'art des solutions existantes pour la formation d'un contact faiblement résistif sur SiC de type p. Les différentes techniques de fabrication de contacts seront présentées, comparées et évaluées du point de vue de leur compatibilité avec le procédé de fabrication de la diode JBS actuel.

#### 3.3.1 Injection de porteurs minoritaires dans la diode JBS

Dans le chapitre 1, nous avons vu que la diode Schottky était un composant unipolaire, c'est-à-dire que le courant de la diode est dû à une circulation de porteurs majoritaires, en l'occurrence des électrons pour une couche active de type N. Sous faible polarisation directe, la conduction de la diode Schottky est dominée par l'effet thermoionique. Sous forte polarisation, la diode entre en régime résistif, caractérisé par un coefficient de température positif de la résistivité. Cela se traduit par une augmentation de la résistivité avec la température pouvant conduire à un emballement thermique de la diode allant jusqu'à sa destruction. A contrario, la conduction de la diode PiN est bipolaire, c'est à dire qu'il y a un courant d'électrons provenant du substrat  $N^+$  et de trous provenant de l'émetteur  $P^+$ . Dans la couche de dérive  $N^-$ , l'injection de porteurs minoritaires (trous) conduit à une modulation de la conductivité. Ce régime de conduction présente alors un coefficient de température de la résistivité qui est négatif. Cela se traduit par une réduction de la résistivité avec la température. Par conséquent, le comportement de la diode JBS est purement Schottky sous faible polarisation et peut tendre vers un régime purement bipolaire sous forte polarisation. Toutefois, l'injection de porteurs minoritaires nécessaire

à la modulation de la conductivité est fortement dépendante de la résistance de contact obtenue sur les zones  $P^+$ . La figure 3.21 illustre l'effet de la résistance spécifique de contact sur l'injection de courant sous polarisation directe d'une diode JBS, obtenu par simulation numérique.

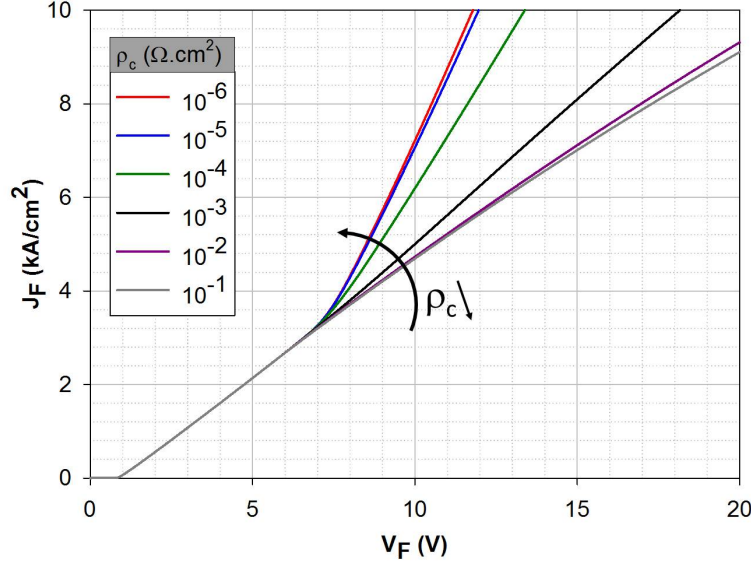


FIGURE 3.21 – Influence de la résistance spécifique de contact sur les régions  $P^+$  de la diode JBS sur sa caractéristique densité de courant-tension, en polarisation directe à  $T = 300K$ . Cas d'une JBS avec  $L_P = L_S = 3 \mu m$ ,  $W_{epi} = 6 \mu m$ ,  $N_D = 1 \times 10^{16} cm^{-3}$ ,  $N_A^+ = 1 \times 10^{18} cm^{-3}$  et  $x_j = 0,5 \mu m$ .

Sous faible polarisation ( $< 7V$ ), la diode JBS est en régime Schottky, la résistance spécifique de contact n'a aucun effet sur le niveau de densité de courant. Sous forte polarisation, la diode JBS est susceptible d'entrer en régime bipolaire suivant la valeur de la résistance spécifique de contact. Pour une tension de polarisation donnée, le niveau de densité de courant augmente avec la diminution de la résistance spécifique de contact. L'injection bipolaire de la diode JBS est significative pour des résistances spécifiques de contact inférieures à  $1 \times 10^{-3} \Omega.cm^2$ . En dessous de  $1 \times 10^{-5} \Omega.cm^2$ , l'effet de la résistance spécifique de contact est négligeable sur l'injection de courant.

En pratique, la résistance du contact formé entre la métallisation du contact Schottky et les régions fortement dopées de type p est difficilement quantifiable du fait de la non ohmicité du contact. Le phénomène d'injection bipolaire de la diode JBS à température ambiante est rarement atteint dans cette configuration. Toutefois, il est possible par le biais d'une augmentation de la température de l'environnement ou du dispositif par auto-échauffement de la diode. En effet, l'élévation de la température conduit à une ionisation plus importante des dopants entraînant la diminution de la résistance spécifique de contact. En fixant la géométrie d'anode et le niveau de dopage des régions  $P^+$ , l'injection bipolaire

ne peut être favorisée que par la réduction de la résistance spécifique de contact. Il est donc primordial de réaliser un contact faiblement résistif sur les régions de type p avant la formation du contact Schottky. Cela sous-entend qu'une métallisation adéquate doit être déposée sur les régions de type p. Nous verrons donc la problématique liée à la formation d'un contact ohmique sur 4H-SiC type p. Un état de l'art du contact ohmique sur 4H-SiC type p sera présenté et discuté du point de vue de leur intégration dans la chaîne de fabrication de la diode JBS.

### 3.3.2 Problématique du contact ohmique sur 4H-SiC type p

La réalisation de contact ohmique faiblement résistif sur 4H-SiC type p est plus problématique que sur type n. En effet, dans le cas du modèle décrivant la jonction metal-semiconducteur, la hauteur de barrière Schottky sur un semiconducteur de type p est représentée sur la figure 3.22.

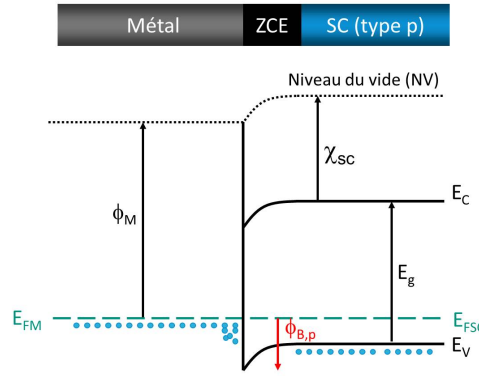


FIGURE 3.22 – Diagramme de bandes métal/semiconducteur de type p conduisant à la formation d'une barrière Schottky.

Ainsi, la hauteur de barrière Schottky est donnée par :

$$\Phi_{B,p} = E_g + \chi - \Phi_M \quad (3.3)$$

avec  $E_g$ ,  $\chi$  et  $\Phi_M$  respectivement la largeur de la bande interdite du semiconducteur, son affinité électronique et le travail de sortie du métal. Dans le cas du 4H-SiC,  $\chi(4H) = 3,10$  eV et  $E_g(4H) = 3,26$  eV. Pour avoir un contact ohmique sur 4H-SiC type p, le travail de sortie du métal doit donc être supérieur à 6,36 eV. Le tableau 3.2 présente le travail de sortie des métaux couramment utilisés en microélectronique. A notre connaissance, aucun métal n'a un travail de sortie supérieur à 6 eV. Par conséquent, les contacts sur 4H-SiC type p sont, *a priori*, toujours de nature Schottky, c'est-à-dire que la circulation des trous va être perturbée par une barrière de potentiel et une zone de charge d'espace formé dans la semiconducteur. En pratique, un traitement thermique du contact peut conduire à la

|           |           |           |           |           |           |           |
|-----------|-----------|-----------|-----------|-----------|-----------|-----------|
| <b>Al</b> | <b>Au</b> | <b>Co</b> | <b>Cr</b> | <b>Cu</b> | <b>Ir</b> | <b>Mo</b> |
| 4,17      | 5,38      | 5,0       | 4,5       | 4,76      | 5,46      | 4,57      |
| <b>Ni</b> | <b>Pd</b> | <b>Pt</b> | <b>Ta</b> | <b>Ti</b> | <b>W</b>  | <b>Zn</b> |
| 5,20      | 5,41      | 5,55      | 4,30      | 4,33      | 4,61      | 3,63      |

Tableau 3.2 – Métaux communément rencontrés en microélectronique et travaux de sortie associés (en eV) [229].

formation de phases entre le métal et le semiconducteur. Dans le cas du SiC, les siliciures ou carbures métalliques peuvent conduire à des hauteurs de barrière plus faibles que celles observées pour le métal initial [228]. Enfin, il est possible de réduire la largeur de cette ZCE en augmentant le dopage sous le contact, comme le montre la figure 3.23. La conduction des trous par effet tunnel est alors améliorée et peut être suffisante pour assurer l'ohmicité du contact, le contact est alors purement résistif.

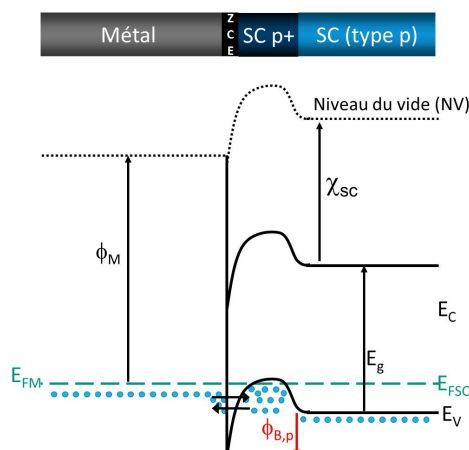


FIGURE 3.23 – Diagramme de bandes métal/semiconducteur de type p avec un dopage important du SC proche de l'interface.

En d'autres termes, l'ohmicité du contact se traduit par une caractéristique courant-tension linéaire. La qualité de cette « ohmicité » sera évaluée à partir d'une grandeur physique appelée « résistance spécifique de contact ». Elle est notée  $\rho_c$  ou SCR pour *Specific Contact Resistance* et exprimée en  $\Omega \cdot \text{cm}^2$ . Le contact sera d'autant plus performant que la résistance spécifique de contact sera faible. Sur des zones fortement dopées, c'est-à-dire lorsque le mécanisme de conduction est préférentiellement par effet tunnel à travers la barrière, la résistance spécifique de contact peut être approximée par la relation :

$$\rho_c \propto \exp\left(\frac{\Phi_B}{N_A}\right) \quad (3.4)$$

Deux voies sont donc exploitables pour améliorer l'ohmicité du contact sur SiC type p :

1. favoriser la conduction des trous par effet tunnel en augmentant le dopage sous le contact,
2. réduire la hauteur de barrière Schottky par la création d'alliage(s).

La première solution est liée à l'activation des impuretés implantées lors du recuit post-implantation, cette voie a déjà été exploitée au sein du laboratoire durant la thèse de Xi Song [230]. A partir de ses résultats sur le dopage localisé par implantation ionique d'Al, la marge d'amélioration au niveau de l'activation des dopants est très faible compte tenu de la dose d'implantation et du budget thermique post-implantation étudiés. La température d'implantation de l'Al peut, quant à elle, être encore optimisée. Quelques résultats supplémentaires seront apportés quant au choix de la température d'implantation pour minimiser la résistivité de la couche implantée. La seconde solution consistant à réduire la hauteur de barrière Schottky est intimement liée à la nature des métaux sélectionnés pour la réalisation du contact ainsi qu'au budget thermique associé. Après un rappel sur le dopage localisé de type p par implantation d'aluminium, l'étude du contact ohmique sur 4H-SiC type p sera présentée.

### 3.3.3 Dopage de type p par implantation ionique

Le dopage localisé de type p est l'étape essentielle pour l'intégration de caissons P sous le contact Schottky et des éléments de protection périphérique (JTE et anneaux de garde fortement dopés) de la diode JBS. Dans le cas de l'anode, un fort niveau de dopage, supérieur à  $1 \times 10^{19} \text{cm}^{-3}$ , est nécessaire pour diminuer la résistance de contact et favoriser l'injection bipolaire de la diode JBS. Dans le cas d'une périphérie protégée par JTE, il s'agit d'incorporer et d'activer une faible dose d'impuretés correspondant à un dopage de quelques  $10^{17} \text{cm}^{-3}$ . Au sein du laboratoire, l'étude du dopage de type p par implantation ionique a été réalisée durant la thèse de Xi Song [230]. Suite à ces travaux, le dopage localisé par implantation d'Al dans 4H-SiC est d'ores et déjà une brique technologique à disposition pour la fabrication de diodes JBS. Le but de cette partie est d'apporter quelques éléments de caractérisation électrique concernant l'influence de la température d'implantation.

#### 3.3.3.1 Etat de l'art

Du fait des faibles coefficients de diffusion des impuretés dopantes dans le SiC, le dopage localisé par diffusion thermique tel que rencontré en technologie silicium est difficilement réalisable. Gao *et al.* ont dopé localement du 4H-SiC en bore et aluminium par diffusion thermique à 2000°C à travers un masque en graphite [231]. Mais la maîtrise du niveau

et de la profondeur de dopage reste difficile, il ne serait donc pas possible de l'utiliser pour la réalisation de JTE par exemple. De plus, les températures mises en jeu sont supérieures à celle de décomposition du SiC, provoquant une dégradation importante de la surface. Parmi les différentes techniques de dopage localisé utilisées en technologie silicium, l'implantation ionique est la seule technique viable en technologie SiC, actuellement, à l'échelle industrielle. Le bore et l'aluminium sont les principales impuretés dopantes de type p dans le SiC. Toutefois, du fait de sa faible énergie d'ionisation par rapport au bore, l'aluminium est privilégié pour la réalisation de caissons faiblement résistifs. La forte densité d'états dans la bande d'énergie de valence du SiC et l'énergie d'ionisation importante de l'Al conduisent à un faible taux d'ionisation des dopants, i.e. une faible concentration de trous à température ambiante. Une forte concentration d'impuretés en site de substitution est donc nécessaire pour obtenir une forte concentration de porteurs. Cela sous-entend le recours à une forte dose d'implantation. Or, durant l'implantation, les défauts engendrés dans le matériau cible par les différentes étapes du processus de perte d'énergie de l'ion incident modifient sensiblement les propriétés physiques et électriques du matériau. Dans le cas de forte dose d'implantation, l'endommagement peut même conduire à l'amorphisation de la couche implantée. Dans le cas du SiC, la guérison complète de ces défauts est difficile voire impossible à atteindre par un simple recuit post-implantation. De ce fait, une implantation à « chaud » est indispensable pour limiter la génération de défauts induits par l'implantation. Dans le cas de l'Al, la température d'implantation se situe généralement entre 200 et 600°C mais des études ont été conduites jusqu'à des températures de 1000°C [232, 233] voire jusqu'à 1200°C [234]. La température optimale d'implantation d'Al est sujette à discussion. Rambach *et al.* ont montré que la résistivité et la compensation des couches implantées en Al diminuaient avec la température d'implantation (de 20 à 1000°C). Une température d'implantation de 1000°C serait donc optimale. Après une étude de la température d'implantation de RT à 1200°C, Pankin *et al.* ont déterminé une résistivité minimale à une température d'implantation de 400°C.

Enfin, le recuit post-implantation du SiC requiert des températures supérieures à 1500°C pour activer les dopants (impuretés mises en site de substitution) à un niveau acceptable et guérir les défauts engendrés durant l'implantation. La température d'activation sera d'autant plus importante que l'est la dose d'implantation. Les températures de recuit se situent généralement entre 1600 et 1800°C pour des équipements de production.

En termes de résistivité, la plus faible valeur obtenue par implantation d'Al et reportée dans la littérature est de 20 m $\Omega$ .cm après un recuit post-implantation à 2100°C pendant 30 secondes [235]. Cette valeur est proche de la plus faible résistivité (16,5 m $\Omega$ .cm) obtenue par dopage *in-situ* d'Al par l'expitaxie [236]. Toutefois, la température de recuit post-implantation mise en jeu est difficilement atteignable avec des équipements de recuit conventionnels (système de chauffage résistif ou inductif), Nipoti *et al.* ont utilisé un four de recuit basé sur la technologie micro-ondes. Malheureusement, cette technologie est, pour

l'instant, seulement adapté au traitement d'échantillons de faibles dimensions.

Une des principales problématiques des recuits à haute température est la dégradation de la surface du fait de la sublimation du SiC. Parmi les différentes solutions envisagées pour la protection de la surface durant le recuit (couche de protection, recuit sous silane), l'utilisation d'une couche de graphite (polymère pyrolysé) est la plus efficace et permet de conserver un état de surface proche de celui avant recuit.

### 3.3.3.2 Propriétés électriques de couches implantées en aluminium

Le dopage localisé par implantation d'Al dans 4H-SiC est la brique essentielle pour la réalisation de l'anode de la diode JBS. Au sein du laboratoire, la thèse de Xi Song s'est inscrite dans un travail d'optimisation de cette brique technologique et, en particulier, de mise en place d'une technique de caractérisation électrique des profils d'implantation à l'échelle microscopique. Après un rappel des principaux résultats expérimentaux de ce travail de thèse, quelques résultats supplémentaires seront apportés pour orienter le choix de la température d'implantation.

Durant la thèse de Xi Song, l'étude du dopage localisé par implantation d'Al dans 4H-SiC s'était principalement focalisé sur l'influence de la température d'implantation et de recuit post-implantation sur les propriétés électriques et structurales des couches implantées. Les températures d'implantation étudiées étaient la température ambiante, 200°C et 600°C. Les recuits post-implantation avaient été effectués dans un four résistif (Activator 150 de la société Centrotherm) dédié aux traitements thermiques à haute température du SiC. La température de recuit post-implantation avait été étudiée de 1650 à 1850°C sous Ar durant 30 minutes, durée maximale pour notre système à ces températures de recuit. Le profil d'implantation en Al avait été obtenu par une multi-implantation à différentes énergies (30, 80, 160, 220, 300 et 380 keV) avec une dose totale de  $4 \times 10^{15} \text{ cm}^{-2}$ . Les profils d'implantation en Al obtenus à différentes températures d'implantation sont représentés sur la figure 3.24.

Une première étude par la méthode TLM avait consisté à évaluer la résistance carrée de la couche implantée et la résistance spécifique d'un contact Ti/Al élaboré sur les échantillons implantés et recuits. Un échantillon implanté avec le même profil d'Al à 400°C a été caractérisé *a posteriori* et ajouté à cette étude.

Pour une température d'implantation donnée, la résistance carrée de la couche implantée et la résistance spécifique de contact diminuent avec la température de recuit post-implantation, traduisant une augmentation de l'activation des dopants avec cette dernière. Dans la condition de recuit la plus favorable (1850°C durant 30 minutes), l'implantation à « chaud » induit les plus faibles valeurs de résistance carrée et de SCR. Toutefois, il est difficile de conclure sur la température d'implantation optimale tant les

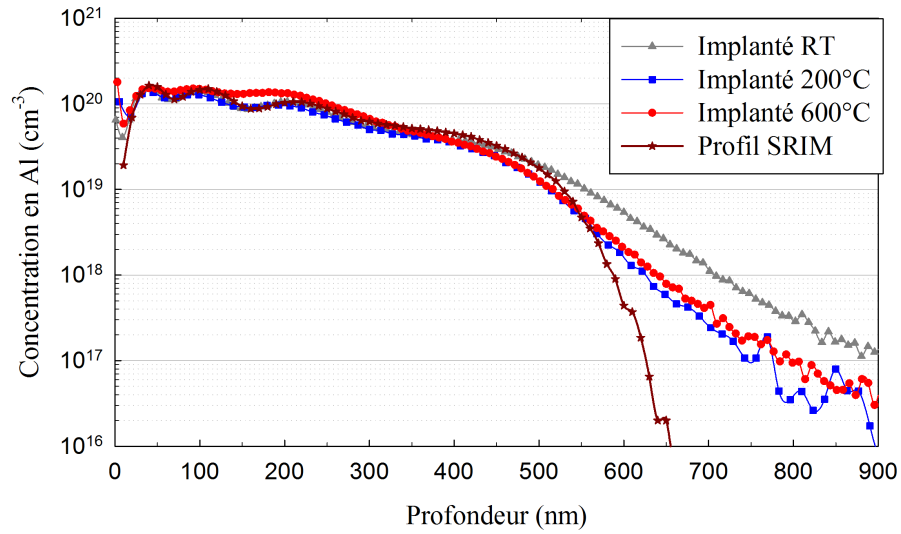


FIGURE 3.24 – Profils de concentration en Al simulés par SRIM et mesurés par SIMS sur les échantillons implantés à RT, 200 et 600°C non recuits.

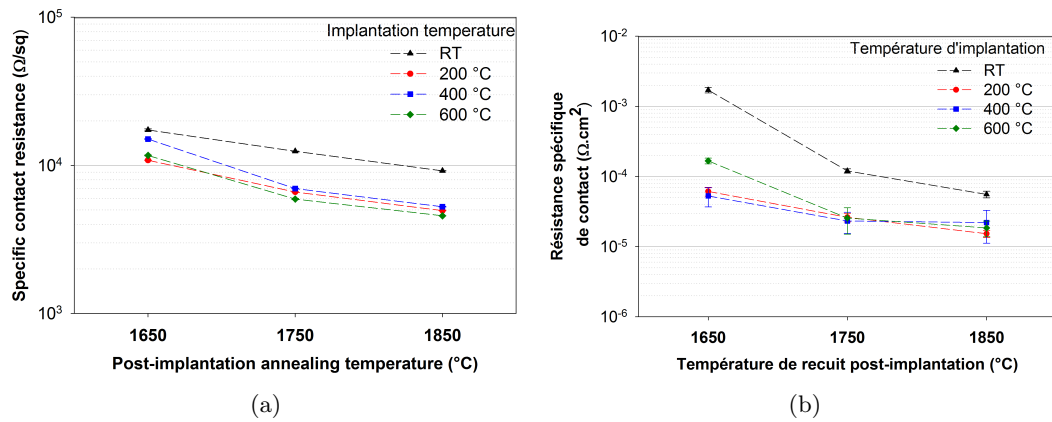


FIGURE 3.25 – Résistance carrée de la couche implantée (a) et résistance spécifique du contact Ti/Al(b) obtenues sur les échantillons implantés et recuits à différentes températures.



valeurs sont proches. De plus, nous voyons qu'il n'y a pas une corrélation évidente entre la résistance carrée et la résistance spécifique de contact.

### Complément d'information sur l'influence de la température d'implantation

Compte tenu des résultats déjà obtenus sur l'influence de la température de recuit, une attention particulière a été portée sur l'effet de la température d'implantation sur les propriétés électriques des couches implantées en Al et recuites à 1850°C pendant 30 minutes. Les propriétés électriques des couches implantées ont été étudiées à partir de motifs Van Der Pauw.

Pour cette étude, une plaquette de 4H-SiC de 3 pouces (couche de 6  $\mu\text{m}$ , de dopage type n à  $1 \times 10^{16} \text{ cm}^{-3}$ , épitaxiée sur substrat type n fortement dopé, 4° « off-axis ») est employée. Après découpe de la plaquette, des échantillons de taille  $2 \times 2 \text{ cm}^2$  ont été implantés en Al à température ambiante, 200, 400 et 600°C, avec le même profil. Les énergies d'implantation et les doses associées sont présentées dans le tableau 3.3. La dose totale des implantations est de  $4,9 \times 10^{15} \text{ cm}^{-2}$

| Energie (keV)                             | 30  | 60  | 110  | 180  |
|-------------------------------------------|-----|-----|------|------|
| Dose ( $\times 10^{14} \text{ cm}^{-2}$ ) | 4,4 | 7,8 | 11,6 | 25,2 |

Tableau 3.3 – Énergies et doses associées pour l'implantation d'Al.

Les multi-implantations ont été réalisées afin d'obtenir un plateau de concentration constante à  $2 \times 10^{20} \text{ cm}^{-3}$  sur une profondeur d'environ 200nm. Le profil d'implantation en Al est présenté sur la figure 3.26.

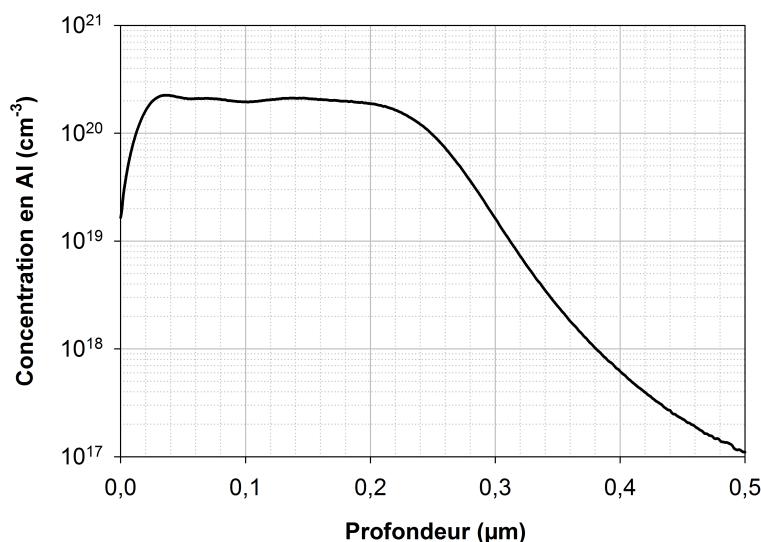


FIGURE 3.26 – Profil d'implantation en Al simulé à l'aide de Sentaurus Process.

Les échantillons ont ensuite été recuits à 1850°C pendant 30 minutes sous argon. Une couche de protection en carbone a été utilisée pour protéger la surface durant le recuit. Après recuit, celle-ci a été retirée à 800°C sous O<sub>2</sub> pendant 30 minutes. La résistivité des couches implantées et recuites a ensuite été extraite par la technique Van Der Pauw. Cette dernière consiste à réaliser des structures de test spécifiques, comme le montre la figure 3.27.

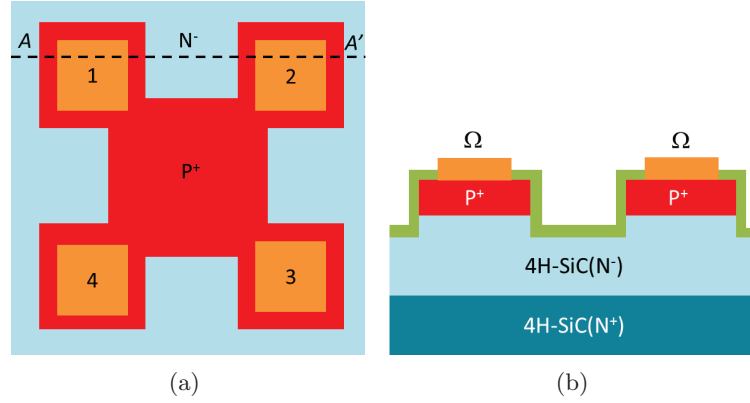


FIGURE 3.27 – Vue de dessus (a) et en coupe (b) selon AA' d'une structure Van Der Pauw.

Une isolation latérale de la structure est obtenue par gravure sèche. Un contact ohmique sur les zones P<sup>+</sup> a été réalisé à partir d'un contact Ti/Al recuit à 1000°C pendant 1 minute sous argon.

Soit  $R_{12,34}$  et  $R_{14,23}$  les résistances mesurées entre les différents contacts telles que :

$$\begin{aligned} R_{12,34} &= \frac{U_{12}}{I_{34}} \\ R_{14,23} &= \frac{U_{14}}{I_{23}} \end{aligned} \quad (3.5)$$

Dans le cas où  $R_{12,34} = R_{14,23} = R$ , la résistance carrée de la couche P<sup>+</sup> est donnée par la relation suivante :

$$R_{SH} = \frac{\pi \cdot R}{\ln(2)} \quad (3.6)$$

A partir de ce calcul, la résistance carrée et la résistivité correspondante ont été extraites à différentes températures sur les couches implantées et sont présentées sur la figure 3.28. Quelle que soit la température de mesure, nous observons que la résistance carrée et donc la résistivité décroît avec la température d'implantation. L'énergie d'activation des impuretés d'Al pour les échantillons implantés à 200, 400 et 600°C est respectivement de 126, 125 et 113 meV.

L'énergie d'activation des impuretés est dépendante de la concentration d'impuretés en site de substitution. En d'autres termes, plus l'énergie d'activation est faible, plus le taux

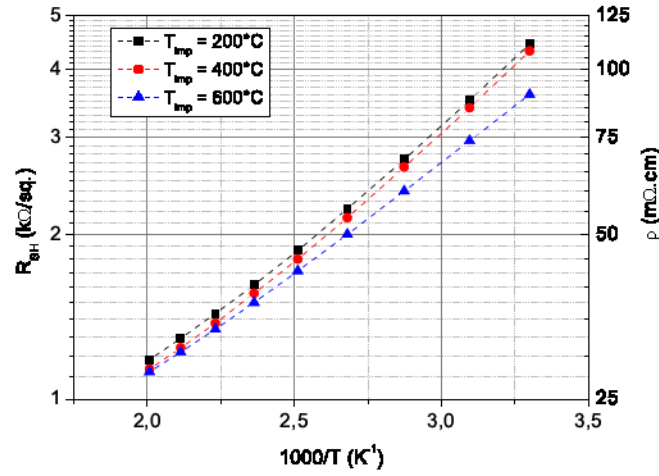


FIGURE 3.28 – Résistance carré et résistivité (pour une épaisseur de 250nm) des couches implantées recuites à 1850°C-30 min en fonction de la température de mesure, suivant la température d'implantation d'Al.

d'incorporation des impuretés en site de substitution est important. Ainsi, dans la gamme de température d'implantation étudiée, plus la température d'implantation est élevée, plus le taux d'activation est important.

Ces travaux nous ont permis d'identifier la température d'implantation optimale (600°C) pour réduire la résistivité de la couche implantée en Al. Pour aller plus loin dans ce sens, les travaux futurs devront être conduits sur l'augmentation de la dose implantée et, si possible, de la température d'implantation. Nous allons maintenant nous attacher à réaliser un contact faiblement résistif sur les régions de type P dont la définition par photolithographie devra être compatible avec la fabrication de la diode JBS.

### 3.3.4 Etat de l'art du contact ohmique sur SiC type p

Dans la littérature, les contacts à base d'Al ont été largement étudiés pour la réalisation de contact ohmique sur 4H-SiC type p. L'empilement métallique le plus souvent rencontré est Ti/Al dont le contact est assuré par la phase  $Ti_3SiC_2$  formée à l'interface du contact après recuit à des températures supérieures à 950°C [228]. Gao *et al.* ont montré que l'Al ne modifiait pas le niveau de dopage sous le contact mais facilitait la formation de phases liquides entre les différents constituants (Ti,Si,C) lors du recuit [237]. Les résistances spécifiques de contact obtenues à partir de cet empilement sont de l'ordre de  $10^{-4}$ - $10^{-5} \Omega.cm^2$ . Toutefois, la résistance spécifique de contact est très sensible à la concentration en Al. Crofton *et al.* ont montré que la composition atomique optimale du contact Ti/Al est de 30/70 [238]. Au-dessus de 70% d'Al, la reproductibilité du contact est

faible. En-dessous, le contact n'est pas ohmique. L'ajout d'un troisième élément métallique à cet empilement, tel que le Ni ou le Ge, est intéressant pour réduire la sensibilité des performances du contact vis-à-vis de la concentration en Al, d'une part, et diminuer la température de recuit optimale, d'autre part [239–242]. Avec un recuit à une température autour de 800°C, l'empilement Ni/Ti/Al permet d'atteindre des résistances spécifiques de contact comparables à celles obtenues avec l'empilement Ti/Al recuit à des températures supérieures à 950°C [242].

Le recours aux métaux nobles tels que le Pt et le Pd est une alternative à l'utilisation de contacts à base d'Al. Ces métaux réagissent avec le SiC pour former exclusivement des siliciures mais ont le défaut de s'agglomérer lors du recuit. Malgré ce problème, des résistances spécifiques de l'ordre de  $10^{-5} \Omega \cdot \text{cm}^2$  ont été obtenues à partir de contact Pd/4H-SiC [243, 244]. Pour limiter l'agglomération de ces métaux, l'ajout d'une couche de Si entre le métal et le SiC conduit à la formation d'une couche homogène de siliciures améliorant considérablement la morphologie du contact et ses performances. Par rapport à un contact à base de platine pur, Jang *et al.* ont réduit la résistance spécifique de contact d'une décade en intercalant une couche de silicium dopé bore entre le platine et le SiC [245]. A titre de comparaison, Mohammad *et al.* ont obtenu une résistance spécifique de contact de  $4,4 \times 10^{-5} \Omega \cdot \text{cm}^2$  à partir d'un empilement Si/Pt recuit à 1000°C durant 5 minutes contre  $7,0 \times 10^{-5} \Omega \cdot \text{cm}^2$  pour un empilement Ti/Al recuit à la même température durant 2 minutes [246].

Enfin, le nickel, seul ou accompagné d'une fine couche de titane, est communément employé pour la réalisation de contacts faiblement résistifs sur les régions dopées de type n. L'idée d'utiliser un seul métal pour la réalisation simultanée de contacts sur les régions de type n et p d'un composant tel que le JFET, est particulièrement séduisante et recherchée afin de réduire le nombre d'étapes de fabrication [247, 248]. Après un recuit du contact à des températures supérieures à 900°C compatibles avec le recuit sur les régions de type n, les résistances spécifiques de contact sont de l'ordre de  $10^{-3}$  et  $10^{-4} \Omega \cdot \text{cm}^2$  respectivement sur des couches implantées en Al avec un plateau de concentration en impuretés de  $10^{20}$  et  $10^{21} \text{ cm}^{-3}$  [248]. A notre connaissance, seuls deux travaux ont été conduits sur l'étude de la résistance spécifique de contact à base de nickel en fonction de la température de recuit [249, 250]. Tous deux confirment que la température optimale de recuit est autour de 700°C sur les régions de type p alors qu'elle est autour de 1000°C sur celles de type n. Toutefois, les résistances spécifiques de contact obtenues sont très différentes d'une équipe à l'autre et ne sont pas cohérentes avec les niveaux de dopage des couches utilisées.

La majorité de ces travaux, pour ne pas dire la totalité, fait appel à des techniques de définition des contacts, par « lift-off » ou gravure humide, qui sont difficilement intégrables dans la chaîne de fabrication de la diode JBS du fait des faibles dimensions des contacts visées. Dans ce qui suit, les différentes techniques de structuration des contacts en

technologie microélectronique seront présentées et discutées quant à leur compatibilité avec la fabrication de la diode JBS.

### 3.3.5 Techniques de fabrication des contacts

Dans le chapitre 2, nous avons vu que le dimensionnement des régions de type p conditionnait fortement la conduction de courant de la diode JBS. Il est donc essentiel de minimiser la largeur  $L_P$  des zones de type p pour éviter les pertes en conduction de la diode Schottky. Ainsi, la dimension des contacts  $L_C$  sera aussi faible que celle des zones P. En tenant compte d'une marge d'alignement  $\delta$  entre le niveau d'implantation des zones P et celui des contacts, la dimension des contacts sera donc encore plus faible (figure 3.29).

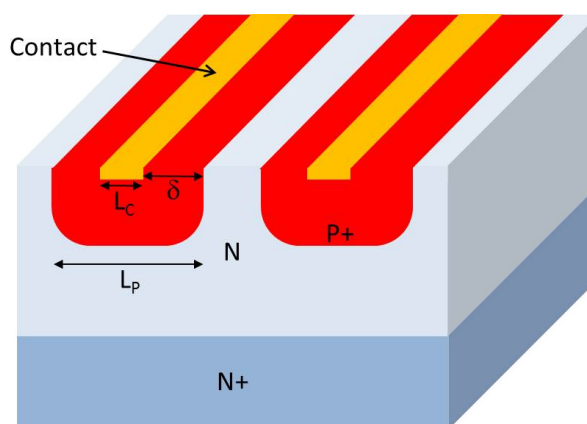


FIGURE 3.29 – Représentation des régions PN de la zone active d'une diode JBS.

La réalisation d'un contact sur les régions de type p à partir d'une métallisation différente du contact Schottky peut être effectuée suivant plusieurs techniques :

- Structuration par gravure (sèche ou humide)
- « Lift-off »
- Auto-alignement

La technique de structuration par gravure (figure 3.30) est couramment employée en technologie de fabrication microélectronique et est facilement déployable à l'échelle industrielle. Elle consiste à déposer une métallisation sur toute la plaquette (1) puis à déposer (2) et structurer (3) une couche de résine par photolithographie. Ensuite, la métallisation est structurée par gravure humide (4). Après retrait de la résine (5), un recuit thermique est effectué pour la formation d'un ou plusieurs alliages entre le SiC et la métallisation (6). Cette technique est souvent employée pour structurer une métallisation sur de larges zones (plusieurs  $\mu\text{m}$  de largeur) telle que pour la formation du contact Schottky. En effet, par voie humide, la surgravure latérale de la métallisation sous le masque de résine limite fortement la résolution de la structure. Le recours à une technique de gravure sèche pour la structuration de la métallisation pourrait sembler intéressante

pour obtenir une définition des motifs à l'échelle submicronique. Toutefois, après gravure sèche de la métallisation, la surface du matériau est susceptible d'être soumise à un bombardement ionique pouvant altérer la surface du matériau. Dans le cas de la diode JBS, ces zones devront accueillir un contact Schottky dont les propriétés électriques sont fortement dépendantes de l'état de surface du semiconducteur. Cette solution n'a donc pas été retenue pour la réalisation de contact sur les régions dopées P.

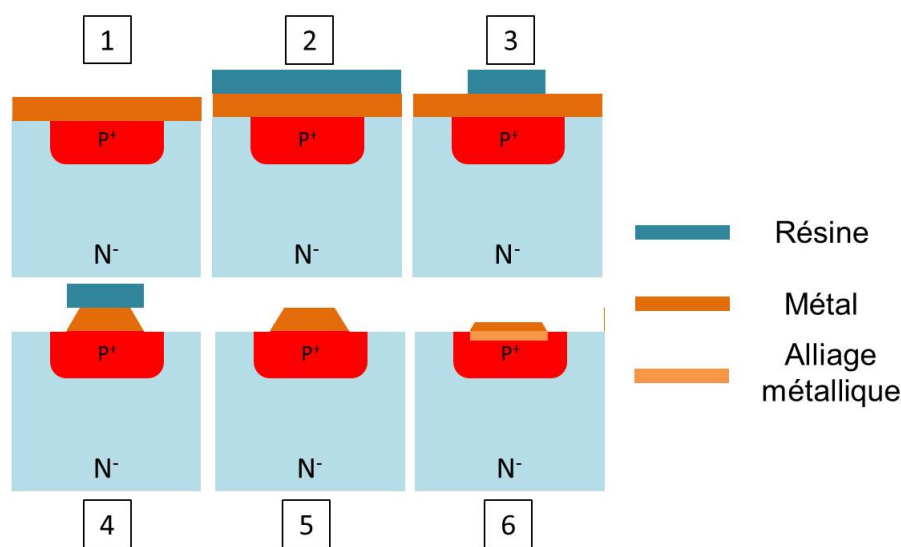


FIGURE 3.30 – Chaîne de formation d'un contact sur une région de type p, par la technique de structuration par gravure.

Une autre technique consiste à localiser la métallisation par un procédé dit « lift-off » (figure 3.31). Cette méthode repose sur la structuration d'une résine de telle sorte que celle-ci forme une « casquette » (3). Par le biais d'une technique de dépôt anisotrope telle que l'évaporation, aucun recouvrement métallique n'est présent au niveau des flancs de la résine (5). La métallisation, présente sur la résine, est retirée par dissolution de cette dernière (6). Ainsi, seule la métallisation en contact avec le semiconducteur est conservée.

Ce procédé offre la possibilité de déposer plusieurs couches métalliques de nature différente dont l'empilement est difficile voire impossible à structurer par la méthode présentée précédemment. Toutefois, cette technique présente des inconvénients en termes de :

- défektivité : le retrait de la métallisation s'opérant par « soulèvement » et non par dissolution, il y a toujours un risque de re-dépôt sur des zones sensibles (Schottky par exemple),
- définition : assurée par ombrage de la résine, elle est donc difficilement maîtrisable.

A notre connaissance, peu de filière technologique en microélectronique font appel à ce procédé pour la production de masse de composants électroniques.

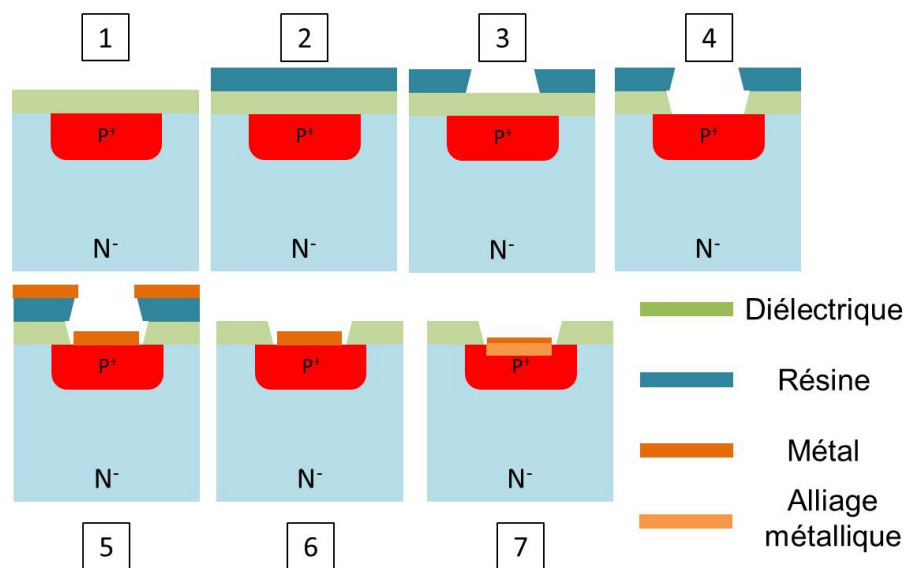


FIGURE 3.31 – Chaîne de formation d'un contact sur une région de type p, par la technique « Lift-off ».

Enfin, la méthode dite par auto-alignement (figure 3.32) est communément utilisée en technologie CMOS pour diminuer la résistance de contact au niveau des sources/drains et grilles des transistors. Un matériau diélectrique est déposé sur le matériau semiconducteur (1) et structuré par gravure sèche (4). Une fois le masque de résine retiré (5), un métal est déposé sur la totalité de la surface de la plaquette (6). Le métal, sous l'effet d'un traitement thermique (7), réagit préférentiellement avec les zones semiconductrices plutôt que celles diélectriques. Le métal n'ayant pas réagi est ensuite gravé dans une solution acide appropriée et sélective vis-à-vis de l'alliage métallique (8).

La réaction préférentielle de certains métaux avec le silicium, conduisant à la formation d'un siliciure de métal  $M_xSi_y$ , est connue sous le nom de « siliciuration ». Depuis les années 1980, le procédé de siliciuration par auto-alignement, SALICIDE (« **S**elf-**A**ligned **S**ilicide »), a été adopté en technologie CMOS pour la formation simultanée des contacts sur les sources/drains et les grilles, sans recours à une étape additionnelle de lithographie [251]. Cette technique est particulièrement adaptée pour la définition de contacts à l'échelle nanométrique puisque la limitation en termes de dimension sera imposée principalement par l'étape de photolithographie. Cette technique répond parfaitement à l'élaboration d'un contact sur les zones de type p de la diode JBS. Toutefois, à la vue de l'état de l'art du contact ohmique sur 4H-SiC de type p, l'obtention d'un contact à faible résistance de contact nécessite généralement l'association de plusieurs métaux dont les plus utilisés sont à base d'aluminium (Ti/Al, Ni/Ti/Al). Au sein du laboratoire, durant la thèse de Xi Song basée sur l'étude du dopage par implantation ionique d'Al dans 4H-SiC, l'empilement Ti/Al avait été retenu pour la réalisation de structures de test (TLM, Van Der Pauw).

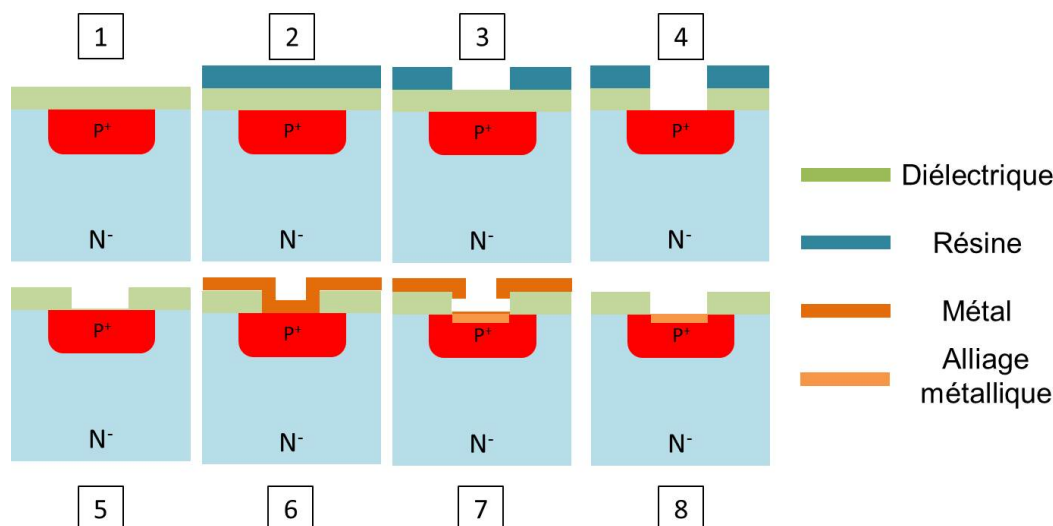


FIGURE 3.32 – Chaîne de formation d'un contact sur une région de type p par la technique d'auto-alignement

Un recuit thermique rapide du contact à 950°C durant 60 s conduisait à une résistance spécifique de contact minimale de l'ordre de  $2 \times 10^{-5} \Omega \cdot \text{cm}^2$ . Dans le cadre d'un procédé de définition des contacts par auto-alignement, la variété des phases cristallines formées lors du recuit ( $\text{Al}_3\text{C}_4$ ,  $\text{Ti}_3\text{SiC}_2$  et d'autres phases intermétalliques) complexifie le retrait de la métallisation sur les zones diélectriques sans retirer les phases en contact sur les zones semiconductrices. De plus, le procédé auto-aligné implique qu'aucune réaction ne se produise entre la couche métallique et la zone diélectrique lors du traitement thermique. Or, le titane réagit avec le matériau utilisé comme passivation, tel que de l'USG (Undoped Silicon Glass) déposé par PECVD, pour former un siliciure de titane  $\text{TiSi}_2$  (figure 3.33). Ce contact n'a donc pas été retenu pour la fabrication de la diode JBS.

Parmi les métaux à disposition au sein de notre plate-forme technologique et permettant la mise en place d'un procédé SALICIDE, le nickel est particulièrement intéressant pour diminuer la résistance d'accès au niveau des régions de type p. Le nickel et ses siliciures présentent plusieurs avantages :

- compatibilité avec la filière silicium. En effet, le siliciure de nickel  $\text{NiSi}$  a été retenu dans la fabrication de la dernière génération des transistors CMOS.
- forte sélectivité de la gravure des siliciures de nickel vis-à-vis du nickel. Le retrait du nickel, n'ayant pas réagi sur les zones diélectriques, est effectué à partir d'un mélange d'acide sulfurique  $\text{H}_2\text{SO}_4$  et d'eau oxygénée  $\text{H}_2\text{O}_2$  (communément appelé « Caro's » ou « Piranha »). Les siliciures de nickel sont très résistants à cette solution.

Une étude a donc été conduite sur la siliciuration du nickel sur SiC type p. Les structures de test (TLM) ont été réalisées à partir du procédé SALICIDE pour évaluer les performances électriques des contacts.



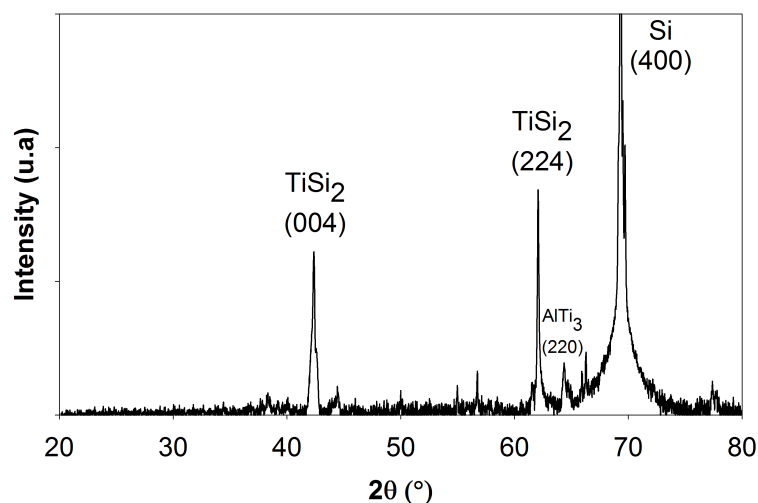


FIGURE 3.33 – Spectre DRX d'un empilement Al/Ti/USG/Si recuit à 950°C - 1 min

### 3.3.6 Siliciuration du nickel sur 4H-SiC type p

Avant de présenter les résultats obtenus sur les caractérisations électriques et structurales de contacts élaborés sur 4H-SiC de type p à partir de la siliciuration du nickel, le protocole expérimental mis en place pour cette étude sera exposé succinctement. La couche de 4H-SiC de type p utilisée, la chaîne de fabrication technologique des structures de test et la méthode d'évaluation des performances électriques des contacts seront décrites.

#### 3.3.6.1 Protocole expérimental

**Fabrication des contacts.** La siliciuration du nickel a été étudiée sur une couche de 4H-SiC implanté en Al à 500°C et recuit à 1850°C durant 30 min sous Ar. Le profil d'implantation en Al est un plateau de concentration à  $1 \times 10^{20} \text{cm}^{-3}$  sur une profondeur de 200 nm (figure 3.34).

Après nettoyage de la surface par une procédure de type RCA pour éliminer toute contamination organique et métallique, une couche de  $\text{SiO}_2$  de 0,5  $\mu\text{m}$  a été déposée par PECVD. Les étapes technologiques suivantes sont celles présentées sur la figure 3.32. La couche de  $\text{SiO}_2$  a été structurée par gravure sèche à partir d'un plasma à base de  $\text{CHF}_3$ . Après retrait de la résine, les échantillons ont été nettoyés dans un bain de Caro's ( $\text{H}_2\text{SO}_4 : \text{H}_2\text{O}_2$ ) pendant 10 min à 110°C suivi d'une désoxydation dans un bain de HF (1%). Le dépôt d'une couche de 100 nm de nickel a été effectué par pulvérisation cathodique. Préalablement au dépôt, un décapage ionique in-situ sous plasma d'Ar a été effectué pour retirer l'oxyde natif à la surface du SiC. La formation du siliciure de nickel a été obtenue par recuit rapide dans un four à lampe (Jipelec JetFirst 200). La rampe de montée en température et la durée de recuit ont été respectivement fixées à 40°C/min et 2 minutes.

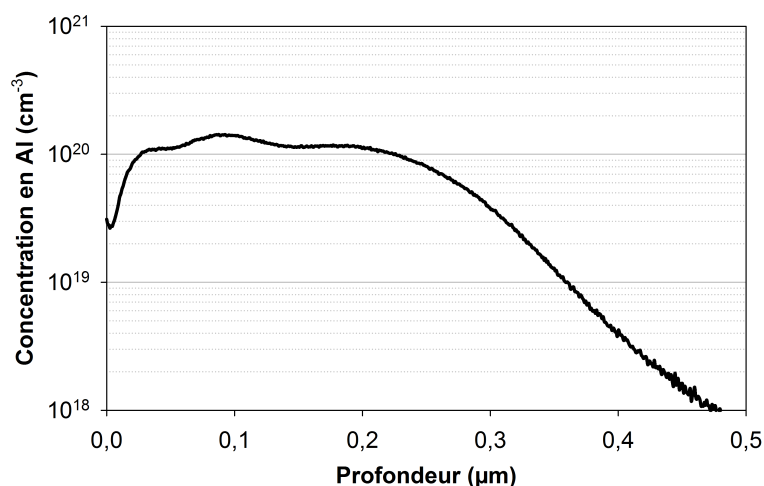


FIGURE 3.34 – Profil d'implantation en Al après recuit post-implantation à 1850°C pendant 30 minutes obtenu sur la couche destinée à l'étude de contact.

La température de recuit appliqué au contact a été étudiée de 600 à 1000°C par pas de 100°C. Après recuit, le nickel n'ayant pas réagi a été retiré dans un mélange d'H<sub>2</sub>SO<sub>4</sub> (96%) et d'H<sub>2</sub>O<sub>2</sub> en proportion 1 :1 maintenu à 110°C. Pour la caractérisation électrique, une couche de 1 μm d'aluminium a été ajoutée pour épaissir les contacts.

**Méthode des TLM circulaires** La résistance spécifique de contact a été extraite suivant la méthode des TLM circulaires (CTLM) [252]. La structure de test utilisée pour cette méthode est présentée sur la figure 3.35. Elle est constituée d'un plan de masse rectangulaire et de plots circulaires de rayon  $L$  fixe. L'espacement  $d$  avec le plan de masse est variable. L'ensemble de la structure est composée de plusieurs zones circulaires métalliques (9 dans notre cas) caractérisées par un espacement  $d$  variable de 12 à 48 μm.

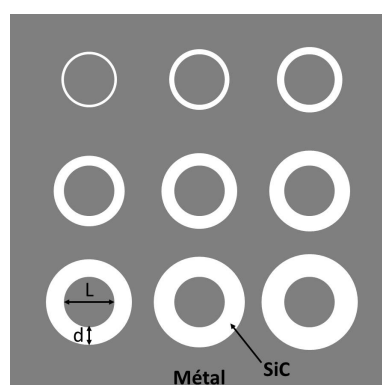


FIGURE 3.35 – Motif CTLM utilisé pour l'extraction de la résistance spécifique de contact.

Les résistances totales mesurées pour chaque espacement peuvent être reportées sur un graphe en fonction de la distance  $d$ , comme il est montré sur la figure 3.36.

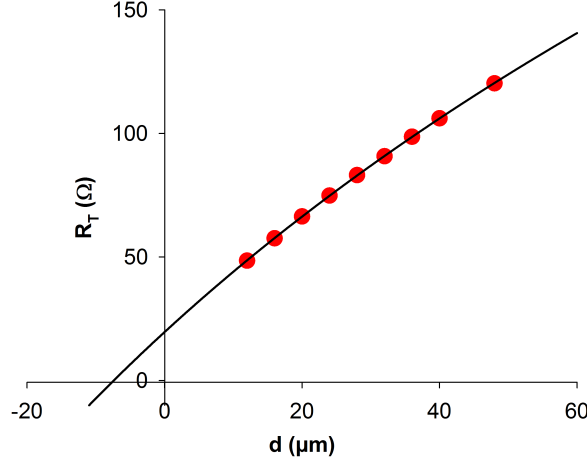


FIGURE 3.36 – Résistance mesurée sur un motif CTLM en fonction de la distance  $d$ . La courbe correspond à la régression logarithmique obtenue.

Une régression logarithmique de la courbe obtenue permet d'extraire la résistance carrée  $R_{SH}$  de la couche semiconductrice et la longueur de transfert  $L_T$  du contact. L'équation décrivant cette variation de la résistance en fonction de la distance  $d$  est présentée ci-dessous [253] :

$$R_T = \frac{R_{SH}}{2\pi} \cdot \left[ \frac{L_T}{L} + \frac{L_T}{L+d} + \ln \left( 1 + \frac{d}{L} \right) \right] \quad (3.7)$$

Ainsi, la résistance spécifique de contact  $\rho_c$  peut être calculée à partir de la relation suivante :

$$L_T = \sqrt{\frac{\rho_c}{R_{SH}}} \quad (3.8)$$

Toutefois, cette méthode s'applique uniquement si la caractéristique courant-tension des contacts est rigoureusement linéaire et donc synonyme d'ohmicité. Or, la caractéristique de nos contacts ne l'est jamais parfaitement. La figure 3.37 illustre un exemple de non-linéarité d'une caractéristique courant-tension d'un contact à base de siliciures de nickel mesurée à partir d'un motif CTLM.

Afin d'évaluer, à titre comparatif, les performances électriques des contacts suivant les conditions de recuit, la résistance spécifique de contact a donc été calculée à partir de la résistance correspondante à la pente de la régression linéaire obtenue sur la caractéristique I-V mais aussi celle mesurée à différentes valeurs de courant (1, 10 et 100 mA).

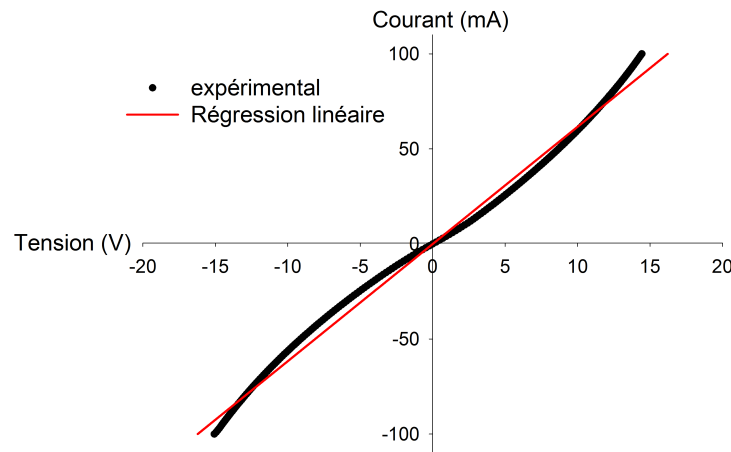


FIGURE 3.37 – Exemple de caractéristique courant-tension d'un contact mesurée à partir d'un motif CTLM.

### 3.3.6.2 Influence de la température de recuit

#### Caractérisations électriques.

La figure 3.38 illustre l'influence de la température de recuit sur la résistance spécifique du contact Ni/4H-SiC type p mesurée à 30°C.

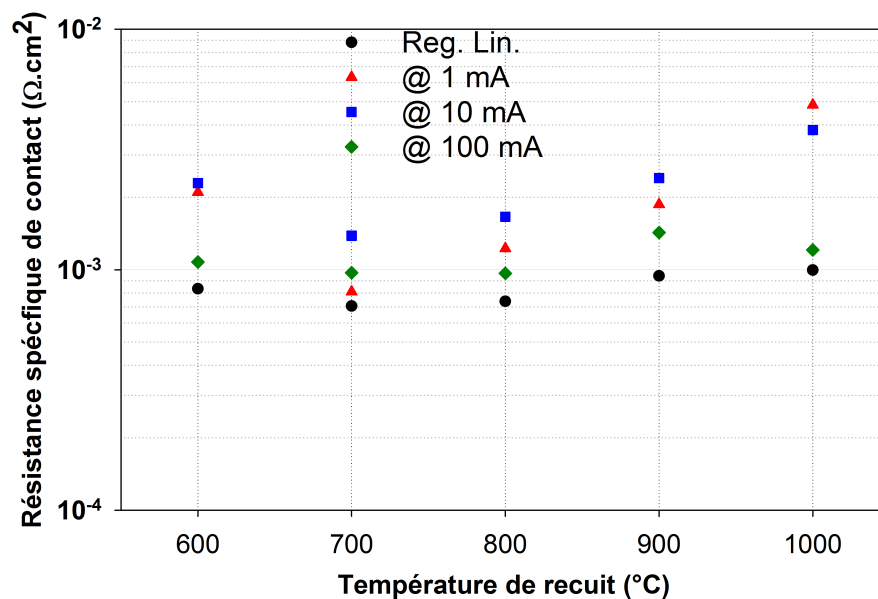


FIGURE 3.38 – Résistance spécifique du contact Ni/4H-SiC type p mesurée à température ambiante, suivant la température de recuit appliquée.

Quelle que soit la méthode d'extraction de la résistance des TLM, le minimum de résistance spécifique de contact Ni/4H-SiC(p) est atteint après un recuit à 700°C. Des

mesures à différentes températures confirment que la résistance spécifique de contact est minimisée après un recuit à une température de 700°C (figures 3.39) .

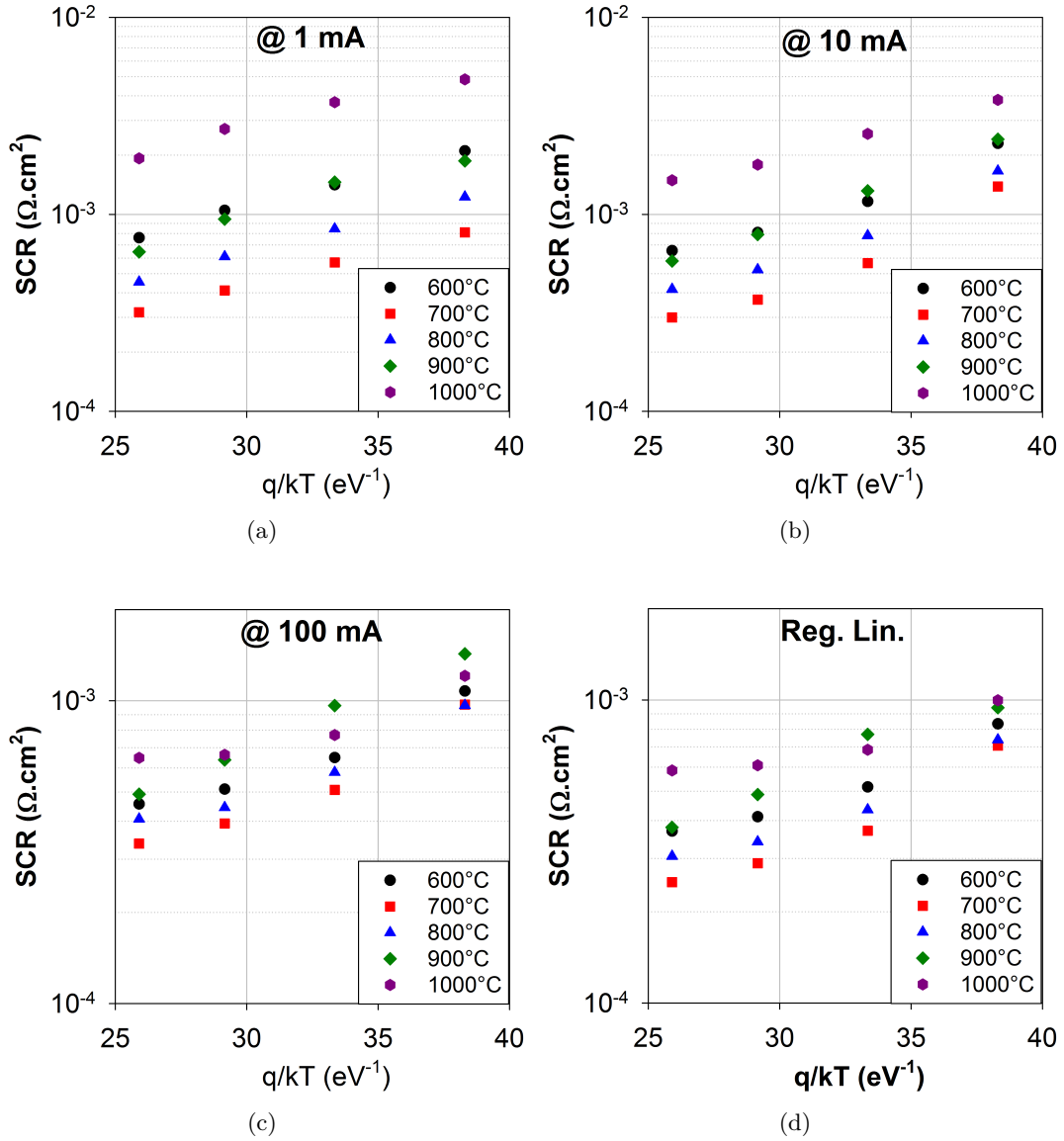


FIGURE 3.39 – Résistance spécifique de contact Ni/SiC en fonction de  $q/kT$  selon la température de recuit appliquée. Valeurs de SCR extraites à partir des résistances mesurées à 1 (a), 10 (b), 100 mA (c) ou par régression linéaire (d).

Sur 4H-SiC type n, ce minimum de résistance spécifique de contact est généralement obtenu entre 950 et 1050°C. Dans la littérature, de nombreux travaux ont été menés pour identifier l'origine du comportement ohmique des contacts Ni/SiC(n). En effet, la transition Schottky/ohmique du comportement du contact Ni/SiC(n) avec la température de recuit ne peut s'expliquer uniquement par la formation de siliciures de nickel à l'interface entre

le contact et le SiC puisque celle-ci est effective dès 600°C. D'autres hypothèses ont été proposées et réfutées pour expliquer cette transition :

- surdopage par création de lacunes de carbone ayant un niveau de donneur dans la bande de conduction [254],
- formation de graphite à l'interface contact/SiC [255].

L'hypothèse la plus probable est d'origine microstructurale et serait due à la formation d'une couche épitaxiale, ordonnée et cohérente de Ni<sub>2</sub>Si [256] ou de NiSi [257] à l'interface contact/SiC dès 950°C. Tanimoto *et al.* ont corrélié la hauteur de barrière Schottky et la résistance spécifique de contact Ni/4H-SiC(n) recuit à différentes températures (figure 3.40).

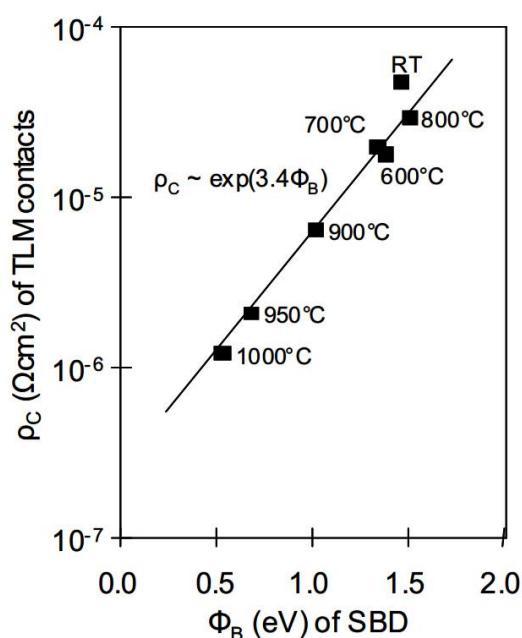


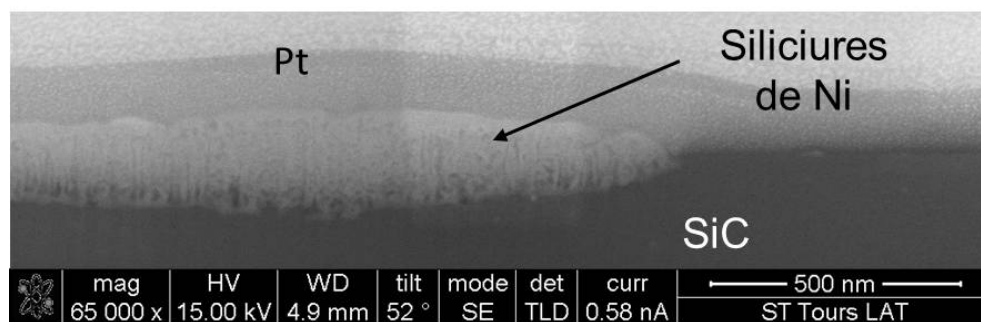
FIGURE 3.40 – Corrélation entre la hauteur de barrière Schottky et la résistance spécifique de contact Ni/4H-SiC(n) pour différentes température de recuit du contact [257].

On remarque que la hauteur de barrière Schottky sur type n est maximisée après recuit à des températures inférieures à 900°C, traduisant un fort travail de sortie effectif des siliciures de nickel formés durant le recuit. Par analogie sur SiC type p, l'hypothèse d'une faible barrière Schottky de ce contact sur 4H-SiC de type p pourrait expliquer les faibles résistances spécifiques de contacts obtenues.

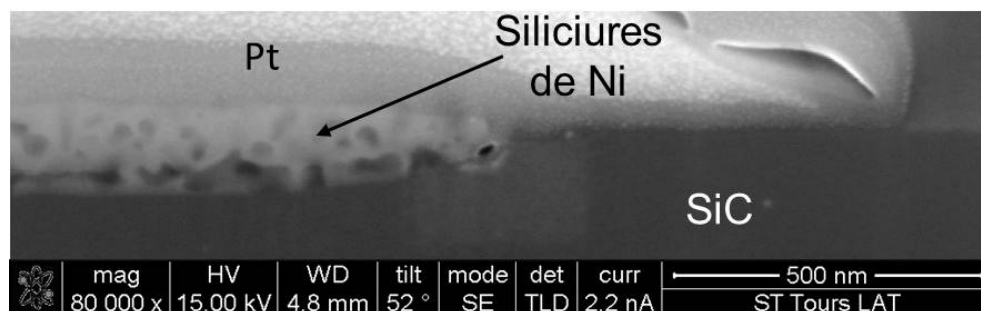
### Caractérisations structurales.

Une analyse structurale de l'interface du contact a été effectuée afin d'évaluer la morphologie du contact et l'épaisseur de SiC consommé durant la siliciuration du Ni.

La figure 3.41 présente une vue d'ensemble par MEB d'une coupe FIB du contact Ni/SiC selon la température de recuit. Dans les deux cas présentés, les épaisseurs du contact et de SiC consommé sont très irrégulières le long du contact. L'épaisseur de SiC consommé lors de la formation du contact varie entre 150 et 180 nm quelle que soit la température de recuit. Compte tenu de la profondeur sur laquelle s'étend le plateau de concentration maximum en aluminium implanté (200 nm), il sera nécessaire de réduire l'épaisseur de couche de SiC consommé lors de la siliciuration.



(a)



(b)

FIGURE 3.41 – Images MEB de la coupe FIB d'un contact Ni/4H-SiC(p) recuit à 700°C (a) et 1000°C (b) pendant 2 min sous Ar.

Dans les deux cas, la morphologie des contacts Ni/SiC après recuit est poreuse. Les vides observés dans le contact sont formés par effet Kirkendall. Durant le recuit, la forte réactivité du Ni avec le Si provoque la dissociation du SiC. Le flux de Si vers le Ni étant plus important que celui du Ni vers Si, les lacunes de Si s'agglomèrent pour former des vides. Dans la littérature, cet effet a été plusieurs fois observé lors de la réaction entre le Ni et SiC. Suivant la température de recuit, la morphologie des vides est légèrement différente, plutôt colonnaire à 700°C et sphérique à 1000°C. La taille des vides est aussi sensiblement différente, elle est plus importante après recuit à 1000°C. La différence de morphologie des contacts suivant la température de recuit pourrait expliquer celle de la résistance spécifique de contact. En effet, la présence de vides dans le contact et à l'interface peut modifier la surface effective de contact et donc la distribution du courant

à travers le contact. Toutefois, en supposant que la morphologie des contacts après recuit soit indépendante du dopage, cela n'expliquerait pas pourquoi la tendance est inversée sur 4H-SiC type n, c'est-à-dire que la résistance spécifique de contact est plus faible à 1000°C qu'à 700°C.

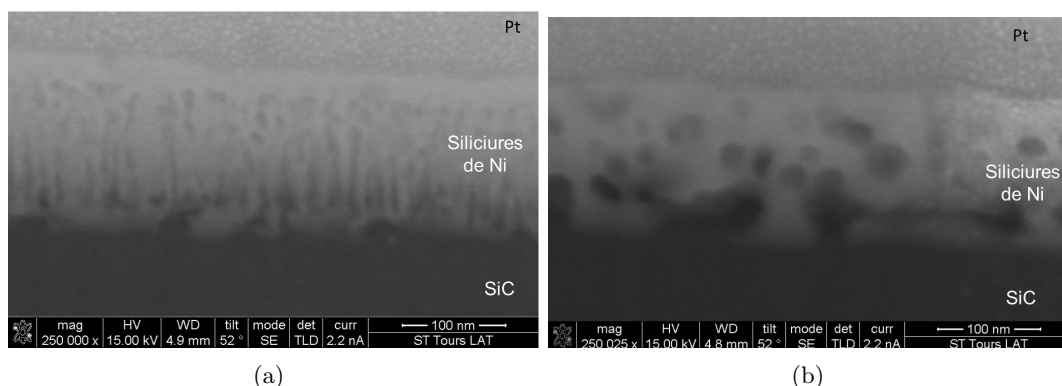


FIGURE 3.42 – Images MEB de la coupe FIB d'un contact Ni/4H-SiC(p) recuit à 700°C (a) et 1000°C (b) pendant 2 min sous Ar.

Néanmoins, il serait donc intéressant d'évaluer si une modification de la morphologie se traduit par celle de la résistance spécifique de contact. L'étude suivante consiste à évaluer si l'épaisseur de Ni initialement déposé a une influence sur la morphologie du contact et ses propriétés électriques.

### 3.3.6.3 Influence de l'épaisseur de Ni

Nous avons étudié l'influence de l'épaisseur de nickel déposé sur la résistance spécifique du contact après recuit à 700°C. L'épaisseur de nickel étudiée varie de 12,5 à 100nm. Afin d'éviter une oxydation importante du nickel avant ou lors du recuit, notamment pour les faibles épaisseurs, une couche de 100 nm de TiW a été déposée sur la couche de nickel. Enfin, une analyse structurale du contact a été effectuée pour évaluer la morphologie du contact et l'épaisseur de SiC consommé durant la siliciuration du nickel, en fonction de l'épaisseur déposée.

#### Caractérisations électriques.

La figure 3.43 illustre la dépendance de la résistance du contact Ni/SiC en fonction de l'épaisseur de nickel. Le cas précédent, Ni (100 nm) sans couche de protection en TiW, a été ajouté pour comparaison.

Pour une épaisseur de nickel initiale de 100 nm, quelle que soit la méthode d'extraction, on observe une légère modification de la résistance spécifique de contact suivant la présence



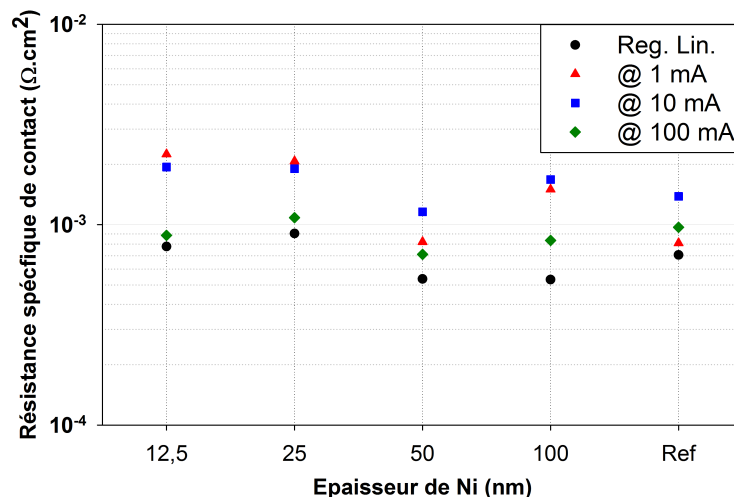


FIGURE 3.43 – Résistance spécifique du contact Ni/4H-SiC(p) recuit à 700°C pendant 2 min sous Ar suivant l'épaisseur de nickel déposé.

ou non de la couche de protection de TiW. En effet, la dispersion de la SCR avec la méthode d'extraction est plus importante en présence de la couche de TiW lors du recuit.

Concernant l'influence de l'épaisseur, la résistance spécifique de contact atteint une valeur minimale, et ce quelle que soit la méthode d'extraction, pour une épaisseur de nickel de 50 nm. Une réduction de l'épaisseur en deçà de 50 nm tend à dégrader la résistance spécifique de contact.

Une analyse structurale a été réalisée pour évaluer la morphologie du contact et l'épaisseur de SiC consommé durant la siliciuration du Ni, suivant l'épaisseur de nickel déposé. Cette analyse fait l'objet de la partie suivante.

### Caractérisations structurales.

La figure 3.44 présente une vue MEB de l'interface du contact Ni/SiC après recuit, obtenue par FIB selon l'épaisseur de nickel déposé. Quelle que soit l'épaisseur de nickel, nous observons la présence de vides à l'interface NiSi/SiC. Toutefois, pour la plus faible épaisseur de nickel déposé (12,5 nm), l'origine des vides ne semble pas être l'effet Kirkendall mais plutôt une coalescence du nickel durant le recuit.

Les épaisseurs de SiC consommé durant la siliciuration du Ni sont d'environ 150, 100 et 35 nm respectivement pour des épaisseurs de nickel déposé de 100, 50 et 12,5 nm. En d'autres termes, le ratio épaisseur de SiC consommé - épaisseur de nickel tend à augmenter avec la diminution de l'épaisseur. Cela pourrait s'expliquer par le fait que la diffusion de Si vers le Ni (ou Ni vers SiC) est de plus en plus réduite avec l'augmentation de l'épaisseur de la couche de siliciures de nickel formés.

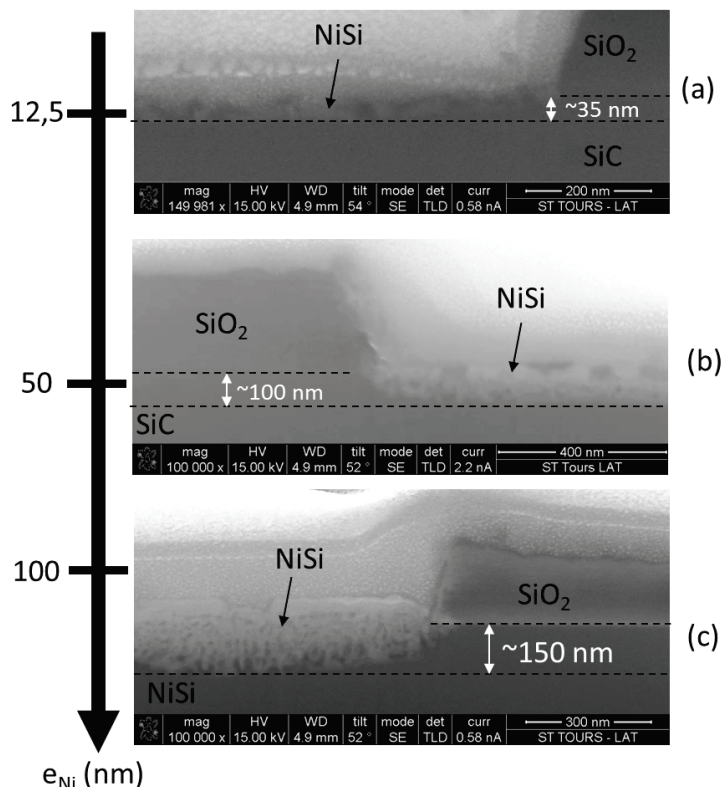


FIGURE 3.44 – Images MEB de la coupe FIB d’un contact Ni/4H-SiC(p) recuit à 700°C pendant 2 min sous Ar suivant l’épaisseur  $e_{Ni}$  de nickel déposé : 12,5 (a), 50 (b) et 100 nm (c).

### 3.3.7 Application du contact Ni/SiC à la diode PiN

Comme nous l’avons vu précédemment par simulation (section 3.3.1), l’injection de porteurs minoritaires à partir des jonctions PN de la diode JBS est fortement dépendante de la résistance spécifique de contact sur les régions de type P. Le but de cette partie est d’évaluer expérimentalement le bénéfice, en termes de performances en direct de diodes PiN, apporté par cette étape de siliciuration du nickel.

A partir de la méthode des TLM circulaires, la résistance spécifique de contact sur les régions de type P sera présentée suivant la présence, ou non, d’une couche de siliciures de nickel. Enfin, les performances en direct des diodes PiN seront évaluées et comparées suivant la nature du contact sur les régions de type P.

#### 3.3.7.1 Conditions expérimentales

Pour cette étude, nous avons utilisé deux échantillons de SiC implanté en Al à 400°C et recuit à 1850°C pendant 30 min, dans les mêmes conditions que l’étude concernant

température d'implantation. La structure de la diode PiN étudiée est présentée sur la figure 3.45.

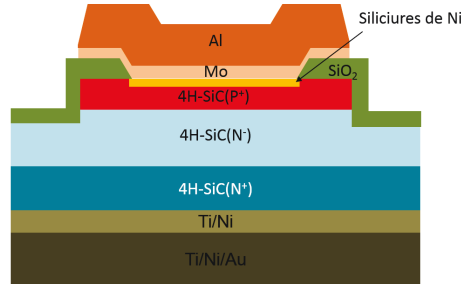


FIGURE 3.45 – Structure de la diode PiN pour l'étude du contact Ni/SiC.

Une isolation mesa de la couche  $P^+$  a été réalisée par gravure sèche du SiC. Un contact ohmique en face arrière a été obtenu à partir d'un empilement Ti/Ni recuit à  $1000^\circ\text{C}$  pendant 1 minute sous argon et une recharge métallique Ti/Ni/Au a été ajoutée. À l'anode, le contact Ni (50 nm)/SiC recuit à  $700^\circ\text{C}$  durant 2 minutes a été réalisé par auto-alignement selon les conditions vues précédemment. Une couche de molybdène (100 nm) a été ensuite déposée par pulvérisation cathodique et recuite à  $400^\circ\text{C}$  durant 2 minutes sous Ar. Cette métallisation en Mo a été utilisée car elle a été retenue pour la formation du contact Schottky sur SiC type N de nos diodes JBS, comme nous le verrons plus tard. Enfin, une recharge métallique en Al d'une épaisseur de  $1\ \mu\text{m}$  a été déposée sur la couche de molybdène. Afin d'étudier l'influence du contact Ni/SiC sur les performances en direct de la diode PiN, un échantillon a été réalisé sans l'étape de siliciuration du nickel, la couche de molybdène est alors directement déposée sur la couche  $P^+$ .

Nous notons que des motifs CTLM sont présents sur les échantillons afin de contrôler la résistance spécifique de contact.

### 3.3.7.2 Résistance spécifique de contact

À partir des motifs TLM circulaires, la figure 3.46 présente la caractéristique R-I du contact obtenue sur SiC type P suivant la présence ou non d'une couche de siliciures de nickel entre la métallisation Schottky en molybdène et la couche fortement dopée de type p. Nous avons volontairement choisi cette représentation R-I pour mettre en évidence la non-linéarité des contacts obtenus sur les régions de type P. En effet, dans le cas d'un contact ohmique, c'est-à-dire présentant une caractéristique I-V linéaire, la résistance est indépendante du courant appliqué. Cette représentation met donc clairement en évidence la non-ohmicité des contacts en présence ou non d'une couche de siliciures de nickel sur SiC type p. En d'autres termes, la résistance mesurée diminue avec l'augmentation de la valeur absolue du courant appliqué. Toutefois, nous notons que la dispersion de la

résistance mesurée vis-à-vis du courant appliqué est beaucoup plus importante en absence de siliciures de nickel entre la métallisation Schottky et la couche de type p.

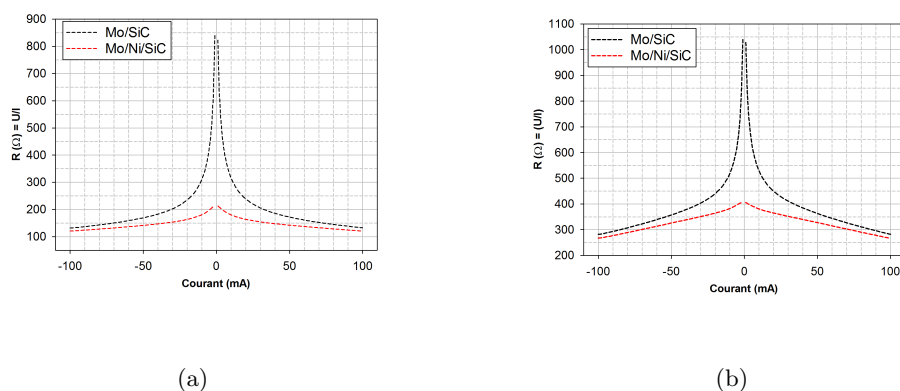


FIGURE 3.46 – Caractéristique résistance-courant obtenue à partir des motifs TLM circulaires pour un espacement entre les plots de 16 (a) et 48  $\mu\text{m}$  selon la présence ou non d’une couche de siliciures de nickel entre la métallisation Schottky en Mo et la couche de type p.

En reprenant la même méthodologie d’extraction de la résistance spécifique de contact utilisée précédemment lors de l’étude de la silicuration du nickel sur SiC type p, le tableau montre la résistance spécifique du contact Mo/Ni/SiC et Mo/SiC obtenue à différentes valeurs de courant.

| Empilement | SCR ( $\times 10^{-3} \Omega.\text{cm}^2$ ) |                 |                 |
|------------|---------------------------------------------|-----------------|-----------------|
|            | 1mA                                         | 10mA            | 100mA           |
| Mo/SiC     | $78,4 \pm 3,5$                              | $6,05 \pm 0,25$ | $0,47 \pm 0,03$ |
| Mo/Ni/SiC  | $1,24 \pm 0,20$                             | $0,55 \pm 0,05$ | $0,26 \pm 0,01$ |

Tableau 3.4 – Comparaison des valeurs de résistance spécifique du contact Mo/SiC selon la présence ou non d’une couche de siliciures de nickel à l’interface.

Quelle que soit la nature du contact, on remarque que la résistance spécifique de contact diminue avec l’augmentation de la valeur de courant utilisée pour le calcul de la résistance. Néanmoins, sa dispersion vis-à-vis du courant appliqué est plus faible dans le cas où une couche de siliciures de nickel est présente à l’interface Mo/SiC. A fort courant, les valeurs calculées de SCR sont relativement proches pour les deux types de contact. Au niveau des performances en direct d’une diodes PiN, il serait donc intéressant d’évaluer le gain apporté par l’étape de silicuration de nickel sur SiC type p.

### 3.3.7.3 Performances en direct de diodes PiN

La figure 3.47 illustre la caractéristique courant-tension en direct de diodes PiN (diamètre d'anode de 125  $\mu\text{m}$ ) suivant la présence ou non d'une couche de siliciure de nickel entre Mo et SiC. La tension de seuil de la diode PiN avec un contact Mo/Ni/SiC est plus faible que celle d'une diode PiN avec un contact Mo/SiC. Cela se traduit par une chute de tension plus importante pour cette dernière et ce quelle que soit la densité de courant. Dans les deux cas, la diminution de la résistance série avec l'augmentation de la densité de courant confirme l'effet de modulation de conductivité de la couche de dérive induit par l'injection de porteurs minoritaires. Toutefois, à faible densité de courant, la présence de la couche de siliciures de nickel à l'anode réduit considérablement la résistance série de la diode. A forte densité de courant, les valeurs sont similaires pour les deux contacts. Suivant la nature du contact, l'évolution de la résistance série avec l'augmentation de la densité de courant est en accord avec celle de la résistance spécifique de contact calculée précédemment.

| Empilement | $V_F$ (V)             |                        | $R_{ON} \cdot S$ ( $\text{m}\Omega \cdot \text{cm}^2$ ) |                        |
|------------|-----------------------|------------------------|---------------------------------------------------------|------------------------|
|            | @ 100A/ $\text{cm}^2$ | @ 1000A/ $\text{cm}^2$ | @ 100A/ $\text{cm}^2$                                   | @ 1000A/ $\text{cm}^2$ |
| Mo/SiC     | 4,12                  | 5,78                   | 4,58                                                    | 1,04                   |
| Mo/Ni/SiC  | 2,92                  | 3,89                   | 1,52                                                    | 1,04                   |

Tableau 3.5 – Comparaison des valeurs de chute de tension  $V_F$  et de résistances séries  $R_{ON} \cdot S$  extraites à différentes densités de courant, suivant la nature du contact à l'anode de la diode PiN.

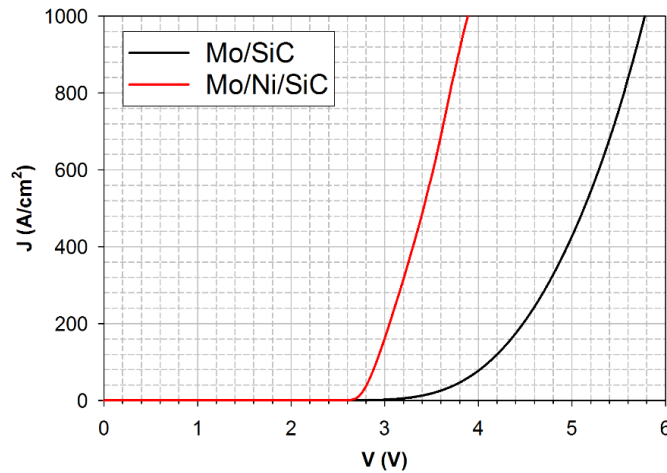


FIGURE 3.47 – Caractéristique densité de courant-tension en direct de diodes PiN suivant la nature du contact à l'anode (diamètre de 125  $\mu\text{m}$ ).

En perspective, il sera intéressant d'évaluer l'influence de cette étape de siliciuration du nickel sur les performances en direct de la diode JBS.

### 3.3.8 Conclusion et perspectives

Bien que la siliciuration du nickel sur les régions de type p n'induit pas des résistances spécifiques de contact comparables à celles de contacts à base d'Al, la résistance d'accès est, toutefois, diminuée par rapport à celle obtenue avec un contact formé à partir de la métallisation utilisée pour le contact Schottky tel que le Mo. Du point de vue des conditions de siliciuration du nickel sur 4H-SiC type p, une température de recuit optimale du contact a été déterminée à 700°C afin d'obtenir la résistance spécifique de contact la plus faible. Au niveau structural, la présence de vides de Kirkendall dans la couche de siliciures de nickel a été identifiée après un recuit à 700 et 1000°C. De plus, nous n'avons observé aucune amélioration de la morphologie du contact avec l'épaisseur de nickel déposé. Plusieurs perspectives d'amélioration du contact sur les régions de type p peuvent être envisagées. En technologie Si, la stabilité thermique de certains siliciures de nickel est améliorée grâce à l'incorporation d'un faible pourcentage de Pt dans le Ni. Il serait intéressant d'évaluer l'effet du Pt dans la siliciuration du Ni sur SiC afin d'identifier la possibilité de privilégier la formation d'une phase unique et son impact sur les propriétés électriques du contact. Enfin, l'influence d'une couche de titane entre le nickel et SiC devra être étudiée sur les propriétés électriques du contact. Une attention particulière devra être portée pour éviter une réaction lors du recuit du titane avec le matériau diélectrique utilisé lors du masquage.

Compte tenu des résultats précédents, la siliciuration du nickel sur les régions de type P de nos dispositifs sera effectuée à 700°C à partir d'une couche de nickel de 50nm d'épaisseur et protégée par une couche de TiW durant le recuit.

## 3.4 Contact Schottky

La formation d'un contact redresseur, ou Schottky, sur les régions de type n de la diode JBS est la brique essentielle conditionnant l'injection de courant à l'état passant à faible niveau de polarisation mais aussi le niveau de courant de fuite en régime bloqué, pour un design des zones P donné. En régime direct, la chute de tension  $V_F(J_F)$  d'une pure diode Schottky est donnée par :

$$V_F = \frac{\eta kT}{q} \ln \left( \frac{J_F}{A^* T^2} \right) + \eta \Phi_B + R_{ON} J_F \quad (3.9)$$

avec  $\eta$  le facteur d'idéalité de la diode,  $\phi_B$  la hauteur de barrière effective à franchir par les électrons pour passer du SiC vers le métal,  $A^*$  la constante de Richardson,  $R_{ON}$  la résistance série de la diode et  $J_F$  la densité de courant. A partir de cette équation, nous constatons que la chute de tension de la diode à l'état passant est fortement dépendante des caractéristiques du contact Schottky, à savoir son facteur d'idéalité et sa hauteur de barrière. Le facteur d'idéalité traduit la qualité de l'interface métal-semiconducteur et vaut

1 dans le cas idéal. Le niveau de hauteur de barrière Schottky va conditionner à la fois le niveau d'injection de courant à l'état passant mais aussi le courant de fuite à l'état bloqué. La valeur de hauteur de barrière à atteindre dépend donc du compromis souhaité entre le courant de fuite en régime inverse et la chute de tension à l'état passant. Ce compromis dépend principalement de l'architecture du composant et de ses applications. Dans le cas d'une pure diode Schottky, le compromis entre courant de fuite à l'état bloqué et tension de seuil à l'état passant ne peut être ajusté qu'à l'aide de la barrière Schottky. Le choix de la hauteur de barrière se fera alors en fonction du compromis souhaité. Dans le chapitre 2, nous avons vu que la diode JBS présentait l'avantage d'apporter plus de souplesse pour améliorer ce compromis grâce au design des zones P sous le contact Schottky. Pour un courant de fuite donné, la diode JBS autorise l'utilisation d'une hauteur de barrière Schottky plus faible qu'avec une diode Schottky.

Outre l'aspect électrique, une autre exigence imposée au contact Schottky est une stabilité thermique. Ses propriétés électriques ne doivent pas être dégradées lorsqu'il est sujet à différents budgets thermiques après sa formation. Nous avons vu, dans le chapitre 2, que la résistance du substrat contribuait fortement à la résistance totale de l'empilement (couche de dérive et substrat) pour des applications 600 à 1700 V. Un amincissement du substrat en fin de chaîne de fabrication peut être envisagé pour réduire la résistance du substrat. Toutefois, la formation du contact ohmique en face arrière requiert une température de recuit supérieure à 950°C dans le cas d'un contact à base de nickel. Le contact Schottky, préalablement formé en face avant, doit donc conserver des propriétés électriques satisfaisantes après la formation de ce contact ohmique. Or, les métaux classiquement utilisés pour la réalisation du contact Schottky tels que le titane et le nickel, réagissent avec le SiC dès 500°C pour former des carbures et/ou des siliciures métalliques. Ainsi, chaque phase va manifester sa propre barrière vis-à-vis du SiC. Il est donc évident que la présence de différentes phases peut conduire à une inhomogénéité des propriétés électriques du contact Schottky, et donc, à une possible dégradation des performances. Enfin, lors du fonctionnement du composant, l'élévation localisée de la température au niveau du contact Schottky suite, par exemple, à une surcharge de courant peut aussi conduire à une modification de l'interface métal/SiC. La stabilité thermique du contact Schottky est donc indispensable pour améliorer la fiabilité du composant en fonctionnement. Après un bref état de l'art du contact Schottky sur 4H-SiC type n, une étude de la formation de contact Schottky à partir de métaux réfractaires et compatible avec le recuit haute température du contact ohmique en face arrière sera présentée.

### 3.4.1 Eléments de théorie du contact métal/semiconducteur

La figure 3.48 illustre les diagrammes de bande d'un métal et d'un semiconducteur de type n avant et après contact. Le travail de sortie du métal  $\phi_M$  est l'énergie nécessaire

pour arracher un électron à partir du niveau de Fermi du métal ( $E_{FM}$ ) afin qu'il atteigne le niveau du vide. L'affinité électronique du semiconducteur  $\chi_{SC}$  est l'énergie nécessaire pour arracher un électron du bas de la bande de conduction ( $E_C$ ) et l'envoyer jusqu'au niveau du vide. Dans le cas du 4H-SiC,  $\chi_{4H-SiC} = 3,5eV$ .

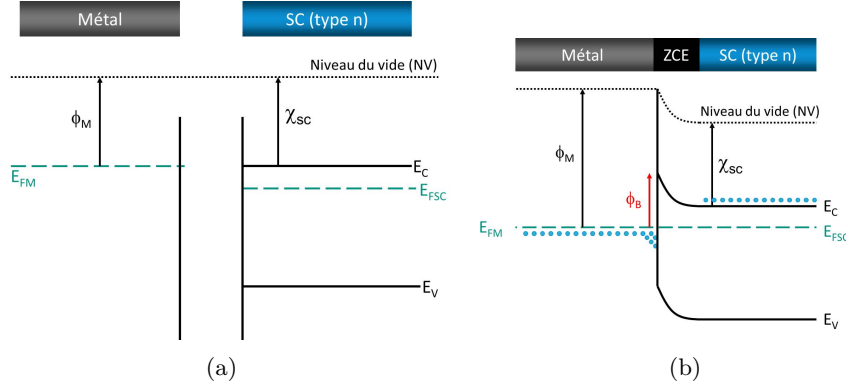


FIGURE 3.48 – Schéma de bande d'un système métal - semiconducteur avant (a) et après (b) contact.

Lorsque le contact est établi entre le métal et le semiconducteur (figure 3.48-b), les électrons passent du métal vers le semiconducteur. La structure de bandes est alors modifiée pour chacun des matériaux. Dans le semiconducteur, les impuretés ionisées ne sont plus compensés par les électrons et vont créer une zone de désertion. A l'équilibre, lorsque les niveaux de Fermi sont alignés, une courbure des bandes du semiconducteur vers le haut a lieu et une barrière de potentiel de hauteur  $\phi_B$  apparaît entre le métal et le semiconducteur telle que :

$$\phi_B = \phi_M - \chi_{SC} \quad (3.10)$$

Dans ce qui précède, nous avons ignoré la présence éventuelle d'états d'interface. Bardeen *et al.* ont montré que  $\phi_B$  pouvait être indépendant de  $\phi_M$  si la densité d'états d'interface était importante [258]. Il existe une relation permettant de définir la hauteur de barrière en fonction du travail de sortie du métal et de la densité d'états d'interface. Pour le 4H-SiC de type n sur face Si, Defives *et al.* ont corrélié la hauteur de barrière au travail de sortie du métal [259] :

$$\phi_B = 0,76 \cdot \phi_M - 2,20 \quad (3.11)$$

Cette relation est valable pour une densité d'états d'interface donnée, c'est-à-dire pour une préparation de surface spécifique (ici, RCA).

Nous avons vu, dans le chapitre 1, qu'il existait plusieurs mécanismes de courant à travers la barrière Schottky. En polarisation directe, le principal mode de conduction



pour une barrière Schottky est l'émission thermoionique dont le modèle a été décrit par Rhoderick [260]. La densité de courant  $J$  pour une polarisation en direct  $V$  est :

$$J(V) = J_S \left[ \exp \left( \frac{q(V - R_{ON}J)}{\eta kT} \right) - 1 \right] \quad (3.12)$$

avec  $J_S$  la densité de courant de saturation telle que :

$$J_S = A^* T^2 \exp \left( -\frac{q\Phi_B}{kT} \right) \quad (3.13)$$

Toutefois, les courants mesurés ne correspondent pas toujours à ce mode de conduction, on parle alors de comportement hétérogène. La figure 3.49 illustre le comportement d'une diode « normale » et celle d'une diode fortement inhomogène.

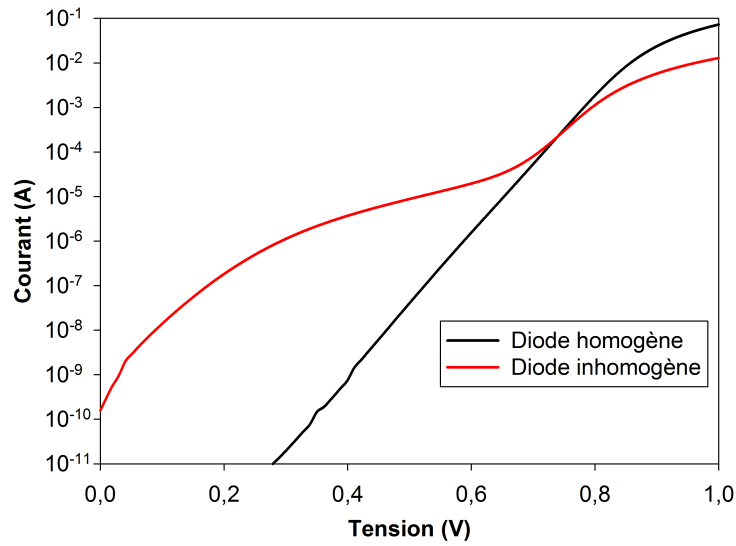


FIGURE 3.49 – Caractéristique courant-tension d'une diode ayant un comportement homogène ou inhomogène.

Cette inhomogénéité du contact Schottky peut être causée par :

- le désaccord de maille entre le métal et le semiconducteur dans le cas de film épitaxié,
- la présence de différentes phases métalliques à l'interface,
- l'inhomogénéité de dopage,
- défauts (macro-défaut, micropipe, ...),
- contaminations.

Parmi les différentes causes d'inhomogénéité, certaines peuvent être propres aux procédés de formation du contact Schottky tels que la présence de différentes phases métalliques à l'interface ainsi que des contaminations. Dans le cas du SiC, les contaminations peuvent être limitées grâce à un nettoyage de type RCA de la surface du semiconducteur avant

dépôt. La présence de différentes phases métalliques à l'interface est une des principales causes d'inhomogénéité lorsqu'une réaction entre le métal et le semiconducteur est possible. Ainsi, chaque phase formée va manifester sa propre barrière vis-à-vis du semiconducteur. Une interface uniforme peut être obtenue par la formation d'une phase unique ou, au contraire, une absence totale de réaction entre le métal et le semiconducteur. Dans le cas du SiC, la présence conjointe de silicium et de carbone complexifie l'obtention d'une seule phase cristalline lors de la réalisation du contact Schottky. Dans la partie suivante, un bref état de l'art du contact Schottky sur 4H-SiC type n sera présenté avec une attention particulière sur les propriétés de contact Schottky obtenu à partir de métaux couramment utilisées en technologie silicium.

### 3.4.2 Etat de l'art

De nombreux métaux ont été étudiés pour la réalisation de contact Schottky sur 4H-SiC de type n (tableau 3.6). Toutefois, les plus rencontrés dans la littérature sont le nickel et le titane.

Dans le cas du titane, la hauteur de barrière est inférieure à 1eV lorsqu'il est non recuit et peut atteindre 1,22 eV après recuit à 400°C. Des inhomogénéités de hauteur de barrière apparaissent après des recuits à des températures supérieures ou égales à 500°C. Celles-ci sont liées à la formation de phases de type  $Ti_5Si_3C_y$  et  $TiC_{1-x}$  [259]. L'usage de titane est donc limité à de faibles budgets thermiques, c'est-à-dire incompatibles avec les températures de recuit typiquement utilisées pour la formation d'un contact ohmique en face arrière.

Dans le cas du nickel, les hauteurs de barrière sont largement supérieures à celles obtenues avec le titane. Il est ainsi possible d'atteindre des barrières de l'ordre 1,5-1,6 eV. Les contacts sont homogènes après recuit à des températures inférieures ou égales à 600°C [261]. Au-delà de cette température, la formation de phases de type NiSi et  $Ni_2Si$  distribuées non uniformément à l'interface Ni/SiC est à l'origine de l'inhomogénéité électrique des contacts. Pour une même température de recuit (500 à 900°C), Perez *et al.* ont démontré la faisabilité d'un contact faiblement résistif ( $\rho_c \approx 10^{-5} \Omega.cm^2$ ) sur 4H-SiC type p et redresseur sur type N à partir d'un empilement Ti/Ni [250]. Toutefois, les facteurs d'idéalité de ces contacts sur type N restent importants (supérieurs à 1,5).

En résumé, on note que les propriétés des contacts Schottky formés à partir de titane ou de nickel en termes de hauteur de barrière, de facteur d'idéalité et de degré d'inhomogénéité, sont fortement dépendantes des conditions de recuit appliquées. En d'autres termes, leur forte réactivité avec le SiC pour former des siliciures et/ou des carbures métalliques limite leur utilisation à haute température. Pour pallier ces inhomogénéités cristallines à l'interface, il est possible d'avoir recours à des matériaux inertes chimiquement avec SiC. Certains métaux tels que le tungstène et le molybdène

| Ref   | Métal | Recuit        | $\Phi_B(eV)$ | $\eta$ |
|-------|-------|---------------|--------------|--------|
| [262] | Au    | Non recuit    | 0,95         | NR     |
|       | Ni    |               | 1,62         | NR     |
|       | Ti    |               | 0,95         | NR     |
| [263] | Ni    | 700°C         | 1,60         | 1,05   |
| [264] | Ni    | 600°C         | 1,54         | 1,1    |
| [259] | Ti    | Non recuit    | 0,93         | 1,03   |
|       |       | 300°C - 2 min | 1,07         | 1,02   |
|       |       | 400°C - 2 min | 1,22         | 1,03   |
| [265] | Ni    | 500°C         | 1,57         | 1,03   |
| [250] | Ti/Ni | Non recuit    | 0,77         | 2,1    |
|       |       | 350°C - 3 min | 0,85         | 1,9    |
|       |       | 500°C - 3 min | 1,10         | 1,7    |
|       |       | 700°C - 3 min | 1,15         | 1,6    |
|       |       | 900°C - 3 min | 1,25         | 1,5    |

Tableau 3.6 – Etat de l’art du contact Schottky sur 4H-SiC type n.

présentent une stabilité thermique sur SiC jusqu’à 800°C [266]. Au-delà de cette température, la formation de siliciures ou de carbures semble s’initier préférentiellement à partir d’atomes Si ou C non liés, c’est-à-dire sur des surfaces endommagées (par bombardement ionique par exemple). Nishikawa *et al.* ont identifié la formation de  $\text{Mo}_2\text{C}$  à l’interface Mo/SiC après un recuit à 900°C pendant 30 minutes [267]. A notre connaissance, cette température est la plus faible pour laquelle une réaction entre le molybdène et le SiC a été observée. La stabilité thermique du tungstène sur SiC est plus importante. Aucune réaction entre le W et le SiC n’a été observée pour des recuits à des températures inférieures à 1000°C [268]. Au-delà de cette température, la présence de  $\text{W}_5\text{Si}_2$  et  $\text{W}_2\text{C}$  a été identifiée en très faibles quantités. Du point de vue électrique, la littérature recense peu de travaux sur l’influence de la température de recuit, au-delà de 600°C, sur les performances de contact Schottky à base de W ou Mo sur SiC (tableau 3.7). Dans la majorité des cas, les facteurs d’idéalité obtenus sur ces contacts sont proches de 1, démontrant ainsi la qualité de l’interface métal/semiconducteur et ce, quelle que soit la température de recuit. A notre connaissance, seuls Nishikawa *et al.* ont étudié électriquement le contact Mo/SiC recuit à une température supérieure à 800°C, soit 900°C pendant 30 minutes [267]. Ils ont noté une légère diminution de la hauteur de barrière du contact Mo/SiC après recuit, le facteur d’idéalité et le niveau de courant de fuite étant similaires avant et après recuit. Concernant le tungstène, les travaux de thèse de Dominique Defives démontrent la stabilité électrique du contact Schottky pour des recuits jusqu’à 1000°C. La hauteur de barrière diminue légèrement avec la température [259]. Les niveaux de courant de fuite mesurés de 0 à -20V sont stables quelle que soit la température de recuit. L’évolution de la hauteur de barrière avec la température de recuit a également été confirmée par Nakamura *et al.* et ce, jusqu’à 600°C [269].

| Ref   | Métal | Recuit         | $\Phi_B(eV)$ | $\eta$ |
|-------|-------|----------------|--------------|--------|
| [270] | WN    | 800°C - 4 min  | 0,94         | 1,2    |
| [267] | Mo    | Non recuit     | 1,24         | 1,02   |
|       |       | 900°C - 30 min | 1,17         | 1,01   |
| [265] | Mo    | 500°C          | 1,035        | 1,02   |
|       | W     |                | 1,19         | 1,02   |
| [269] | Mo    | Non recuit     | 1,07         | 1,03   |
|       |       | 300°C - 10 min | 1,10         | 1,04   |
|       |       | 400°C - 10 min | 1,11         | 1,03   |
|       |       | 500°C - 10 min | 1,12         | 1,03   |
|       |       | 600°C - 10 min | 1,21         | 1,03   |
|       | W     | Non recuit     | 1,19         | 1,04   |
|       |       | 300°C - 10 min | 1,12         | 1,04   |
|       |       | 400°C - 10 min | 1,12         | 1,04   |
|       |       | 500°C - 10 min | 1,10         | 1,03   |
|       |       | 600°C - 10 min | 1,09         | 1,03   |
| [271] | W     | Non recuit     | 0,87         | 1,05   |
|       |       | 800°C - 4 min  | 0,79         | 1,08   |
| [259] | W     | Non recuit     | 1,24         | 1,03   |
|       |       | 300°C - 2 min  | 1,24         | 1,03   |
|       |       | 400°C - 2 min  | 1,18         | 1,07   |
|       |       | 500°C - 2 min  | 1,18         | 1,04   |
|       |       | 600°C - 2 min  | 1,17         | 1,02   |
|       |       | 700°C - 2 min  | 1,16         | 1,03   |
|       |       | 800°C - 2 min  | 1,11         | 1,06   |
|       |       | 900°C - 2 min  | 0,98         | 1,04   |
|       |       | 1000°C - 2 min | 1,02         | 1,04   |

Tableau 3.7 – Etat de l’art des contacts Schottky à base de W et Mo sur SiC type n.

Ces métaux sont donc parfaitement adaptés pour la formation des contacts Schottky stable à haute température. Toutefois, outre leur inertie chimique sur SiC, ils doivent l’être aussi avec les métaux d’interconnection. En effet, une couche métallique épaisse est déposée par-dessus le contact afin d’assurer la connectique extérieure (puce-boîtier). Lors du fonctionnement des dispositifs en surcharge de courant, la température atteinte par auto-échauffement peut être supérieure à celle de l’eutectique du système composé par le métal du contact Schottky et celui utilisé pour assurer le « bonding », communément appelé métal de recharge. Dans le cas du titane (contact Schottky) et du cuivre (métal de recharge), la formation de phases  $Ti_3Cu_4$  ou  $Ti_2Cu_3$  a été observée à l’interface du contact Schottky dans le cas de diodes fonctionnant en forte surcharge de courant [272]. Dans le cas du nickel (contact Schottky) et de l’aluminium (recharge), un phénomène d’électromigration de l’aluminium vers l’interface Ni/SiC a été observé dans une diode en fonctionnement continu à 5A (courant nominal de 3A) à 270°C pendant 300 heures [121]. Ainsi, la modification de l’interface s’est traduite par une dégradation de la barrière

Schottky et, donc, des performances électriques (augmentation du  $V_F$  et du courant de fuite). L'utilisation de métaux possédant de fort point de fusion tels que le W et Mo pourrait ainsi limiter la réaction intermétallique avec les métaux de recharge. L'étude de contact Schottky à base de Mo et de W sur 4H-SiC type N a été conduite en se focalisant sur l'influence de la température de recuit des contacts sur leurs propriétés électriques.

### 3.4.3 Etude de contacts Schottky W/4H-SiC et Mo/4H-SiC

#### 3.4.3.1 Préparation des motifs de test

L'étude des contacts a été réalisée sur des couches épitaxiées type N désorientée de  $4^\circ$  et de  $6\text{ }\mu\text{m}$  d'épaisseur. La première couche (JA0402-03) présente un dopage de  $9 \times 10^{15}\text{ cm}^{-3}$  et une rugosité de surface de  $0,5\text{ nm}$  (moyenne de 5 mesures de surface  $20 \times 20\mu\text{m}$ ), la deuxième (JA0392-25) présente un dopage similaire mais une rugosité de surface plus importante évaluée à  $3,3\text{ nm}$ . Chaque plaquette a été découpée pour obtenir des échantillons carrés de  $12\text{ mm}$  de côté. La préparation des motifs de test a été réalisée dans l'ordre suivant :

1. **Nettoyage RCA (CARO's+HF+SC1+SC2+HF).**
2. **Dépôt TEOS par PECVD en face avant.** Une couche de TEOS (TetraEthylOrthoSilicate) de  $800\text{ nm}$  d'épaisseur est déposée à  $400^\circ\text{C}$  afin de protéger la face avant lors de la préparation du contact ohmique en face arrière. Cet oxyde servira aussi pour réaliser une protection périphérique par plaque de champ.
3. **Dépôt de Ti(20 nm)/Ni(100 nm) en face arrière par pulvérisation cathodique.**
4. **RTA  $1000^\circ\text{C}$  - 2 min sous Ar.** Ce recuit de contact permet la formation de siliciures de nickel, résistants aux attaques chimiques ultérieures et conduisant à la formation d'un contact ohmique.
5. **Photo 1 avec ouverture TEOS par gravure humide.** Une solution de HF tamponnée est utilisée pour la gravure humide de la couche de TEOS.
6. Retrait résine.
7. **Nettoyage CARO's + HF (1%).** Cette étape de nettoyage a pour but d'éliminer toute contamination organique générée à la surface du SiC lors du retrait de la résine.
8. **Dépôt W ou Mo (100 nm) par pulvérisation cathodique.**
9. **RTA.** Le recuit du contact Schottky a été réalisé sous Ar durant 2 minutes. La température de recuit a été étudiée de  $400$  à  $1000^\circ\text{C}$ . Pour chaque métal étudié, un échantillon n'a pas subi de recuit.

10. **Dépôt Al (1  $\mu\text{m}$ ) par pulvérisation cathodique.** Cette couche épaisse d'Al permet de ne pas détériorer le contact Schottky avec les pointes de mesures lors de la caractérisation électrique.
11. **Photo 2 avec gravure humide de l'Al et du W ou Mo.** L'aluminium et le molybdène ont été gravés à partir d'une solution d'acide acétique (99%), d'acide nitrique (69,5%), d'acide phosphorique (85%) et d'eau. Le tungstène est gravé à partir d'une solution de peroxyde d'hydrogène ( $\text{H}_2\text{O}_2$ ) portée à 60°C.
12. Retrait résine
13. **Dépôt Ti(100 nm)/Ni (300 nm)/Au (50 nm) en face arrière.** Une tri-couche métallique est déposée en face arrière afin d'épaissir le contact et assurer une polarisation homogène lors des mesures électriques.

La structure finale est illustrée sur la figure 3.50. Les diodes sont circulaires et plusieurs diamètres d'ouverture de l'oxyde sont présents sur le masque (230, 480, 980 et 1980  $\mu\text{m}$ ). Le débordement de la métallisation sur l'oxyde (plaque de champ) est de 10  $\mu\text{m}$  pour tous les motifs.

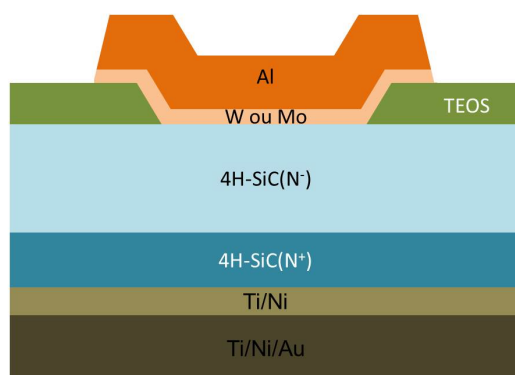


FIGURE 3.50 – Schéma de la structure de test pour l'étude du contact Schottky.

La caractéristique I-V de chaque diode a été obtenue en mode « 4 pointes » sur une station de mesure Cascade. L'appareillage pour les mesures courant-tension est une SMU Keithley 4210. Les mesures à température variable ont été effectuées à partir d'un support d'échantillon chauffant.

### 3.4.3.2 Tri des diodes

Pour chaque échantillon traité, un tri des diodes a été effectué suivant leur caractéristique courant-tension en polarisation directe. Les diodes peuvent être classées en trois types :

- diode « normale »
- diode à « double barrière »

– diode avec fuite

Des caractéristiques I-V typiques de ces différentes diodes sont présentées sur la figure 3.51.

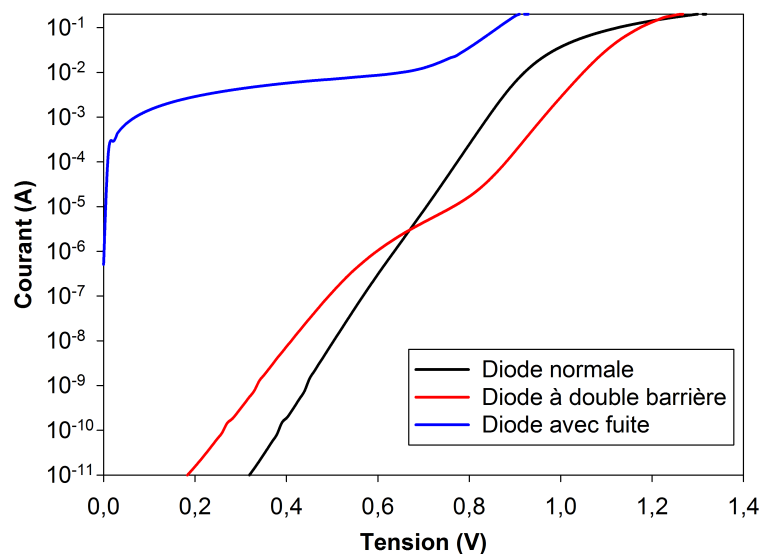


FIGURE 3.51 – Caractéristiques courant-tension de contacts Schottky ayant un comportement « normal » ou anormal (double barrière ou fuite).

Pour les diodes dites « normales », la caractéristique I-V est linéaire sur plus de 8 décades en courant. Il est possible de réaliser une régression à partir de l'équation 3.12 afin d'extraire le facteur d'idéalité et le hauteur de barrière Schottky de la diode. Les diodes à double barrière et/ou avec fuite n'ont pas été prises en compte pour le calcul de la hauteur de barrière et du facteur d'idéalité. Toutefois, elles ont été comptabilisées afin d'identifier si ce comportement était représentatif ou non pour chaque échantillon.

### 3.4.3.3 Etude du contact Schottky W/SiC

#### Etude préliminaire.

Cette étude est consacrée à l'effet de la température de recuit sur les propriétés de contact Schottky à base de W et a été conduite sur la couche JA0402-03. La température de recuit du contact Schottky a varié de 400 à 800°C. Sachant que le budget thermique le plus élevé après la formation du contact Schottky lors de la fabrication de la diode JBS correspond au recuit de la passivation finale à une température autour de 300°C, une température de recuit du contact de 400°C a donc été choisie comme valeur minimale. En effet, du point de vue électrique, nous avons supposé que le contact reste stable dès

lors que la température des traitements thermiques postérieures reste inférieure à celle du recuit du contact.

Sur cette série, 10 diodes ont été mesurées à des températures de 30 à 225°C. La densité de courant de fuite des diodes a été extraite à faible polarisation en inverse (-30V). Sur la figure 3.52, l'effet de la température de recuit du contact Schottky sur la densité médiane de courant de fuite est présenté en comparaison avec celle d'un contact Schottky à base de titane recuit à 450°C durant 2 minutes. Ce contact sera notre référence pour notre étude puisqu'il est communément employé pour la réalisation de diodes Schottky.

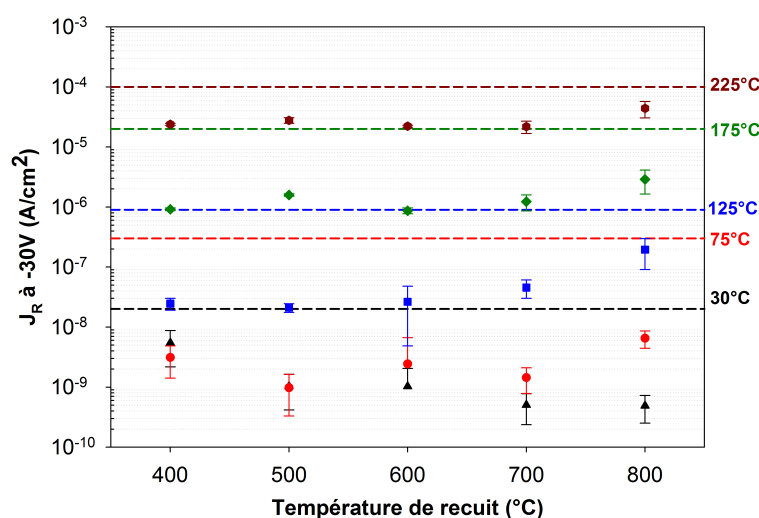


FIGURE 3.52 – Influence de la température de recuit sur la densité de courant de fuite de contact W/SiC extraite à -30V et mesurée à différentes températures. Les lignes en pointillées correspondent au niveau de densité de courant de fuite médiane mesuré sur un contact Ti/4H-SiC recuit à 450°C durant 2 minutes.

Quelle que soit la température de recuit, la densité de courant de fuite reste inchangé et inférieure à celle obtenue avec un contact Ti/4H-SiC. L'augmentation de la température de mesure entraîne celle de la densité de courant de fuite. La variation de la densité de courant de fuite avec la température de mesure est constante et ce pour toute température de recuit du contact.

Du point de vue des propriétés du contact Schottky en termes de facteur d'idéalité et de hauteur de barrière Schottky, une variation est toutefois observée avec la température de recuit, comme le montre la figure 3.53. Jusqu'à une température de recuit de 600°C, la hauteur de barrière Schottky et le facteur d'idéalité se situent respectivement autour de 1,25 eV et 1,05. Une augmentation du facteur d'idéalité et une diminution de la hauteur de barrière est observée avec l'augmentation de la température de recuit à partir 700°C. Pour le titane, le facteur d'idéalité du contact est toujours inférieur à celui obtenu avec le tungstène. La hauteur de barrière du contact W/SiC est supérieure au contact Ti/SiC



pour des températures de recuit inférieures à 700°C. Globalement, les hauteurs de barrière obtenues avec le tungstène sont comparables à celles présentées dans les travaux de thèse de Dominique Defives (référence [259] dans le tableau 3.7). Toutefois, au-delà de 600°C, les facteurs d'idéalité sont largement supérieurs, traduisant une interface de qualité inférieure. Il est à noter que la préparation de surface du SiC avant le dépôt du métal est différente, Defives *et al.* ayant eu recours à une oxydation sacrificielle du SiC suivi d'un retrait de l'oxyde et d'un nettoyage RCA. Cette étape d'oxydation sacrificielle a été initialement proposée par Morisson *et al.* dans le but d'améliorer les propriétés de contacts Schottky sur SiC [273]. Dans notre cas, après recuit à 800°C, une dégradation significative des propriétés du contact W/4H-SiC est observée avec un facteur d'idéalité supérieur 1,3 et une hauteur de barrière inférieure à 1,10 eV. Aucun signature significative de double barrière dans la caractéristique courant-tension n'a été observée à température ambiante, comme le montre la figure 3.53.

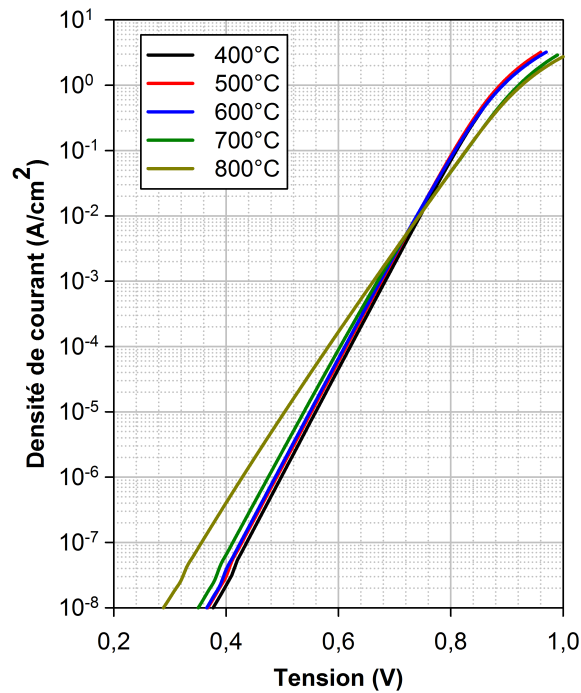


FIGURE 3.53 – Caractéristiques courant-tension à température ambiante de diodes W/SiC (rayon de 990  $\mu\text{m}$ ) représentatives du lot précédemment mesuré suivant la température de recuit.

Une analyse structurale du contact par diffraction de rayons X a été effectuée pour identifier si l'origine de la dégradation des propriétés électriques du contact après recuit à 800°C était liée à la formation de phases cristallines entre le W et SiC.

Ainsi, le spectre  $\theta/2\theta$  de diffraction des rayons X de la figure 3.55 contient les pics des différentes phases cristallines de l'échantillon associées à leur orientation cristallographique.

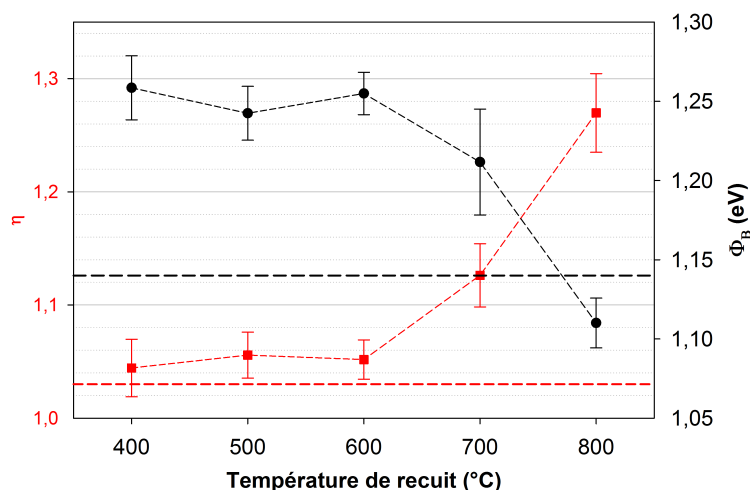


FIGURE 3.54 – Influence de la température de recuit sur le facteur d'idéalité et la hauteur de barrière Schottky de contact W/SiC mesurée à 30°C.

Cette analyse n'a pas permis de mettre en évidence la présence de carbures ou siliciures de tungstène. Les spectres de diffraction pour les contacts recuits à 400 et 800°C sont quasiment superposés et présentent tous deux la présence de tungstène orienté.

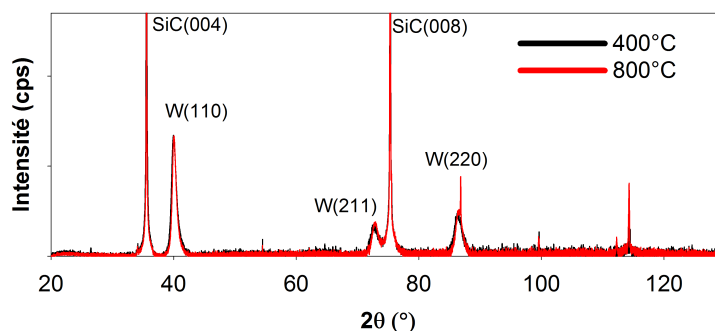


FIGURE 3.55 – Spectres de diffraction des rayons X de contacts W/4H-SiC recuits à 400 et 800°C durant 2 minutes.

Cela confirme qu'il n'y a pas de réaction chimique profonde entre le W et le SiC dans cette gamme de température, comme le précisait la littérature. Seule une analyse microstructurale de l'interface pourrait apporter une réponse sur son homogénéité cristalline.

En résumé, le contact W/SiC présente des performances en direct satisfaisantes ( $\eta < 1,1$  et  $\phi_B > 1,20$ ) pour des températures de recuit inférieures à 700°C. Les performances du contact en inverse sont stables avec la température de recuit.

### 3.4.3.4 Comparaison W/SiC et Mo/SiC

Une étude a été effectuée sur la couche JA0392-25 (notons que la surface est plus rugueuse que celle précédemment utilisée) afin de comparer les performances de contact Schottky en fonction de la nature du métal (W ou Mo) et de la température de recuit. Une valeur maximale de 1000°C a été fixée pour l'étude du recuit, correspondante à la température maximale de formation du contact ohmique en face arrière. Le cas d'un contact Schottky non recuit a été ajouté à l'étude. Un tri des diodes a été effectué afin d'éliminer toutes les diodes fortement inhomogènes (double barrière ou avec fuite importante), ces dernières ont été comptabilisées et le nombre obtenu sera donné par le terme  $N_{HS}$ .

#### Facteurs d'idéalité

La figure 3.56 présente l'histogramme des facteurs d'idéalité obtenus pour les contacts W/SiC et Mo/SiC non recuits.

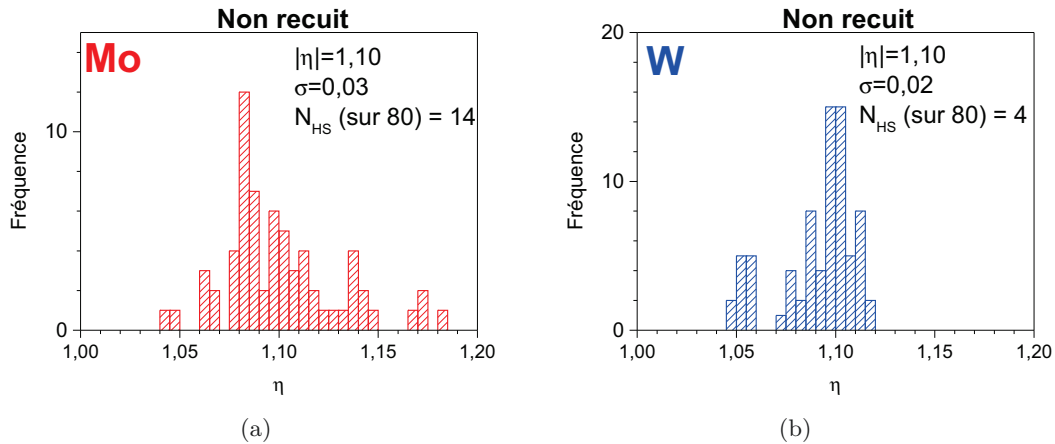


FIGURE 3.56 – Histogramme du facteur d'idéalité  $\eta$  de contacts Schottky à base de Mo (a) ou W (b) non recuits.

Les valeurs médianes des facteurs d'idéalités sont similaires pour les deux contacts (1,10) avec une dispersion inférieure à 0,03. La figure 3.57 présente l'histogramme des facteurs d'idéalité obtenus pour les contacts W/SiC et Mo/SiC recuits à différentes températures. Dans le cas des contacts W/SiC, le facteur d'idéalité est proche de la valeur obtenue sur les contacts non recuits et ce jusqu'à 600°C. Au-delà de cette température, ce facteur se dégrade avec l'augmentation de la température. Après un recuit à 1000°C, la dispersion du facteur d'idéalité est fortement augmentée par rapport aux cas recuits à des températures inférieures. Il est à noter que l'évolution du facteur d'idéalité avec la température de recuit est en accord avec celle obtenue dans l'étude précédente, c'est-à-dire qu'il est stable jusqu'à une température de recuit de 600°C puis se dégrade au-delà de cette

température. Toutefois, par rapport à l'étude précédente, pour une température de recuit donnée, les facteurs d'idéalité sont plus élevés dans cette étude. La différence d'état de surface entre les deux plaquettes utilisées pourrait être à l'origine de cette dégradation.

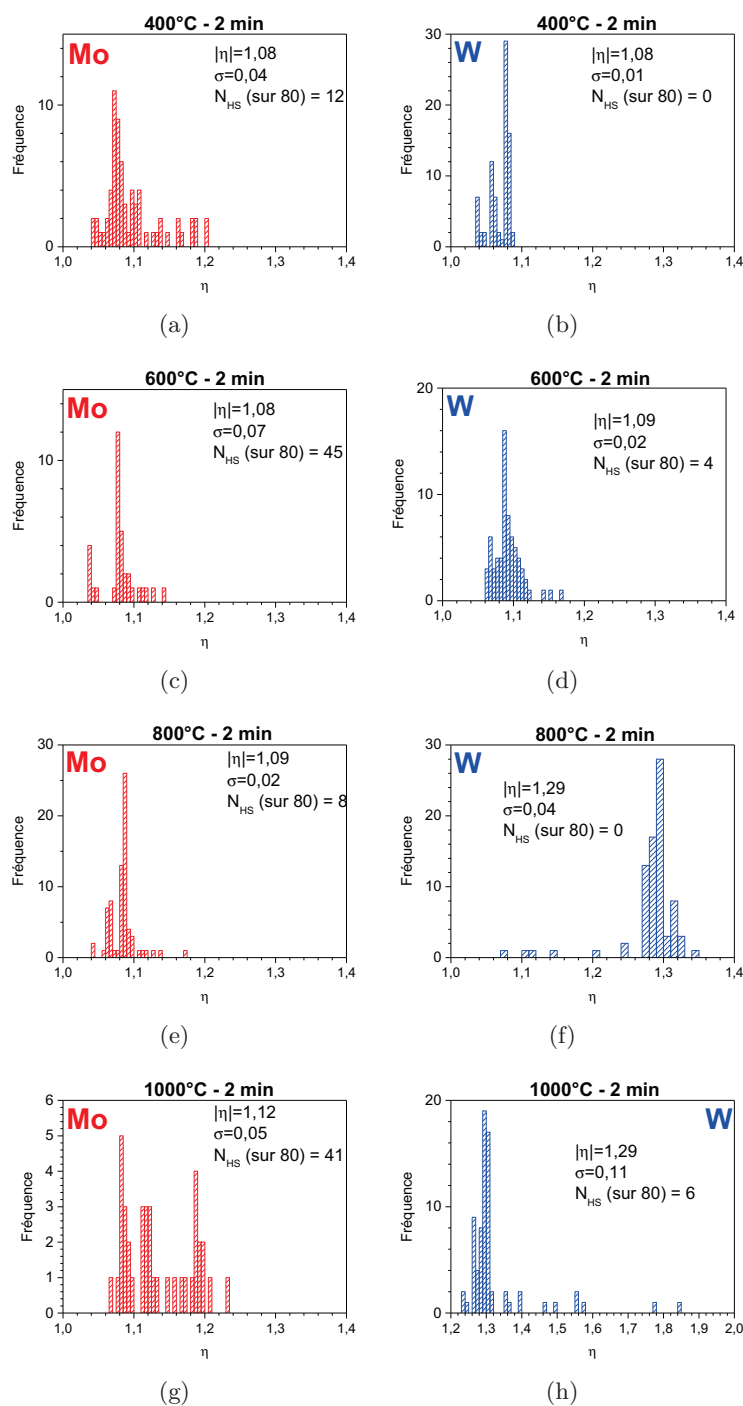


FIGURE 3.57 – Histogramme du facteur d'idéalité  $\eta$  de contacts Schottky à base de Mo ou W suivant la température de recuit.

Dans le cas des contacts Mo/SiC, la valeur moyenne du facteur d'idéalité est comprise entre 1,08 et 1,10 pour des températures de recuit entre 400 et 800°C. Après un recuit à 1000°C, le facteur d'idéalité atteint une valeur moyenne de 1,13. Contrairement à celui contact W/SiC, le facteur d'idéalité du contact Mo/SiC semble relativement stable avec la température de recuit. Toutefois, on note une part non négligeable de diodes inhomogènes (supérieur à 50%) avec les contacts Mo/SiC avant et après recuit. Seuls les contacts recuits à 400 et 800°C présentent un taux de défektivité relativement faible.

A titre comparatif, le contact Ti/SiC recuit à 450°C durant 2 minutes présente un facteur d'idéalité de 1,05 et un taux de diodes inhomogènes de 6%.

### Hauteur de barrière Schottky

La figure 3.58 présente l'évolution de la hauteur de barrière  $\Phi_B$  de contacts Schottky à base de W ou Mo en fonction des conditions de recuit, en comparaison avec le contact Ti/4H-SiC recuit à 450°C durant 2 minutes.

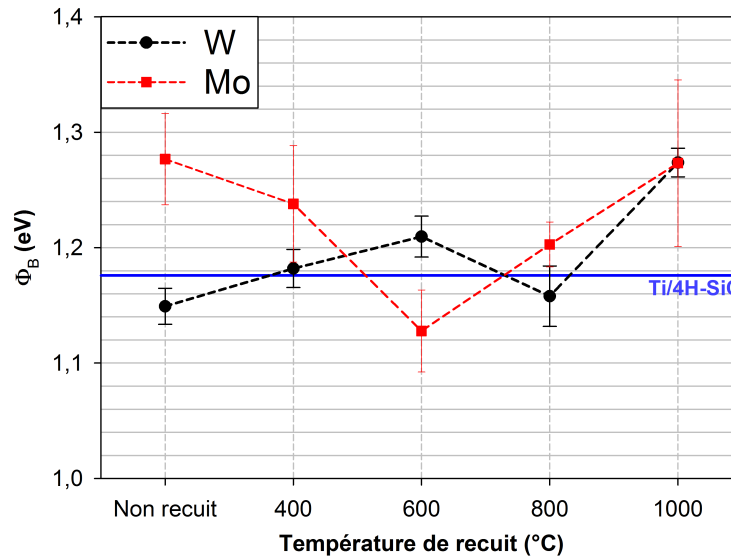


FIGURE 3.58 – Hauteur de barrière  $\Phi_B$  de contacts Schottky à base de W ou Mo suivant les conditions de recuit, en comparaison avec celle du contact Ti/SiC recuit à 450°C pendant 2 minutes.

Ainsi nous observons une différence avec les résultats obtenus avec le tungstène lors de l'étude précédente. En effet, la hauteur de barrière du contact Schottky est relativement instable avec la température de recuit. Elle oscille autour de 1,15 – 1,27 eV suivant la température de recuit. Dans le cas du contact Mo/SiC, la hauteur de barrière est supérieure à 1,20 eV quelles que soient les conditions de recuit hormis pour le recuit à 600°C. A cette température, la hauteur de barrière Schottky chute brutalement à 1,13 eV. Nakamura *et*

*al.* ont aussi observé une variation de la hauteur de barrière du contact Mo/SiC après recuit à 600°C durant 10 minutes [269]. Toutefois, cette variation se traduisait par une augmentation de la hauteur de barrière qu'ils attribuaient à la formation d'une fine couche de siliciures ou carbures de molybdène à l'interface. De façon générale et du point de vue des performances en direct, le molybdène est plus stable que le tungstène pour la réalisation de contacts Schottky à haute température. Le contact Mo/4H-SiC est ainsi compatible avec les températures de formation du contact ohmique en face arrière. Toutefois, l'origine du fort taux de diodes défaillantes obtenues avec les contacts Mo/SiC reste à identifier.

### Densité de courant de fuite

Pour différentes températures de mesure, la figure 3.59 présente la densité de courant mesurée à -30V de contacts Schottky et W/4H-SiC (a) Mo/4H-SiC (b) suivant les conditions de recuit. Quelles que soient la température de recuit et la nature de la métallisation, les densités de courant de fuite sont toujours inférieures à celles du contact Ti/4H-SiC jusqu'à 125°C. Au-delà de cette température, on observe différentes évolutions du courant de fuite avec la température de mesure. Ainsi, le contact Mo/SiC recuit à 600°C présente un courant de fuite inférieur à celui du contact Ti/SiC jusqu'à 125°C. L'augmentation de la température de mesure entraîne une augmentation importante du niveau de courant de fuite. Dans le cas des contacts W/SiC, la différence de niveau de courant de fuite observée entre les deux études pour une même condition de recuit nous laisse penser que la qualité des couches épitaxiées et/ou l'état de surface sont la cause de cette divergence.

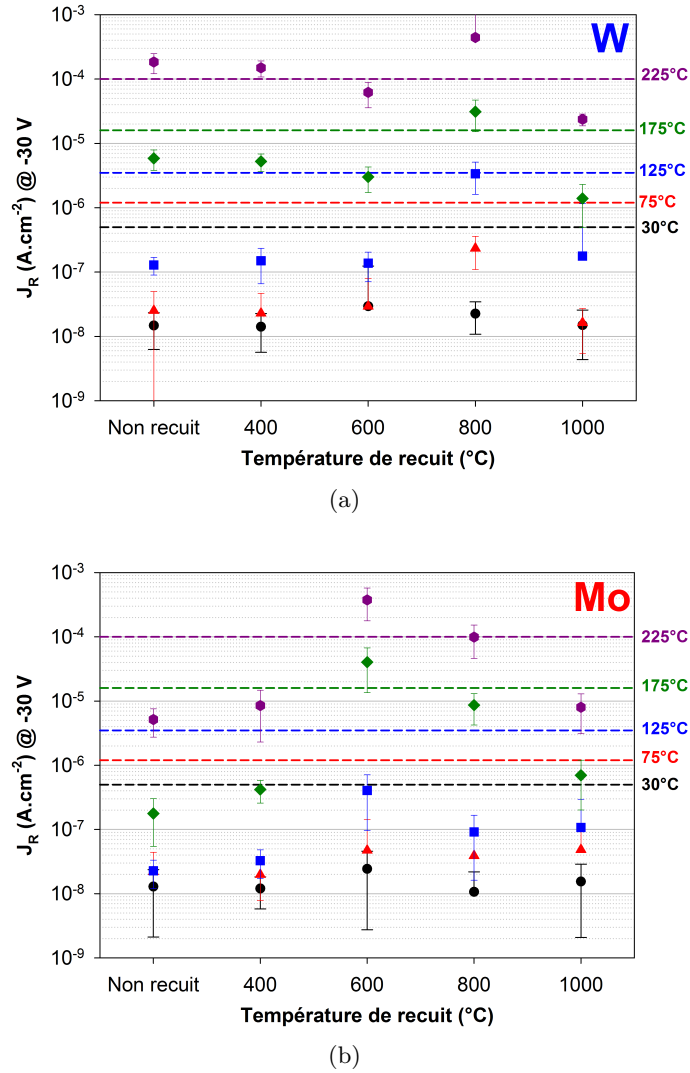


FIGURE 3.59 – Densité de courant de fuite, mesurée à 30V et à différentes températures, de contacts Schottky à base de W (a) ou Mo (b) suivant les conditions de recuit. Les lignes en pointillés correspondent à la densité de courant de fuite moyenne du contact Ti/4H-SiC recuit à 450°C durant 2 minutes.

### 3.4.4 Conclusion et perspectives

Cette étude a permis d'évaluer les propriétés électriques de contact Schottky à base de Mo ou de W jusqu'à des températures de recuit de 1000°C. Dans le cas du contact W/SiC, les performances en direct en termes de hauteur de barrière Schottky et de facteur d'idéalité jusqu'à 600°C sont satisfaisantes, présentant une hauteur de barrière supérieure à celle du contact Ti/SiC et un facteur d'idéalité inférieur à 1,1. Dans le cas du contact Mo/SiC, si on tient compte du fort taux de diodes inhomogènes rencontrées, seuls les contacts recuits à 400 et 800 °C présentent des performances en directe satisfaisantes. Il

sera donc intéressant de confirmer les propriétés électriques du contact Mo/SiC recuit à 800°C puisqu'il est le seul, dans cette étude, à pouvoir être compatible avec la température de formation d'un contact ohmique en face arrière. Du point de vue du courant de fuites, quelle que soit la température de recuit, les performances des contacts Mo/SiC et W/SiC sont toujours supérieures au contact Ti/SiC jusqu'à des températures de mesures de 125°C. Au-delà de cette température, le niveau de courant de fuite pour certaines conditions de recuit augmente considérablement jusqu'à dépasser celui du contact Ti/SiC. Dans le cas du contact W/SiC qui a été étudié sur deux couches épitaxiées différentes, cette évolution du courant de fuite avec la température de mesure s'est révélée être différente. Nous pouvons donc supposer que l'origine de ces divergences est liée soit à la qualité cristalline des couches épitaxiées soit à l'état de surface.

Toutefois, hormis la compatibilité recherchée avec la température de recuit du contact en face arrière, la stabilité thermique des contacts Mo/SiC ou W/SiC peut être mis à profit pour répondre à des contraintes de fiabilité (fonctionnement à haute température et/ou forte densité de courant). Il serait intéressant d'étudier l'intégration de contact Schottky à base de tungstène et de molybdène dans une diode Schottky avec une périphérie protégée afin d'évaluer ses performances en surcharge de courant et/ou à haute température de fonctionnement.

En effet, Leon *et al.* ont récemment révélé un phénomène de thermomigration et d'électromigration du W dans la recharge métallique en Al (et vice-versa, Al vers SiC) par la présence d'un gradient thermique entre la périphérie et la zone active d'une diode fonctionnant en forte surcharge de courant [274, 275]. Ce gradient est occasionné par l'effet fortement résistif du contact entre la métallisation Schottky et l'anneau de garde de type p. Ainsi, la formation localisée proche de la périphérie de contact Al/SiC à faible hauteur de Schottky conduit à une augmentation du courant de fuite et une dégradation de la tenue en tension. En perspective, il serait donc intéressant d'évaluer si ce phénomène de migration est toujours présent dans le cas d'un contact Schottky Mo/SiC. D'autre part, la formation d'un contact faiblement résistif sur l'anneau de garde de type p serait à étudier en vue de limiter l'échauffement à ce niveau et donc le gradient thermique entre la périphérie et la zone active.

### 3.5 Conclusion du chapitre 3

Les principales briques technologiques nécessaires à la fabrication de la diode JBS ont été étudiées au cours de ce chapitre. Deux procédés de gravure du SiC ont été présentés. Le premier repose sur l'interaction entre un plasma fluoré et SiC, permettant une gravure anisotrope du SiC. Les conditions de ce procédé de gravure sèche ont été optimisées afin d'atteindre de fortes vitesses de gravure du SiC et l'absence de phénomène de « trenching »



au niveau du pied de gravure. Ce procédé pourra être utilisé, d'une part, pour la réalisation de gravure profonde requis lors de l'élaboration d'une périphérie mesa et, d'autre part, pour la réalisation de tranchées au niveau de l'anode de la diode JBS. L'autre procédé de gravure repose sur la compétition de mécanismes d'oxydation et de gravure de l'oxyde formée par anodisation électrochimique. Lors de cette gravure, la structure du SiC est modifiée et devient poreuse. Différentes morphologies de SiC poreux ont été présentées en fonction des conditions d'anodisation (régime d'anodisation, nature des additifs, assistance ou non de l'éclairement UV) de couches fortement dopées de type N. D'un point de vue électrique, les propriétés isolantes du SiC poreux ont été mises en évidence et ce en fonction de la morphologie du SiC poreux obtenue. Les perspectives de ce travail doivent dorénavant être portées sur l'anodisation de couches faiblement dopées typiquement utilisées comme couche active de nos diodes. Ainsi, l'intégration de SiC poreux comme élément de protection périphérique de nos diodes pourra être validée. Du point de vue des contacts métalliques, les contacts ohmique sur SiC type p et Schottky sur type n ont été étudiés. Le contact ohmique sur une couche implantée en Al et recuite a été optimisé à partir d'un contact à base de Ni avec une attention particulière sur la compatibilité de sa fabrication avec celle de la diode JBS. La méthode dite par auto-alignement a été retenue pour l'étude de la siliciuration du nickel sur SiC type p. La résistance spécifique du contact Ni/SiC a été évaluée en fonction des conditions de recuit. Ainsi, une température optimale de 700°C a été déterminée pour minimiser cette résistance. L'épaisseur de Ni déposée a, quant à elle, été étudiée dans l'optique de réduire l'épaisseur de SiC consommée lors de la siliciuration sans, toutefois, modifier fortement la résistance spécifique de contact. Ce contact devra être intégré dans la fabrication de la diode JBS et les performances de la diode devront être analysées suivant la présence ou non de ce contact. Enfin, un contact Schottky sur SiC type N a été étudié à partir de métaux réfractaires tels que le tungstène et le molybdène. Ces métaux ont été sélectionnés pour leur inertie chimique sur SiC après traitement thermique. L'idée est de pouvoir tirer profit de la stabilité thermique de ces contacts lors de traitements thermiques postérieurs à la formation du contact Schottky mais aussi lors du fonctionnement de la diode à haute température et/ou en surcharge de courant. Jusqu'à des température de recuit de 600 °C, le contact W/SiC conserve des propriétés électriques satisfaisantes, c'est-à-dire une hauteur de barrière d'environ 1,25eV et un facteur d'idéalité inférieur à 1,1. Le contact Mo/SiC, quant à lui, offre la possibilité d'être recuit à 800°C pour donner une hauteur de barrière de 1,2 eV et un facteur d'idéalité inférieur à 1,1. Pour les deux contacts, les niveaux de courant de fuite à température ambiante sont inférieurs à celui du contact Ti/SiC, couramment utilisé dans la fabrication des diodes actuelles. En résumé, le contact Mo/SiC semble être le plus prometteur pour répondre à l'objectif recherché en terme de stabilité thermique. Une étude complémentaire de ce contact sur une couche SiC dont la surface est parfaitement polie devra être réalisée afin de confirmer les propriétés électriques du contact. Enfin, des tests de fiabilité du contact Mo/SiC devront être conduites sur des

dispositifs complets, c'est-à-dire comprenant une protection périphérique adéquate. Le chapitre suivant a pour but d'intégrer les différentes briques technologiques développées précédemment dans la fabrication complète de diodes JBS. Les différentes protections périphériques ainsi que la géométrie d'anode de la diode JBS seront les principaux éléments de design étudiés.

## Chapitre 4

# Fabrication et caractérisation de diodes de puissance

Ce dernier chapitre est consacré à la fabrication et à la caractérisation de diodes de puissance sur 4H-SiC en associant les briques technologiques développées au sein du laboratoire et présentées au chapitre 3. La conception des masques photolithographiques nécessaires à la fabrication des diodes s'appuie sur les éléments de design développés au chapitre 2. Cette partie a donc pour but d'évaluer expérimentalement le concept de la diode JBS à base de tranchées (TI-JBS), les différentes techniques de protection périphérique et l'intégration des différentes briques technologiques développées. Dans un premier temps, nous détaillerons les différents procédés de fabrication de la diode JBS réalisés sur la plateforme technologique CERTeM. Puis, les masques photolithographiques seront présentés. Les différentes caractéristiques des diodes et les motifs élémentaires de test présents sur le masque seront détaillés. Enfin, les résultats de caractérisations électriques des diodes seront exposés. Sur des couches épitaxiées dimensionnées pour des tensions inverses de 600V, les performances en direct et en inverse des diodes JBS seront évaluées en fonction de la géométrie de la diode (largeur des zones P et largeur des zones Schottky) et de l'architecture (planar et tranchées). Une attention particulière sera aussi portée sur les performances des différentes techniques de protection périphérique.

### 4.1 Chaîne de fabrication

La chaîne de fabrication des différentes architectures est présentée dans la partie suivante. Pour simplifier la schématisation des différentes étapes de fabrication, seule une portion de la diode sera présentée, comprenant ainsi toute la périphérie et le caisson p de la diode JBS le plus proche de la terminaison.

### 4.1.1 Niveau zéro ou d'alignement

Cette première étape a pour objectif de définir les motifs d'alignement sur la plaquette par gravure sèche du SiC. Pour l'architecture JBS planar, la profondeur de gravure  $e_0$  est de 200 nm. Dans le cas de la diode JBS à base de tranchées, cette profondeur est égale à celle des tranchées qui sera réalisé dans la zone active. En effet, le niveau zéro a été sélectionné pour abaisser le niveau de la périphérie à celle des tranchées afin de réaliser les deux architectures à partir d'un même jeu de masque.

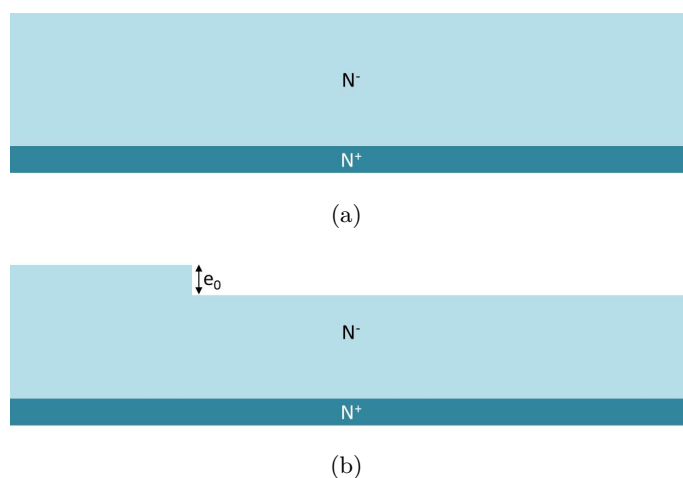


FIGURE 4.1 – Vue en coupe de la diode JBS au démarrage (a) et avec le niveau zéro (b).

### 4.1.2 Niveau JTE

L'étape suivante est le dopage localisé par implantation d'Al en vue de réaliser la poche  $P^-$  constituant la terminaison JTE et les anneaux JTE. Le masque d'implantation est un oxyde de silicium déposé par PECVD et défini par gravure sèche. Le profil d'implantation en Al est celui défini lors de l'étude de la terminaison JTE au chapitre 2. L'implantation a été réalisée à  $400^\circ\text{C}$  sur l'implanteur du CNM (Centro Nacional de Microelectrónica) de Barcelone avec une dose totale de  $1,35 \times 10^{13} \text{ cm}^{-2}$ .

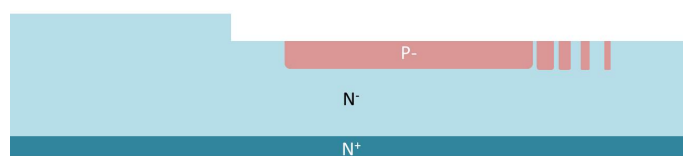


FIGURE 4.2 – Vue en coupe de la diode JBS avec le niveau JTE.

### 4.1.3 Niveau anneaux de garde et flottants

Pour la protection périphérique de la diode, une première définition d'un masque d'implantation en  $\text{SiO}_2$  est réalisée et correspond au niveau d'implantation de l'anneau de garde principal ainsi que des anneaux flottants dans la JTE.

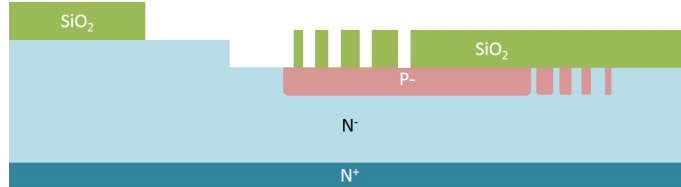


FIGURE 4.3 – Vue en coupe de la diode JBS avec le niveau « anneaux de garde et flottants ».

### 4.1.4 Niveau trench

Les étapes suivantes concernent la réalisation des tranchées dans la zone active de la diode JBS. A partir de la structure de la figure 4.3, une fine couche de Ni (50 nm) est déposée sur toute la plaque (figure 4.4-a). Celle-ci servira de masque dur pour la gravure des tranchées dans le SiC. Compte tenu des faibles dimensions des zones P de la diode JBS, une structuration du Ni par gravure humide n'est pas possible du fait d'une gravure latérale difficilement contrôlable. Seule une gravure physique peut conduire à une définition parfaitement anisotrope des motifs. En l'occurrence, une gravure purement ionique a été utilisée pour la structuration du nickel (figure 4.4-b) suivie d'une gravure ICP du  $\text{SiO}_2$ .

Par la suite, une gravure sèche du SiC a été réalisée afin de définir des tranchées, de profondeur  $x_T$ , de largeur  $L_P$  et séparées d'un espace  $L_S$  dans la zone active (figure 4.4-c). En périphérie, une tranchée entourant la zone active constitue l'anneau de garde et est séparée d'une distance  $d$  par rapport au niveau zero. Cette distance  $d$  a été choisie la plus faible possible, soit 1  $\mu\text{m}$ , afin d'éviter un resserrement des équipotentielles en amont de la périphérie. Une fois le retrait par voie humide du nickel effectué, la plaque est prête à être implantée.

**N.B :** dans le cas de l'architecture JBS planar, aucune couche de Ni n'est utilisée et aucune gravure du SiC n'est effectuée, soit  $x_T = 0$ .

Après implantation, le résultat attendu est présenté sur la figure 4.5. On note que les flancs des tranchées doivent être implantés. La partie qui suit a donc pour but d'évaluer par simulation la distribution des impuretés d'Al dans une tranchée implantée suivant les conditions d'implantation.

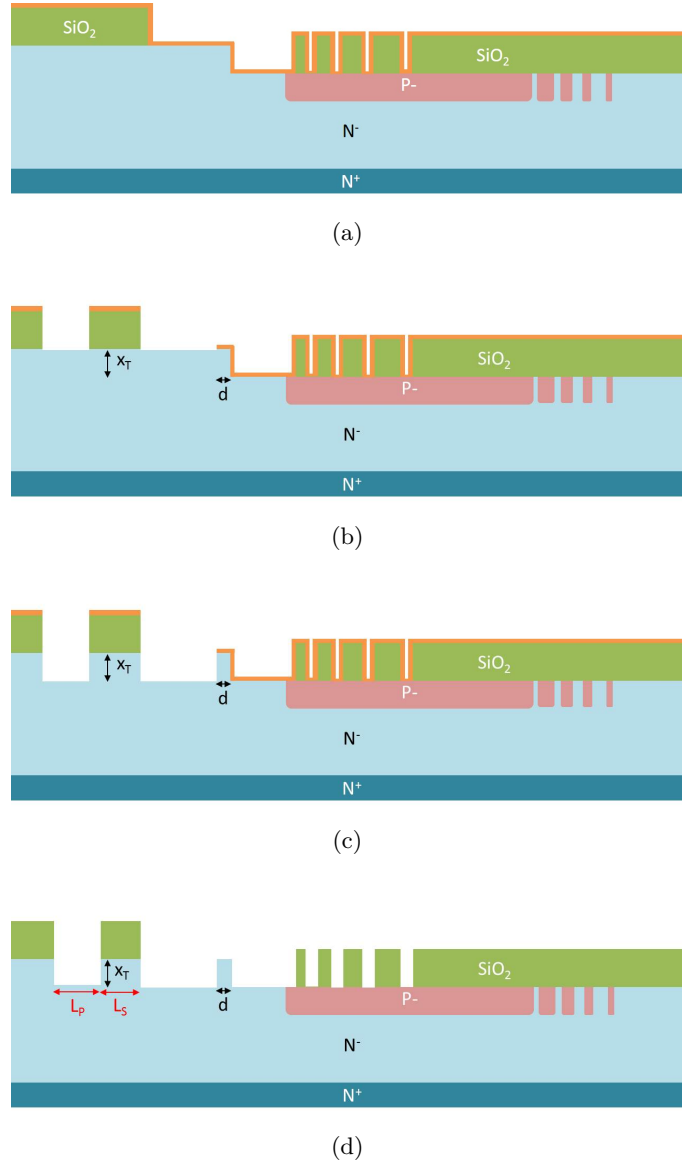


FIGURE 4.4 – Vue en coupe de la diode JBS lors de la réalisation des tranchées.

#### 4.1.5 Implantation tiltée d'Al

Dans le cas de l'architecture JBS planar, la multi-implantation d'Al est réalisée à 400°C avec un tilt de 0° dont le profil d'implantation est présenté sur la figure 4.6. Toutefois, dans le cas de l'architecture à base de tranchées, l'état de surface des flancs des tranchées est susceptible d'être de qualité inférieure à la surface du SiC non gravée. Il est donc fort probable que les propriétés du contact Schottky formé sur les flancs de gravure soient fortement dégradées.

Il a donc été envisagé d'implanter les flancs en même temps que le fond de la tranchée avec pour objectif de bénéficier d'une inversion du type de dopage au niveau des flancs.

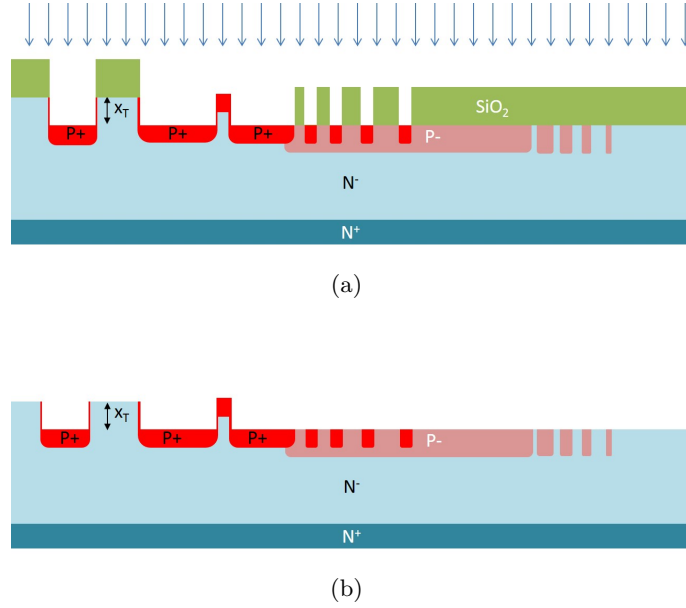


FIGURE 4.5 – Implantation en Al dans les tranchées et en périphérie de la diode JBS.

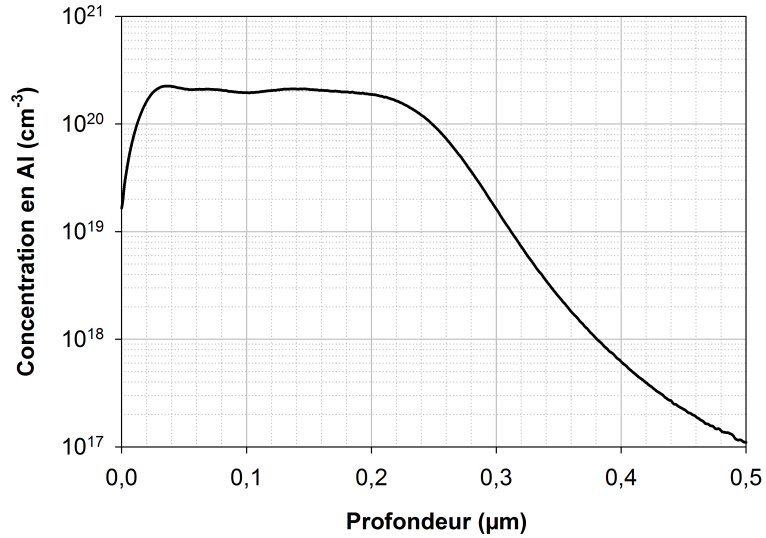


FIGURE 4.6 – Profil d'implantation en Al utilisé pour la formation des caissons  $P^+$  et simulé à l'aide de Sentaurus Process.

Ainsi, une implantation tiltée doit être conduite pour atteindre cet objectif. L'angle d'implantation doit être sélectionné en tenant compte de plusieurs critères :

- faisabilité technologique : sur un implanteur industriel standard, l'angle de tilt est généralement limité à  $10^\circ$ ,
- garantir un niveau de dopage suffisant sur les flancs et ainsi, avoir une inversion du type sans modifier significativement le niveau de dopage en fond de tranchée par

rapport à celui obtenu avec une implantation sans tilt.

Pour éviter un phénomène d'ombrage induit par le masque d'implantation et la tranchée, communément appelé « shadow masking », plusieurs rotations de la plaquette sont nécessaires pour implanter toute la tranchée. La figure 4.7-a illustre l'effet d'ombrage présent lors d'une implantation tiltée, conduisant à l'obtention d'un seul flanc correctement implanté. L'autre flanc ne peut être implanté que par une deuxième implantation avec une rotation de  $180^\circ$  de la plaquette (figure 4.7-b).

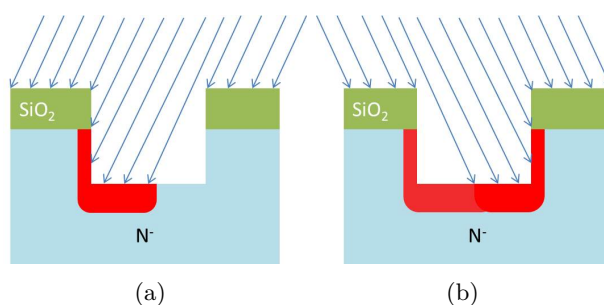


FIGURE 4.7 – Illustration du phénomène d'ombrage lors d'une implantation tiltée sans (a) et avec rotation (b).

En pratique, quatre implantations avec une rotation de  $90^\circ$  de la plaquette sont donc nécessaires pour couvrir une tranchée. A partir de l'outil Sentaurus Process, une simulation d'implantation d'Al a été conduite afin d'évaluer l'influence de l'angle de tilt sur la distribution des impuretés dans la tranchée en fonction de sa largeur. Deux largeurs de tranchée, 1 et 5  $\mu\text{m}$ , ont été étudiées et correspondent respectivement à la plus petite et à la plus grande largeur des zones P des diodes JBS présentes sur nos masques. La profondeur de la tranchée a été fixée à 500 nm, profondeur visée lors de la gravure. La figure 4.8 illustre la distribution 2D d'aluminium dans une tranchée SiC de 1  $\mu\text{m}$  de largeur, implantée suivant différents angles de tilt.

Lors d'une implantation tiltée, on remarque que la concentration en Al est plus élevée au centre qu'au pied de la tranchée. L'uniformité de dopage au fond de la tranchée est d'autant plus faible que l'angle de tilt est important. Cela provient de l'effet de masquage engendré par la tranchée et le masque lors de l'implantation qui augmente avec l'angle de tilt. Dans notre cas, nous nous intéressons surtout à la concentration d'Al implanté sur les flancs de la tranchée. Le tableau 4.1 répertorie les valeurs de concentration surfacique en Al extraites au niveau des flancs et à une profondeur de 100nm au fond de tranchée, suivant l'angle de tilt et la largeur de la tranchée. On note que l'angle de tilt a peu d'incidence sur la concentration surfacique moyenne en fond de tranchée. Néanmoins, l'uniformité du dopage en fond de tranchée diminue avec l'angle de tilt, comme nous l'avons vu précédemment. Au niveau des flancs, la concentration surfacique augmente avec l'angle de tilt et la diminution de la largeur de la tranchée.



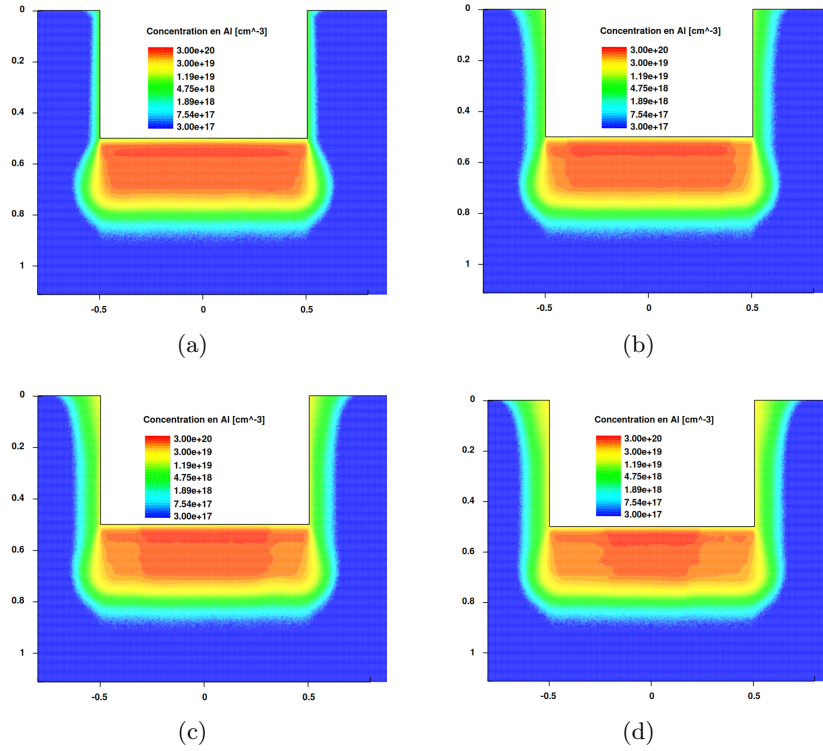


FIGURE 4.8 – Distribution 2D de l'Al dans une tranchée SiC implantée avec un angle de tilt de 0 (a), 4 (b), 7 (c) et 10°(d).

| $W_{\text{Trench}}$<br>( $\mu\text{m}$ ) | Tilt<br>( $^{\circ}$ ) | Fond                                                           |                   | Flanc                                         |                   |
|------------------------------------------|------------------------|----------------------------------------------------------------|-------------------|-----------------------------------------------|-------------------|
|                                          |                        | $C_S @ 100 \text{ nm}$<br>( $\times 10^{20} \text{ cm}^{-3}$ ) | Uniformité<br>(%) | $C_S$<br>( $\times 10^{20} \text{ cm}^{-3}$ ) | Uniformité<br>(%) |
| 1                                        | 0                      | 2,1                                                            | 91,5              | 0,12                                          | 94,9              |
|                                          | 4                      | 2,1                                                            | 87,7              | 0,26                                          | 93,7              |
|                                          | 7                      | 2,0                                                            | 85,7              | 0,39                                          | 92,8              |
|                                          | 10                     | 1,9                                                            | 85,1              | 0,49                                          | 93,8              |
| 5                                        | 0                      | 2,1                                                            | 96,1              | 0,02                                          | 84,1              |
|                                          | 4                      | 2,1                                                            | 94,6              | 0,12                                          | 83,4              |
|                                          | 7                      | 2,1                                                            | 93,4              | 0,22                                          | 87,2              |
|                                          | 10                     | 2,1                                                            | 90,5              | 0,31                                          | 89,9              |

Tableau 4.1 – Concentration surfacique en Al et uniformité au niveau des flancs et du fond de la tranchée, suivant la largeur de la tranchée et l'angle de tilt.

La figure 4.9 présente la distribution latérale de l'aluminium sur le flanc de la tranchée suivant la largeur de la tranchée et l'angle de tilt. Pour une implantation en incidence normale par rapport à la surface, c'est-à-dire sans tilt, la concentration d'Al à la surface des flancs et la profondeur d'implantation diminuent avec la largeur de la tranchée. Cela s'explique par le phénomène de rétrodiffusion des ions sur un flanc, entraînant la ré-implantation du flanc opposé. Ce phénomène s'accroît avec la diminution de la largeur

de tranchée. Dans le cas d'une tranchée large de  $5\mu\text{m}$ , la concentration surfacique et la profondeur d'implantation sont respectivement de  $2 \times 10^{18} \text{ cm}^{-2}$  et d'environ  $30\text{nm}$ .

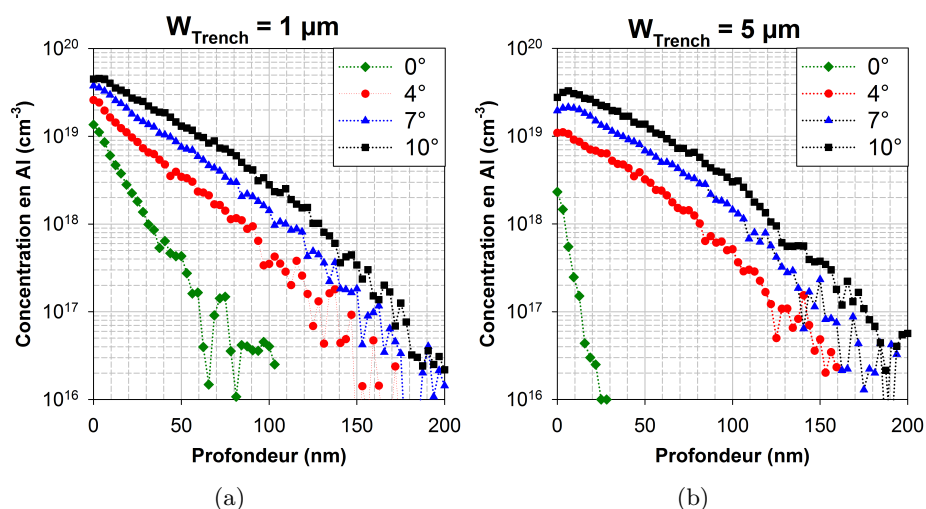


FIGURE 4.9 – Profil latéral de concentration en Al au niveau des flancs de la tranchée, extrait à  $0,25 \mu\text{m}$  soit la moitié de la profondeur de la tranchée.

Pour obtenir un bon compromis entre l'uniformité du dopage en fond de tranchée et la concentration surfacique maximale au niveau des flanc, le choix de l'angle de tilt sera d'autant plus critique que l'est la largeur de la tranchée. Ainsi, une implantation tiltée de  $7^\circ$ , classiquement utilisée en technologie Si, assure une concentration surfacique supérieure à  $1 \times 10^{19} \text{ cm}^{-2}$  et une profondeur d'implantation supérieure à  $100\text{nm}$  au niveau des flancs.

#### 4.1.6 Recuit post-implantation

Après implantation et retrait du masque en  $\text{SiO}_2$ , une couche de protection en carbone est déposée sur toute la plaquette afin de protéger la surface du SiC lors du recuit d'activation à haute température. Le recuit post-implantation est effectué en deux étapes :

1. pyrolyse de la résine à  $800^\circ\text{C}$  pendant 1h sous Ar.
2. recuit d'activation à  $1850^\circ\text{C}$  pendant 30 min sous Ar.

Après recuit, la couche de protection carbonée est retirée à  $900^\circ\text{C}$  pendant 1h sous flux d'oxygène, entraînant sa décomposition sous forme de composés gazeux ( $\text{CO}$ ,  $\text{CO}_2$ ).

#### 4.1.7 Contact ohmique face arrière

Après nettoyage RCA de la plaquette, une couche de  $\text{SiO}_2$  de  $0,8\mu\text{m}$  d'épaisseur est déposée par PECVD pour protéger la face avant lors de la formation du contact ohmique en face arrière (figure 4.10-a). Un empilement Ti/Ni est déposé par pulvérisation cathodique

en face arrière de la plaquette (figure 4.10-b). Ce contact est ensuite recuit à 1000°C durant 1 minute sous Ar, dans un four à recuit rapide.

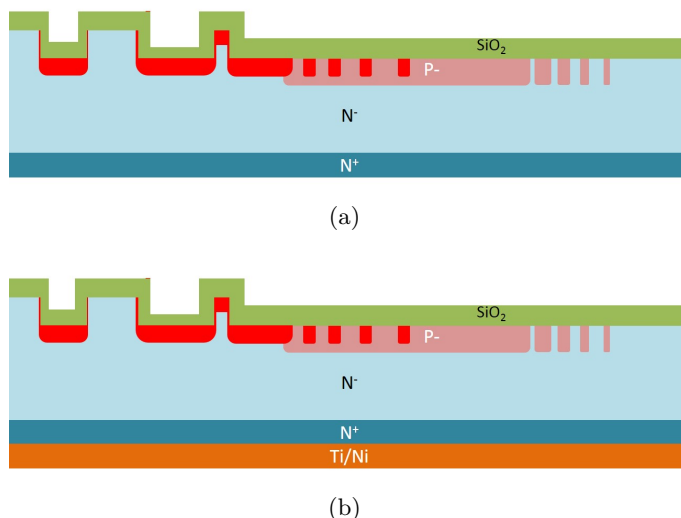


FIGURE 4.10 – Schéma en coupe de la diode avec dépôt de SiO<sub>2</sub> en face avant (a) suivi d'un dépôt Ti/Ni en face arrière (b).

#### 4.1.8 Niveau contact sur type p

La réalisation des contacts sur les zones de type p est réalisée par auto-alignement. Au niveau des zones P, l'oxyde de silicium est gravé par ICP (figure 4.11-a). Une couche de nickel de 50 nm d'épaisseur est déposée par pulvérisation cathodique sur toute la plaque (figure 4.11-b) suivi d'une couche de TiW de 100 nm d'épaisseur. Puis, un recuit de contact est réalisé à 700°C durant 2 minutes sous argon, dans un four à recuit rapide (figure 4.11-c). Cette condition de recuit a été optimisée, comme nous l'avons présenté au chapitre 3. Elle donne la résistance spécifique de contact Ni/SiC la plus faible. L'excès de nickel au niveau du contact, ainsi que le nickel n'ayant pas réagi sur SiO<sub>2</sub>, sont alors retirés sélectivement par voie humide (Caro's), seuls les siliciures de nickel formés au niveau des zones p ne sont pas affectés par la gravure (figure 4.11-d).

#### 4.1.9 Métallisation Schottky et recharge

L'étape suivante consiste à préparer le contact Schottky en ouvrant complètement l'oxyde au niveau de la zone active. La gravure de l'oxyde est réalisée à partir d'une solution de HF tamponnée. Une deuxième couche de SiO<sub>2</sub> de 0,8 μm d'épaisseur est ensuite déposée par PECVD et structurée par voie humide. Ces deux étapes de masquage ont pour but de définir une terminaison de type double plaque de champ. La plaquette est alors prête à recevoir la métallisation du contact Schottky.

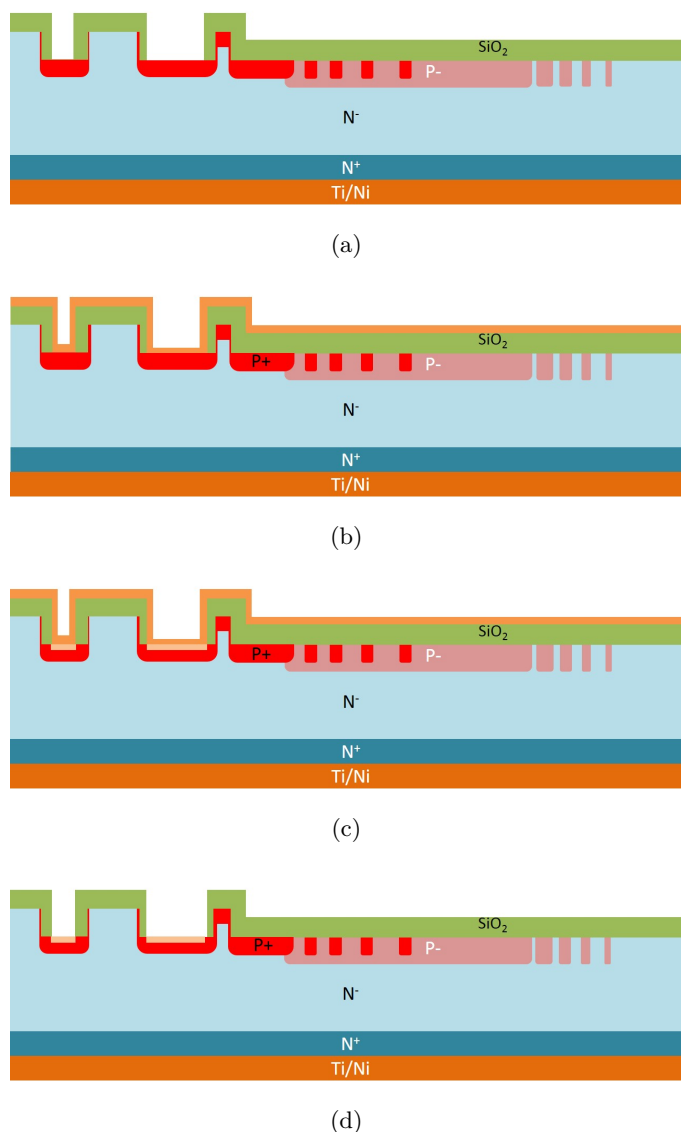


FIGURE 4.11 – Schéma en coupe de la diode présentant les différentes étapes liées à la siliciuration des zones p : ouverture de l'oxyde au niveau des régions p (a), dépôt du nickel pleine plaque (b), recuit de siliciuration (c), retrait sélectif du nickel (d).

Notons que la passivation du SiC par deux étapes de dépôt pourra dans le futur nous permettre d'étudier, d'une part, la combinaison de deux matériaux diélectriques différents et, d'autre part, l'influence de la préparation de surface du SiC avant dépôt de la première couche diélectrique. Puis, la métallisation du contact Schottky en molybdène (Mo) est déposée par pulvérisation cathodique. L'épaisseur de Mo est d'environ 100 nm. Le recuit de la métallisation est ensuite effectué à 400°C durant 2 minutes sous Ar. Un dépôt de 3 µm d'aluminium est finalement déposé par pulvérisation cathodique. Enfin, l'aluminium et la métallisation du contact Schottky sont structurés par voie humide.

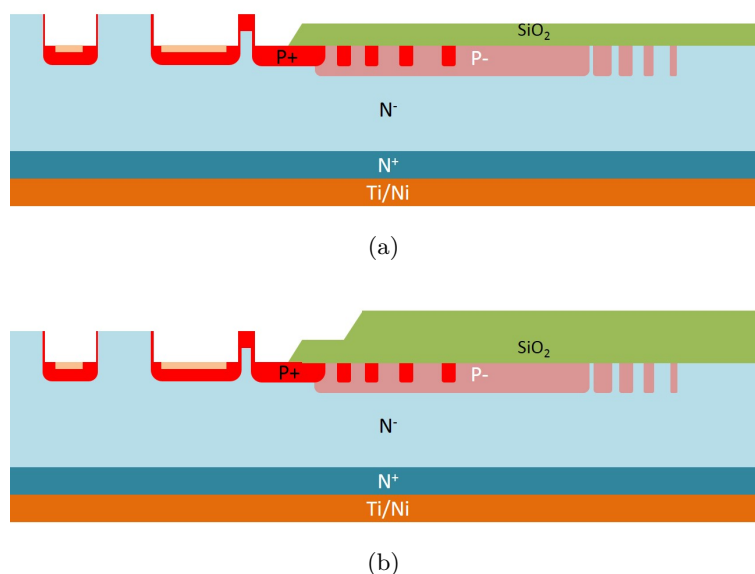


FIGURE 4.12 – Schéma en coupe de la diode avec ouverture de la première couche d'oxyde (a) et de la deuxième (b).

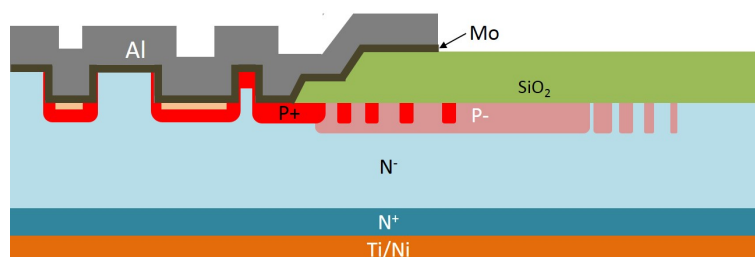


FIGURE 4.13 – Vue en coupe de la diode JBS avec le niveau Schottky.

#### 4.1.10 Passivation finale

L'étape finale concerne la passivation du composant en utilisant un polyimide photosensible (figure 4.14). Celui-ci est déposé par centrifugation et défini par lithographie UV. Il est ensuite étuvé à 250°C pendant 1h sous flux d'azote. L'épaisseur finale de polyimide est d'environ 5μm.

Un traitement de la face arrière sous plasma d'O<sub>2</sub> est effectué pour retirer les éventuels résidus organiques. Enfin, une tri-couche Ti/Ni/Au est déposée en face arrière par pulvérisation cathodique après un décapage ionique de la surface sous Ar. Cette étape est nécessaire pour assurer le report par brasure de la puce sur le substrat du boîtier. A ce stade, les diodes peuvent être caractérisées électriquement directement sur plaquette ou alors être découpées pour être mise en boîtier.

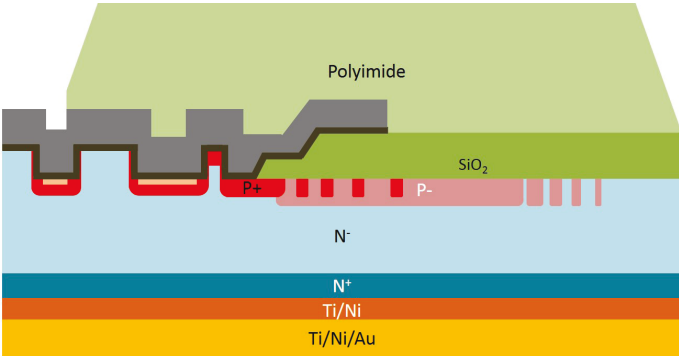


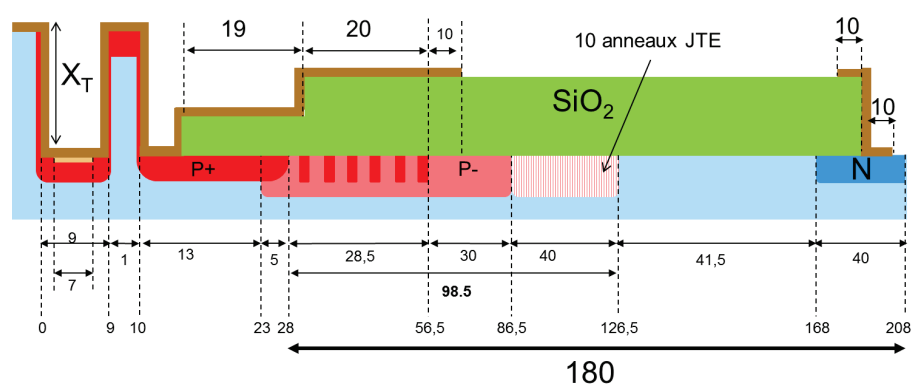
FIGURE 4.14 – Vue en coupe de la diode au stade final de la fabrication.

## 4.2 Description des masques photolithographiques

Le procédé de fabrication vu précédemment repose sur un jeu de 9 masques. Grâce à ce jeu de masques, deux études en terme de design vont pouvoir être conduites. Elle concerne la protection périphérique et la géométrie de l'anode de la diode JBS.

### 4.2.1 Protections périphériques

Dans le chapitre 2, l'étude par simulation des techniques de protection périphérique de la diode a permis de définir une terminaison combinant simple JTE, anneaux de garde flottants fortement dopés et anneaux JTE flottants. Une première étude expérimentale consistera à évaluer chacune de ses protections individuellement ainsi que leur combinaison. La figure 4.15 illustre la périphérie appliquée à toutes les diodes (Schottky, JBS et PiN).



(a)

FIGURE 4.15 – Schéma de la périphérie appliquée à toutes les diodes, comprenant un anneau de garde, une JTE soutenue par 6 anneaux de garde fortement dopés et des anneaux JTE. Les distances sont exprimées en  $\mu\text{m}$ .

Cette périphérie comprend :

- une JTE de 58,5  $\mu\text{m}$  de longueur,
- 6 anneaux de garde fortement dopés dans la JTE dont leur largeur est de 2  $\mu\text{m}$  et l'espacement entre eux est de 1,5 - 2,0 - 2,5 - 3,0 - 3,5 - 4,0  $\mu\text{m}$ ,
- 10 anneaux flottants JTE dont la largeur est de 3  $\mu\text{m}$ , l'espacement S de 1  $\mu\text{m}$  et la valeur d'incrément  $\delta$  de 0,1  $\mu\text{m}$  (voir 2.2.3.3 pour plus de détails sur les paramètres géométriques).

En conservant les mêmes dimensions, plusieurs périphéries ont été déclinées sur des diodes PiN pour étudier les techniques de protection :

- par une simple JTE,
- par une JTE soutenue par anneaux de garde fortement dopés,
- par une JTE accompagnée d'anneaux JTE flottants,
- par anneaux de garde flottants fortement dopés.

## 4.2.2 Diodes

### 4.2.2.1 Dimensions

Une taille unique de diodes a été sélectionnée pour l'étude de la géométrie des diodes JBS, des protections périphériques sur les diodes PiN et de la diode Schottky. Ainsi, l'aire de la zone active est identique à tous les types de diodes. La figure 4.16 présente les dimensions des puces.

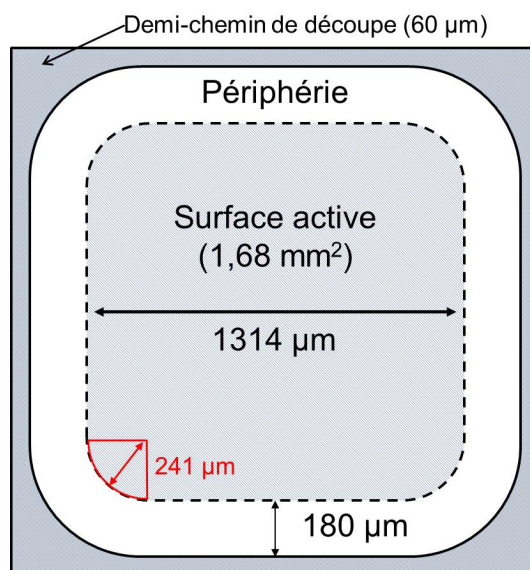


FIGURE 4.16 – Dimensions de la puce.

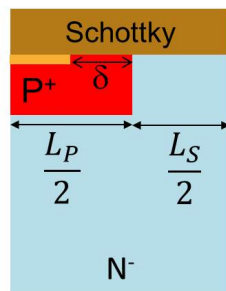
La surface active de chaque puce, comprenant l'anneau de garde fortement dopé de type p, est de 1,68  $\text{mm}^2$ , soit 1,54  $\text{mm}^2$  sans l'anneau. Ce dernier représente ainsi 10% de la surface active et sa partie externe présente un rayon de courbure de 241  $\mu\text{m}$ .

### 4.2.2.2 Géométrie de l'anode des diodes JBS

La géométrie de l'anode de la diode JBS, en termes de largeurs  $L_P$  et  $L_S$  respectivement des caissons p et des régions Schottky, va conditionner le niveau de courant de fuite à l'état bloqué et les performances en conduction statique de la diode (résistance série  $R_{ON}$ , tension de seuil  $V_F$ ). De plus, à l'état passant, la chute de tension à forte densité de courant est fortement dépendante de la résistance spécifique du contact obtenu sur les régions de type P.

Plusieurs géométries d'anode ont donc été intégrées sur les masques en vue d'étudier expérimentalement l'effet du dimensionnement des zones p sur les performances électriques de la diode JBS.

La cellule élémentaire de type A correspond à une diode JBS où un contact faiblement résistif (Ni/SiC dans notre cas) est réalisé sur les régions de type P. Une cellule de type B est composée de deux régions P de largeurs différentes dont seule la plus large est contactée. L'écart  $\delta$  entre le bord du contact et celui de la région p est lié à la tolérance d'alignement entre le niveau de définition des zones p et celui du contact. Avec notre aligneur de masques, une limite raisonnable est fixée à 1  $\mu\text{m}$ . Il en est de même pour la résolution maximale (CD pour « Critical Dimension ») qui est de 1  $\mu\text{m}$ . Ainsi, la largeur minimale des régions de type P sera de 3  $\mu\text{m}$  ( $CD + 2\delta$ ) si la région est contactée et de 1  $\mu\text{m}$  ( $CD$ ) si elle ne l'est pas. Enfin, la cellule élémentaire de type C est composée de régions P non contactées.



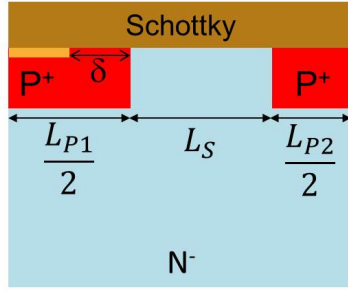
| $\mathfrak{R}_{sch}$ | ID | $L_P$<br>( $\mu\text{m}$ ) | $L_S$<br>( $\mu\text{m}$ ) |
|----------------------|----|----------------------------|----------------------------|
| 1/3                  | A1 | 3                          | 1,5                        |
|                      | A2 | 4                          | 2                          |
|                      | A3 | 5                          | 2,5                        |
| 1/2                  | A4 | 3                          | 3                          |
|                      | A5 | 4                          | 4                          |
|                      | A6 | 5                          | 5                          |
| 2/3                  | A7 | 3                          | 6                          |
|                      | A8 | 4                          | 8                          |
|                      | A9 | 5                          | 10                         |

FIGURE 4.17 – Cellule élémentaire et dimensions associées pour les différentes diodes de type A.

Nous avons défini le ratio « Schottky »,  $\mathfrak{R}_{sch}$ , comme étant le rapport entre l'aire occupée par les régions  $N^-$  et l'aire totale de la zone active. Ainsi, celui-ci s'écrit pour les géométries de type A et C :

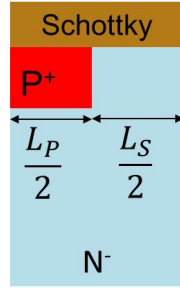
$$\mathfrak{R}_{sch} = \frac{L_S}{L_S + L_P} \quad (4.1)$$





| $\mathfrak{R}_{sch}$ | ID | $L_{P1}$<br>( $\mu\text{m}$ ) | $L_{P2}$<br>( $\mu\text{m}$ ) | $L_S$<br>( $\mu\text{m}$ ) |
|----------------------|----|-------------------------------|-------------------------------|----------------------------|
| 1/3                  | B1 | 3                             | 1                             | 1                          |
|                      | B2 | 4                             | 2                             | 1,5                        |
| 1/2                  | B3 | 3                             | 1                             | 2                          |
|                      | B4 | 4                             | 2                             | 3                          |
| 2/3                  | B5 | 3                             | 1                             | 4                          |
|                      | B6 | 4                             | 2                             | 6                          |

FIGURE 4.18 – Cellule élémentaire et dimensions associées pour les différentes diodes de type B.



| $\mathfrak{R}_{sch}$ | ID | $L_P$<br>( $\mu\text{m}$ ) | $L_S$<br>( $\mu\text{m}$ ) |
|----------------------|----|----------------------------|----------------------------|
| 1/3                  | C1 | 2                          | 1                          |
| 1/2                  | C2 | 1                          | 1                          |
|                      | C3 | 2                          | 2                          |
| 2/3                  | C4 | 1                          | 2                          |
|                      | C5 | 2                          | 4                          |

FIGURE 4.19 – Cellule élémentaire et dimensions associées pour les différentes diodes de type C.

et pour celle de type B :

$$\mathfrak{R}_{sch} = \frac{L_S}{L_S + \frac{L_{P1} + L_{P2}}{2}} \quad (4.2)$$

Ces différents ratios Schottky ont été intégrés sur le masque :

- $\mathfrak{R}_{sch} = 0$  correspondant à une pure diode PiN.
- $\mathfrak{R}_{sch} = \{1/3, 1/2, 2/3\}$  pour les JBS.
- $\mathfrak{R}_{sch} = 1$  correspondant à une pure diode Schottky.

Deux types de géométrie « surfacique » d'anode ont été étudiés expérimentalement :

- une géométrie à base de bandes ou « stripes » (figure 4.20-a), qui n'est qu'une extension par réflexion et extrusion des cellules élémentaires présentées ci-dessus,
- une géométrie en nid d'abeilles (figure 4.20-b).

La cellule élémentaire de la géométrie en nid d'abeilles est présentée sur la figure 4.21.

Le ratio Schottky pour cette géométrie correspond au rapport entre l'aire du quadrilatère BCDE et l'aire du triangle ACD, soit :

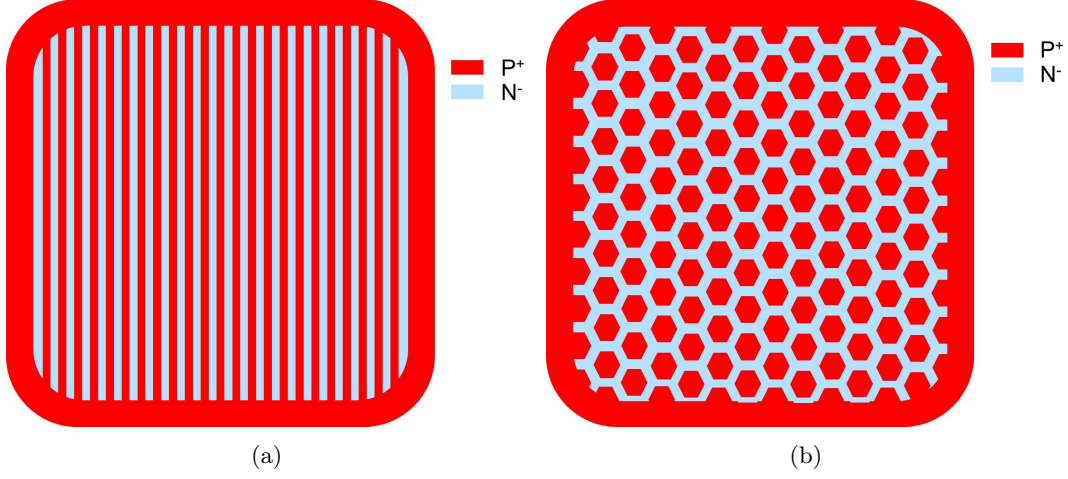


FIGURE 4.20 – Vue de dessus d’une géométrie d’anode de diode JBS à base de bandes (« stripes »).

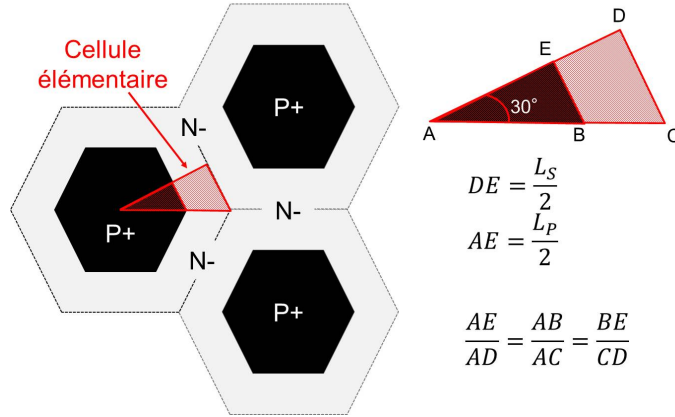


FIGURE 4.21 – Vue de dessus d’une géométrie d’anode JBS en nid d’abeilles et sa cellule élémentaire.

$$\begin{aligned}
 \mathfrak{R}_{sch} &= \frac{BCDE}{ACD} = \frac{ACD - ABE}{ACD} = 1 - \frac{ABE}{ACD} = 1 - \frac{AE}{AD} \cdot \frac{BE}{CD} \\
 \mathfrak{R}_{sch} &= 1 - \left( \frac{AE}{AD} \right)^2 = 1 - \left( \frac{AE}{AE+ED} \right)^2 \\
 \mathfrak{R}_{sch} &= 1 - \left( \frac{\frac{L_P}{2}}{\frac{L_P}{2} + \frac{L_S}{2}} \right)^2 \\
 \mathfrak{R}_{sch} &= 1 - \left( \frac{L_P}{L_P + L_S} \right)^2
 \end{aligned} \tag{4.3}$$

Un des principaux avantages de la géométrie en nid d’abeilles est qu’elle permet d’obtenir des largeurs  $L_P$  supérieures à celle d’une géométrie à base de bandes pour une largeur  $L_S$  et un ratio Schottky  $\mathfrak{R}_{sch}$  donnés (figure 4.22). La géométrie d’anode en nid d’abeilles est intéressante typiquement lorsqu’un contact spécifique sur les zones p est requis sur une diode JBS présentant un ratio Schottky supérieur ou égal à 1/2 et des

espacements  $L_S$  inférieurs à  $2\text{ }\mu\text{m}$ . Ainsi, pour répondre à ce besoin avec une géométrie à base de bandes, la largeur  $L_P$  doit être inférieure à  $2\text{ }\mu\text{m}$ . Compte tenu du CD et de la tolérance d'alignement de notre aligneur de masque, cet objectif n'est pas réalisable alors qu'une géométrie d'anode en nid d'abeilles permet de l'atteindre.

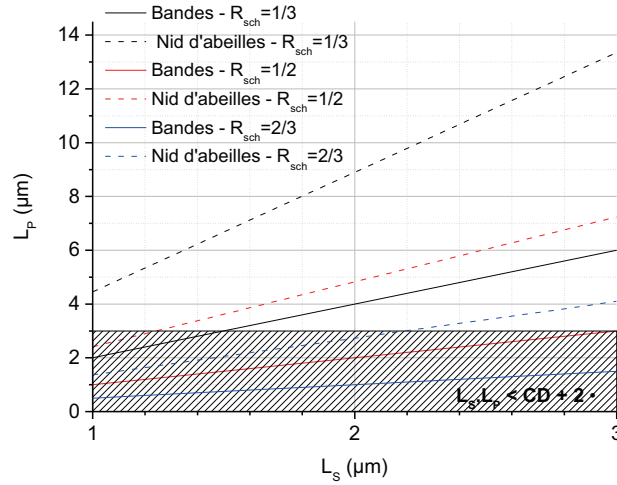


FIGURE 4.22 – Dépendance de  $L_P$  en fonction de  $L_S$  suivant la géométrie d'anode et pour différents ratios Schottky. La surface grisée représente le domaine inaccessible avec notre aligneur de masque.

Plusieurs diodes JBS présentant cette géométrie d'anode ont donc été intégrées sur le masque. Le tableau 4.2 présente les différentes couples  $(L_P, L_S)$  de ces diodes.

| $\mathfrak{R}_{sch}$ | ID | $L_P$<br>( $\mu\text{m}$ ) | $L_S$<br>( $\mu\text{m}$ ) |
|----------------------|----|----------------------------|----------------------------|
| 1/3                  | H1 | 5                          | 1                          |
|                      | H2 | 9                          | 2                          |
| 1/2                  | H3 | 3                          | 1,2                        |
|                      | H4 | 5                          | 2                          |
| 2/3                  | H5 | 3                          | 2,2                        |
|                      | H6 | 1,5                        | 1,1                        |
| 3/4                  | H7 | 3                          | 3                          |

Tableau 4.2 – Dimensions des diodes JBS avec une géométrie d'anode en nid d'abeilles.

N.B : Parmi les diodes à géométrie d'anode en nid d'abeilles, les régions p de la diode H6 ne sont pas contactées.

### 4.3 Spécifications des plaquettes

Les plaquettes destinées à la réalisation des dispositifs présentent les spécifications définies dans le tableau 4.3. Toutes les plaquettes utilisées présentent un dopage de type

n (substrat et couche active). Les substrats sont désorientés de  $4^\circ$ . Une couche tampon de  $0,5 \mu\text{m}$  d'épaisseur et dopée à  $1 \times 10^{18} \text{ cm}^{-3}$  est épitaxiée entre le substrat et la couche active.

| Fournisseur | Substrat                                          |                                | Couche active                                  |                                | Architecture JBS |
|-------------|---------------------------------------------------|--------------------------------|------------------------------------------------|--------------------------------|------------------|
|             | Résistivité<br>( $\text{m}\Omega\cdot\text{cm}$ ) | Épaisseur<br>( $\mu\text{m}$ ) | Dopage<br>( $\times 10^{16} \text{ cm}^{-3}$ ) | Épaisseur<br>( $\mu\text{m}$ ) |                  |
| CREE        | 22                                                | 373                            | 0,934                                          | 6,06                           | Planar 600V      |
| CREE        | 22                                                | 374                            | 0,973                                          | 5,97                           | Trench 600V      |

Tableau 4.3 – Spécification des plaquettes 4H-SiC utilisées pour la fabrication des dispositifs.

Suite à l'étude de l'architecture JBS à base de tranchées présentée au chapitre 2, il est attendu que celle-ci ait un niveau de courant de fuite et une conductance série plus faibles que la structure planar, pour un même dopage de la couche de dérivation. Une plaquette sera destinée à étudier les diodes JBS en configuration planar, l'autre les diodes JBS à base de tranchées.

## 4.4 Caractérisations électriques

Dans un premier temps, les dispositifs ont été caractérisés électriquement directement sur plaquette à partir d'une station sous pointes. Les mesures en direct ont été effectuées jusqu'à un courant de 200 mA afin d'extraire la hauteur de barrière Schottky et le facteur d'idéalité des dispositifs. Pour les diodes Schottky et JBS, les mesures de courant de fuite en régime inverse ont été effectuées jusqu'à 800 V en fixant un courant limite de 100  $\mu\text{A}$ . Les diodes PiN permettant notamment l'étude des protections périphériques ont, quant à elle, été caractérisées en inverse jusqu'à 1100V (limite de notre station de mesure sur plaquette). Ensuite, les dispositifs ont été échantillonnés, découpés et mis en boîtier pour la caractérisation à fort courant en direct.

### 4.4.1 Performances en inverse

#### 4.4.1.1 Tenue en tension

Cette partie a pour but d'évaluer l'efficacité des différentes protections périphériques étudiées par simulation dans le chapitre 2. Les différentes techniques de protection ont été étudiées sur des diodes PiN de la plaquette présentant une structure planar.

A titre de comparaison, la tension de claquage d'une diode PiN obtenue sans aucun élément de protection périphérique est de  $340 \pm 15\text{V}$ , soit une efficacité de 28% compte tenu du dimensionnement de la couche de dérivation (la tension de claquage de la jonction

plane semi-infinie, obtenue par simulation à partir des coefficients de Konstantinov, a été évaluée à 1196 V).

Dans un premier temps, la terminaison par simple JTE a été évaluée suivant la longueur  $L_{JTE}$  de la JTE. Trois longueurs (20, 60 et 100  $\mu\text{m}$ ) de terminaison ont été étudiées sur des diodes PiN circulaires dont la surface d'anode ( $P^+$ ) est de 0,2mm<sup>2</sup>. Le tableau 4.4 répertorie les tensions inverses  $V_{BR}$  mesurées à 1 $\mu\text{A}$  pour les différentes longueurs de terminaison (25 diodes pour chaque longueur).

| $L_{JTE}$ ( $\mu\text{m}$ ) | $V_{BR}$ (V) | $\sigma$ (V) | Efficacité (%) |
|-----------------------------|--------------|--------------|----------------|
| 0                           | 340          | 15           | 28             |
| 20                          | 1025         | 173          | 86             |
| 60                          | 1030         | 97           | 86             |
| 100                         | 1048         | 61           | 88             |

Tableau 4.4 – Tenue en tension moyenne  $V_{BR}$  et efficacité de la terminaison par une simple JTE, en fonction de la longueur  $L_{JTE}$  de celle-ci.  $\sigma$  exprime l'écart-type.

L'efficacité de la terminaison augmente légèrement avec la longueur de la poche JTE. Par simulation, nous avons déterminé que l'efficacité de la terminaison était maximale à partir d'une longueur de JTE trois fois supérieure à l'épaisseur de la couche de dérive. Dans notre cas, l'épaisseur de la couche de dérive étant de 6 $\mu\text{m}$ , une longueur JTE de 20  $\mu\text{m}$  est suffisante. Nous avons donc une bonne corrélation entre la simulation et l'expérience.

L'efficacité des différentes techniques de protection périphérique simulées dans le chapitre 2, à savoir simple JTE, anneaux JTE flottants (JTER) et anneaux de garde fortement dopées dans la JTE (FGR+JTE), ont été étudiées expérimentalement sur des diodes PiN de plus grande taille (1,52 mm<sup>2</sup>). Le tableau 4.5 répertorie les tensions de claquage obtenues avec les différentes terminaisons. Plus de la moitié des diodes testées présente des tensions de claquage supérieures à 600V. Malheureusement, la forte disparité des tensions maximales mesurées ne nous a pas permis de tirer une conclusion sur leur efficacité respective.

| $V_{BR}$ (V)         | JTE | JTE+6FGR | JTE+JTER | JTE+6FGR+JTER | Total     |
|----------------------|-----|----------|----------|---------------|-----------|
| <600                 | 12  | 15       | 3        | 3             | 33        |
| 600-800              | 4   | 2        | 8        | 13            | 27        |
| 800-1000             | 3   | 0        | 5        | 1             | 9         |
| >1000                | 1   | 0        | 3        | 1             | 5         |
| Nb de diodes testées | 20  | 17       | 19       | 18            | <b>74</b> |

Tableau 4.5 – Représentation statistique de la tenue en tension des différentes protections périphériques.

Toutefois, la part la plus importante de diodes supportant des tensions inverses supérieures à 600V est celle dont les diodes présentent une terminaison à base d'anneaux

flottants JTE (JTER). Suivant les éléments de protection mis en jeu, il serait intéressant d'évaluer la distribution spatiale du champ électrique dans la terminaison par une mesure optique tel que l'OBIC (Optical Beam Induced Current). De cette manière, il serait possible d'identifier si le champ électrique est bien supporté par les anneaux JTE.

Pour expliquer cette disparité des mesures obtenues sur les diodes de grand taille, plusieurs hypothèses sont proposées. D'une part, la présence de défauts cristallins ou liées à la fabrication peuvent être à l'origine de cette disparité. En termes de défauts cristallins, nous avons vu que les défauts tels que les dislocation-vis et les « micropipes » peuvent impacter fortement la tenue en tension des dispositifs. Ainsi, plus la taille de la diode est grande, plus la probabilité d'être impacté par un défaut est importante. D'autre part, des défauts induits lors de la fabrication sont présents et principalement liés à l'étape de photolithographie. En effet, sur notre plate-forme technologique, nous avons à disposition un aligneur de masque dit en mode 1X, c'est-à-dire qu'il n'y a pas d'optique de réduction de l'image. La taille du motif sur le masque est donc égale à celle transférée sur la plaquette. Ainsi, pour atteindre des résolutions de 1  $\mu\text{m}$  sur notre aligneur de masque, il est nécessaire de travailler dans un mode appelé « vacuum contact ». Lors de l'insolation de la résine dans ce mode, le masque est en contact intime avec la plaquette et une dépression est effectuée entre les deux. Après insolation, nous avons noté que certains résidus de résine étaient collés sur le masque. L'absence de résine dans des zones qui auraient dû être masquées a pu générer des défauts en périphérie.

Enfin, il est à noter que, lors du recuit post-implantation, la couche de protection en graphite n'a pas joué pleinement son rôle, une dégradation de l'état de surface initial ayant été observée après recuit. La figure 4.23 présente l'image AFM de la surface du SiC avant et après recuit.

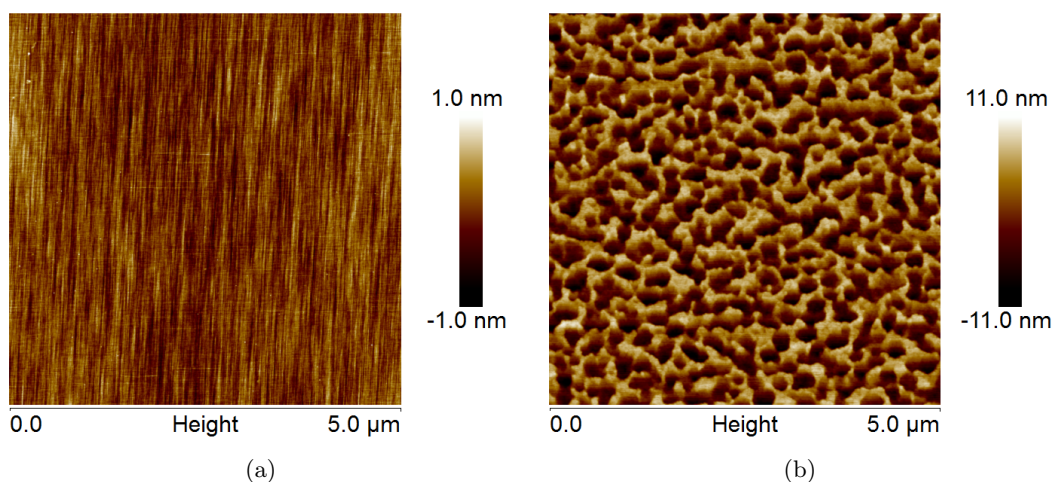


FIGURE 4.23 – Images AFM de la surface du SiC avant (a) et après (b) recuit à 1850°C pendant 30 minutes sous argon.

Dans des conditions normales de recuit, la rugosité et la morphologie de la surface après recuit sont sensiblement équivalente à celles de la surface non recuit. Ce problème fait suite à un changement de l'enceinte de recuit de notre four. A l'heure actuelle, la cause du problème n'a pas été clairement identifiée mais l'hypothèse d'une contamination en oxygène lors du recuit n'est pas exclue. Ainsi, la présence d'oxygène lors du recuit peut avoir pour effet de dégrader la couche de protection en carbone. Pour apporter des éléments de réponse à ce problème, un recuit sous atmosphère argon/hydrogène a été effectué sur un échantillon de test et nous avons constaté que la dégradation de la surface du SiC était fortement réduite, comme le montre la figure 4.24. En effet, il est connu que la présence d'hydrogène lors de recuit tend à neutraliser l'action de l'oxygène par la formation de molécules d' $\text{H}_2\text{O}$ .

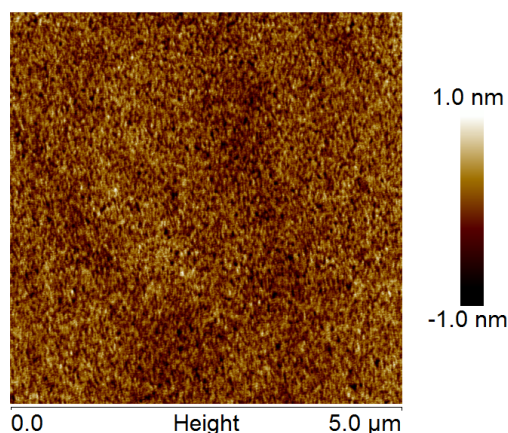


FIGURE 4.24 – Images AFM de la surface du SiC après recuit à  $1850^{\circ}\text{C}$  pendant 30 minutes sous argon et hydrogène.

Pour garantir une interface de bonne qualité entre la métallisation du contact Schottky et le SiC, la surface des plaquettes a subi un polissage mécano-chimique (CMP) effectué par la société NovaSiC. Après planarisation, la rugosité de surface a été évaluée à  $0,8 \text{ \AA}$  par AFM, comme le montre la figure 4.25.

La planarisation a consommé environ 80 nm de SiC. Ainsi, seules les zones non exposées à une gravure sèche du SiC n'a pas pu être polies. Or, notre périphérie est située dans une zone gravée d'une profondeur de 200 et 500 nm respectivement pour les diodes JBS planar et à base de tranchées. La surface du SiC où est située la périphérie n'est donc pas polie. Il est donc fort probable que l'interface oxyde/SiC à ce niveau soit de mauvaise qualité. On est alors dans une situation où la densité d'états d'interface peut être importante. Compte tenu de la dose implantée dans la JTE, en l'absence de charge, la tenue en tension devrait être maximale quelle que soit le type de terminaison (JTE, JTE avec anneaux JTE ou JTE avec anneaux fortement dopés). Statistiquement, la terminaison avec anneaux JTE offre une tenue en tension supérieure à celle sans anneaux. Il semblerait donc que l'on soit

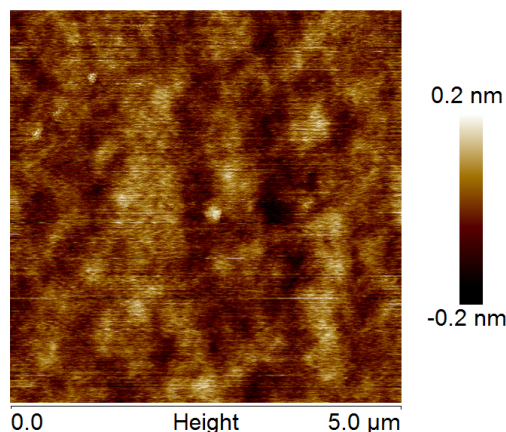


FIGURE 4.25 – Image AFM de la surface du SiC après CMP.

dans le cas où la polarité des charges à l'interface est négative. De plus, la forte tenue en tension observée sur les petites diodes protégées par simple JTE semble confirmer l'impact négatif de l'état de surface du SiC. En effet, sur ces dernières diodes, la structure est rigoureusement plane. Le polissage de la surface a donc été effectif sur l'intégralité de la structure (zone active et périphérie).

L'efficacité des différentes techniques de protection périphérique devra être confirmée ultérieurement sur d'autres plaquettes. Leur étude sur des diodes de petites tailles ne devra pas être négligée afin de limiter l'impact des défauts. Nous nous sommes intéressés par la suite à l'étude du courant de fuite de diodes supportant des tensions inverses supérieures à 800V.

#### 4.4.1.2 Courant de fuite

Dans le chapitre 2, nous avons vu que le courant de fuite de la diode Schottky était fortement dépendant du champ électrique sous le contact Schottky. Par la présence de caissons P sous le contact Schottky dans la diode JBS, la protection du contact Schottky vis-à-vis du champ électrique peut être contrôlée par l'espacement entre les caissons P. La figure 4.26 représente la caractéristique inverse I-V de diodes JBS planar mesurée à 150°C suivant l'espacement ( $L_S$ ) entre les zones P sous le contact Schottky en comparaison avec celle de diodes Schottky et PiN. A noter que les diodes JBS, présentées ici, ont un rapport  $\mathfrak{R}_{sch}$  entre les aires Schottky et PN de 2/3 hormis celle avec l'espacement  $L_S = 1\mu\text{m}$  qui présente un rapport de 1/2.

A 150°C, les densités de courant de fuite de la diode Schottky et JBS sont inférieures à 100  $\mu\text{A}/\text{mm}^2$  et ce jusqu'à 800V. En accord avec les simulations, le courant de fuite de la diode JBS décroît avec la diminution de l'espacement entre les régions  $\text{P}^+$  du fait de la diminution du champ électrique sous le contact Schottky. Afin d'évaluer l'effet de



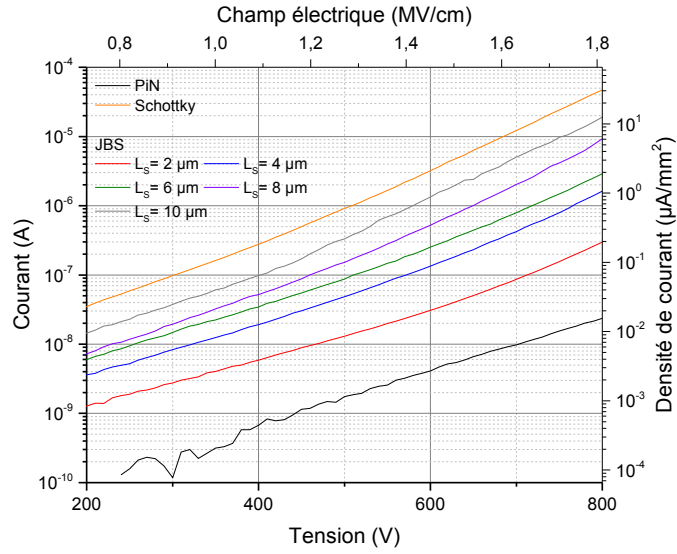


FIGURE 4.26 – Caractéristique inverse de diodes Schottky, PiN et JBS mesurée à 150°C.

l'espacement des régions  $P^+$  des diodes JBS sur le niveau de courant de fuite, ce dernier a été normalisé sur la surface Schottky. Ainsi, pour différentes diodes JBS présentant différents ratio  $\mathcal{R}_{sch}$ , la figure 4.27 représente la densité de courant de fuite mesurée à 600V de diodes JBS, en fonction de l'espacement  $L_s$  entre les régions  $P^+$ .

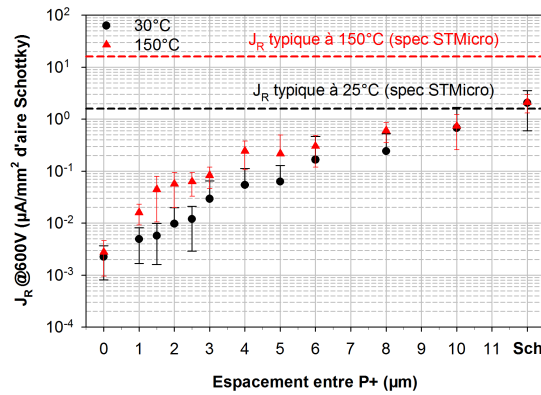


FIGURE 4.27 – Densité médiane de courant de fuite à 600V normalisée par rapport à la surface Schottky, en fonction de l'espacement entre les régions  $P^+$ , à différentes températures de mesure.

La tendance observée est une diminution de la densité de courant de fuite de la diode JBS avec celle de l'espacement  $L_s$  entre les régions  $P$  tel que nous l'avons vu précédemment.

Pour un espacement maximal de  $10\mu\text{m}$  disponible sur notre masque, la densité de courant de fuite de la diode JBS est divisée par 3 par rapport à celle de la diode Schottky. La protection du contact Schottky vis-à-vis du champ électrique est donc encore effective avec un tel espacement entre les régions P. Enfin, pour les diodes JBS et Schottky, les niveaux de densité de courant de fuite sont inférieurs aux valeurs typiques imposées actuellement par STmicroelectronics.

Par simulation, nous avons vu qu'avec la diode JBS à base de tranchées implantées, il était possible de contrôler le champ électrique sous le contact Schottky et, donc, le courant de fuite de la diode JBS à partir d'un autre élément de géométrie, la profondeur des tranchées.

La figure 4.28 présente la densité de courant de fuite mesurée à  $600\text{V}$  et à  $150^\circ\text{C}$ , en fonction de l'espacement  $L_S$  entre les régions P, suivant la structure de la diode JBS, planar ou à base de tranchées (trench).

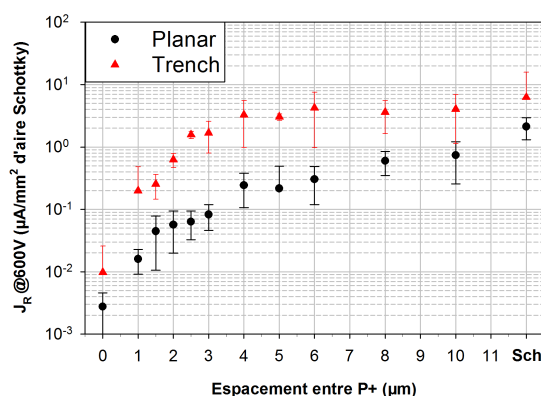


FIGURE 4.28 – Densité médiane de courant de fuite à  $600\text{V}$  et  $150^\circ\text{C}$  normalisée par rapport à la surface Schottky, en fonction de l'espacement entre les régions  $P^+$ , suivant la structure de la diode JBS (planar ou trench).

Pour un design de JBS donné, les courants de fuite dans la structure à base de tranchées sont toujours supérieurs à ceux d'une structure planar. L'effet de l'espacement des régions P sur le courant de fuite de la diode JBS à base de tranchées est aussi beaucoup moins prononcé que dans le cas de la structure planar.

Sachant que la même métallisation a été utilisée pour la réalisation du contact Schottky, une des hypothèses pour expliquer le fort courant de fuite de la diode JBS à base de tranchées est une absence d'inversion de dopage au niveau des flancs des tranchées. Du fait de l'état de surface des flancs après gravure, il est fort probable que le contact Schottky formé à ce niveau soit ainsi fortement dégradé. Parmi les techniques de caractérisation à

notre disposition pour identifier la présence d’une inversion de dopage au niveau des flancs, la révélation de jonction par contraste de potentiel en imagerie MEB peut s’avérer être intéressante. Cette technique, appelée « Secondary Electron Potential Contrast » (SPEC), repose sur la détection des électrons secondaires émis à proximité d’une jonction PN et a déjà été démontrée avec succès sur SiC [276, 277]. Cette analyse est actuellement en cours de réalisation. S’il s’avérait que les flancs des tranchées présentent une absence d’inversion de type de dopage, une étude expérimentale de l’angle de tilt d’implantation dans des tranchées serait à étudier.

Toutefois, étant donné que le niveau de courant de fuite est aussi intimement lié à la qualité du contact Schottky, la détermination de la hauteur de barrière et du facteur d’idéalité des diodes a été effectuée. Un problème de reproductibilité dans la formation du contact pourrait alors expliquer les courants de fuite importants mesurés sur les diodes JBS à base de tranchées.

#### 4.4.2 Performances en direct

##### 4.4.2.1 Hauteur de barrière et facteur d’idéalité

A partir du modèle thermoionique, la hauteur de barrière Schottky Mo/SiC et le facteur d’idéalité de diodes Schottky et JBS ont été extraits. La figure 4.29 illustre la distribution de la hauteur de barrière et du facteur d’idéalité correspondant aux diodes en configuration planar.

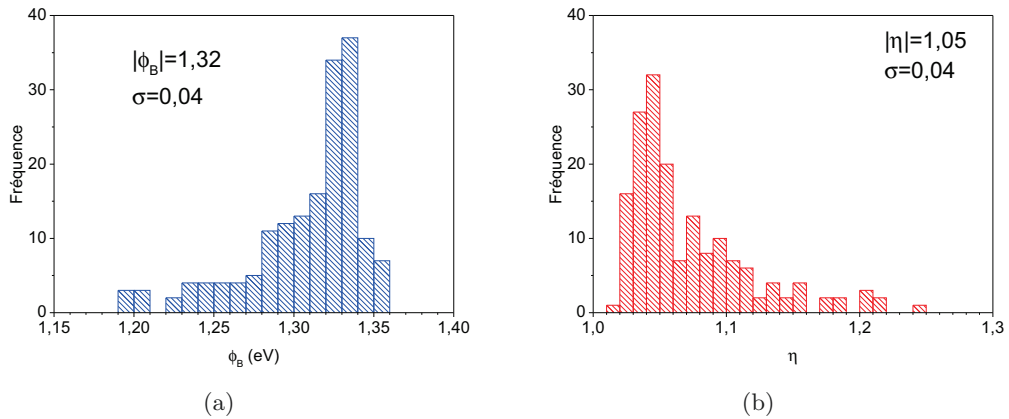


FIGURE 4.29 – Distribution de la hauteur de barrière et du facteur d’idéalité mesurés à 30°C sur les diodes Schottky et JBS planar ( $L_S$  compris entre 1,5 et 10  $\mu\text{m}$ ).

Les valeurs médianes de hauteur de barrière et du facteur d’idéalité sont respectivement de 1,32 eV et 1,05. Aucune différence notable n’a été relevée suivant la structure de la diode, Schottky ou JBS. Toutefois, pour les diodes JBS avec un espacement  $L_S$  inférieur à

1,5 $\mu\text{m}$ , les valeurs de hauteur de barrière et de facteur d'idéalité sont différentes de celles précédemment présentées, suivant la géométrie de l'anode (bandes ou nid d'abeille). La figure 4.30 présente la caractéristique I-V en direct de diodes JBS suivant la géométrie d'anode, pour un espacement  $L_S$  de 1  $\mu\text{m}$ .

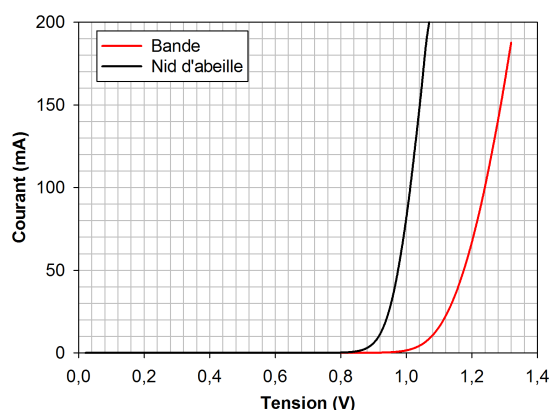


FIGURE 4.30 – Caractéristique I-V en direct de diodes JBS suivant la géométrie de l'anode, bandes ou nid d'abeille.  $\mathcal{R}_{sch} = 1/3$  et  $L_S = 1\mu\text{m}$ .

La diode avec une géométrie d'anode en nid d'abeille présente une tension de seuil plus faible et une résistance série plus élevée que celle avec une géométrie en bande. La hauteur de barrière et le facteur d'idéalité correspondant sont présentés dans le tableau 4.6. La densité de courant de fuite à 600V normalisée par rapport à la surface Schottky et mesurée à 150°C a été incluse pour comparaison.

| Géométrie d'anode | $L_S$ ( $\mu\text{m}$ ) | $\Phi_B$ (eV) | $\eta$ | $J_{R_{150^\circ\text{C}}}(\mu\text{A}/\text{mm}^2)$ à 600V |
|-------------------|-------------------------|---------------|--------|-------------------------------------------------------------|
| Nid d'abeille     | 1                       | 1,33          | 1,05   | $3,93 \times 10^{-2}$                                       |
| Bandes            | 1                       | 1,36          | 1,19   | $7,24 \times 10^{-3}$                                       |

Tableau 4.6 – Valeurs médianes de hauteur de barrière, de facteur d'idéalité et de densité de courant de fuite à 600V suivant la géométrie d'anode.

Dans le cas d'une géométrie d'anode en nid d'abeilles, les valeurs médianes de hauteur de barrière et de facteur d'idéalité sont équivalentes à celles mesurées sur les diodes Schottky et JBS avec un espacement  $L_S$  supérieur à 1 $\mu\text{m}$ . Dans le cas d'une géométrie d'anode en bandes, le facteur d'idéalité est élevé lorsque l'espacement  $L_S$  est inférieur à 1,5  $\mu\text{m}$ . La hauteur de barrière est, quant à elle, légèrement supérieure à celle mesurée précédemment.

Cela pourrait provenir du fait que le canal de conduction entre les régions  $P^+$  est pincé par le recouvrement des zones de charge d'espace formées autour des régions  $P^+$  dans le cas d'un espacement  $L_S$  de  $1\ \mu\text{m}$ .

Dans le cas d'une géométrie de bande,  $L_S$  entre les régions  $P$  étant uniforme sur toute la structure, le pincement du canal est donc uniforme. Dans le cas d'une géométrie d'anode en nid d'abeille, l'espacement  $L_S$  n'est pas uniforme, comme le montre la figure 4.31.

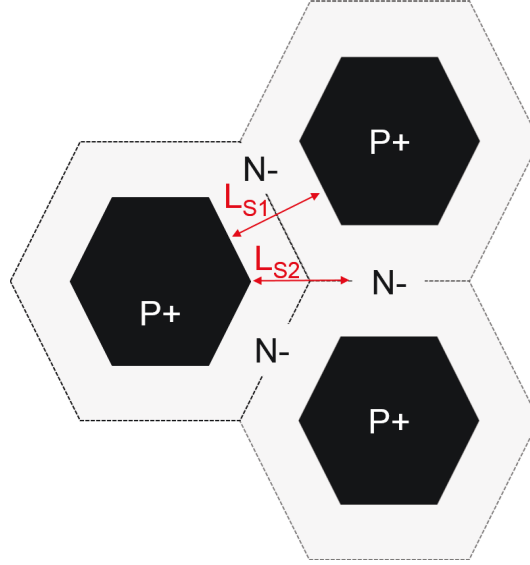


FIGURE 4.31 – Vue schématique de la géométrie d'anode en nid d'abeille de la diode JBS.

L'espacement  $L_{S1}$  est inférieure à celui nommé  $L_{S2}$  tel que :

$$L_{S2} = \frac{2L_{S1}}{\sqrt{3}} \approx 1,15 \cdot L_{S1} \quad (4.4)$$

Dans notre cas, l'espacement  $L_S$  correspond à  $L_{S1}$ . Il est donc possible d'imaginer que le canal de conduction n'est pas pincé uniformément en tout point de l'anode en configuration nid d'abeille. La différence de densité de courant de fuite à 600V entre les deux configurations d'anode tend à confirmer cette hypothèse.

Comme nous l'avons vu précédemment, le courant de fuite des diodes JBS à base de tranchées est supérieur à celui des diodes en configuration planar. La hauteur de barrière ainsi que le facteur d'idéalité des diodes ont été calculés afin de déterminer si le contact Schottky n'était pas à l'origine des forts courants de fuite. La figure 4.32 présente la distribution de la hauteur de barrière et du facteur d'idéalité correspondant aux diodes en configuration trench.

Les valeurs médianes de hauteur de barrière et de facteur d'idéalité sont proches des valeurs mesurées sur les diodes en configuration planar. Toutefois, la dispersion des valeurs est beaucoup plus importante. Le contact Schottky ne semble donc pas être la cause du

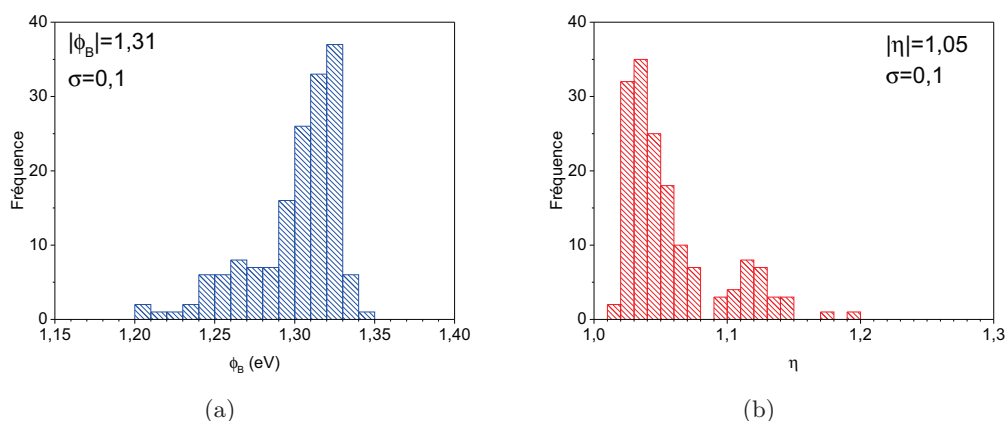


FIGURE 4.32 – Distribution de la hauteur de barrière et du facteur d'idéalité mesurés à 30°C sur les diodes Schottky et JBS à base de tranchées ( $L_S$  compris entre 1,5 et 10  $\mu\text{m}$ ).

courant de fuite élevé mesuré sur les diodes JBS à base de tranchées.

## 4.5 Conclusion

Suite à de nombreux problèmes technologiques liés à la fabrication des diodes JBS, l'intégration des briques technologiques ainsi que les éléments de design développés au cours de cette thèse n'ont pu être validés dans leur totalité. Néanmoins, du point de vue des techniques de protection périphérique, même si de fortes disparités de la tenue en tension ont été rencontrées, l'intégration d'anneaux JTE en complément d'une simple JTE tend à rendre la terminaison beaucoup moins sensible aux défauts technologiques. Toutefois, il serait intéressant d'évaluer les différentes techniques de protection périphérique sur des dispositifs de petites dimensions afin de limiter l'impact des défauts. Des tests de fiabilité de type HTRB (High Temperature Reverse Bias) devront être envisagés pour évaluer la robustesse de chaque terminaison et leur faculté à limiter le vieillissement du matériau diélectrique utilisé comme passivation. Du point de vue de la géométrie de l'anode de la diode JBS, l'effet de pincement du courant de fuite par la présence de régions P sous le contact Schottky a été confirmé pour une configuration planar. Les niveaux de courant de fuite mesurés à 30 et 150°C sont largement inférieurs aux niveaux typiques de la génération actuelle des diodes 650V commercialisées par STMicroelectronics. Cela confirme les excellentes propriétés du contact Schottky Mo/SiC utilisé lors de cette étude.

Toutefois, les résultats concernant la configuration d'anode à base de tranchées n'a pas permis de valider ce concept. L'origine du fort courant de fuite des diodes JBS à base de tranchées n'est pas claire. Une analyse de la distribution des dopants dans la tranchée devra être conduite pour identifier si une inversion de dopage est présente au niveau des

flancs de gravure. Du point de vue des performances en direct, les résultats préliminaires montrent une forte influence de la géométrie d'anode, bande ou nid d'abeille, de la diode JBS sur sa conduction lorsque l'espacement entre les zones P est faible. La non-uniformité du recouvrement des ZCE autour des régions P, dans le cas de la géométrie en nid d'abeille, semble être à l'origine de cette différence. Seule une simulation électrique en 3D permettrait d'apporter une réponse claire sur l'aspect tri-dimensionnel du recouvrement des ZCE autour des régions P, dans le cas de cette géométrie d'anode. Ensuite, l'utilisation du contact Schottky à base de molybdène confirme l'obtention d'une hauteur de barrière relativement haute comparée à celle obtenue avec du titane. Il serait intéressant d'évaluer la fiabilité à haute température de fonctionnement et à fort courant de diodes Schottky avec une métallisation en Mo. Après mise en boîtier, les diodes conçues lors de cette thèse devront être confrontées à un test de fiabilité en surcharge de courant direct à forte température et les résultats devront être comparés à ceux obtenus avec des diodes élaborées avec une métallisation en titane.





# Conclusion générale et perspectives

Le travail réalisé lors de cette thèse s'inscrit dans un contexte d'essor des technologies microélectroniques à base de semiconducteurs alternatifs au silicium, tels que le SiC et le GaN. Le déploiement d'une électronique de puissance en SiC répond à la demande croissante des applications de forte tension et fort courant. Elle est aussi associée à des exigences de plus en plus sévères en termes d'efficacité énergétique. Aujourd'hui, le marché des composants SiC est dominé par les diodes unipolaires et le marché des applications par les alimentations requérant une haute efficacité énergétique. La gamme de tension inverse visée est principalement entre 600 et 1200V. De façon générale, les diodes sont soumises à un compromis entre les performances en direct et celles en inverse. L'amélioration de ce compromis est intimement liée au développement de nouveaux procédés technologiques et de nouvelles architectures de composants.

Parmi les composants redresseurs de puissance, les diodes unipolaires tiennent une place importante pour couvrir la gamme de tension inverse allant jusqu'à plusieurs kV. Ainsi, les diodes Schottky sont privilégiées pour leur faible chute de tension et leur faible perte en commutation. Toutefois, leur fort courant de fuite et leur faible capacité à supporter des courants importants en direct sont leurs principaux défauts. Pour pallier ses limitations, la diode JBS est aujourd'hui privilégiée puisqu'elle permet de conserver les avantages de la diode Schottky (faibles chutes en tension et pertes en commutation), d'en réduire le courant de fuite et d'en augmenter la robustesse vis-à-vis des surcharges en courant. Cependant, ses performances sont étroitement liées au design des caissons P intégrés sous le contact Schottky. Ce travail de thèse a été dédié à l'étude des différents aspects de la diode JBS, de la conception à la fabrication.

Au niveau de la conception, l'efficacité de la protection périphérique va conditionner fortement le dimensionnement de la couche de dérive réalisée en amont de la fabrication du composant. En effet, la périphérie de la diode est généralement le siège du claquage prématuré du composant du fait de l'accroissement du champ électrique en régime inverse. Afin d'exploiter tout le potentiel de la couche de dérive en termes de tenue en tension,

la mise en place d'une protection périphérique efficace et robuste est indispensable. Un travail d'optimisation de la protection périphérique de la diode par simulation a donc été conduit. Parmi les différentes techniques de protection périphérique, la terminaison par JTE a été retenue comme élément de protection de base pour notre étude. Toutefois, la sensibilité de l'efficacité de cette terminaison vis-à-vis des charges à l'interface  $\text{SiO}_2/\text{SiC}$  et à l'activation incomplète des impuretés implantées sont ses principaux défauts. Des éléments de protection supplémentaires ont été étudiés afin de limiter l'effet de ces variations technologiques. D'une part, l'ajout d'anneaux fortement dopés dans la JTE, pouvant être réalisés en même temps que la jonction principale, s'est avéré efficace pour limiter l'effet d'une activation incomplète des impuretés implantées dans la JTE. Le second avantage est une sensibilité réduite de la terminaison aux charges positives présentes à l'interface  $\text{SiO}_2/\text{SiC}$ . D'autre part, il a été montré que l'incorporation d'anneaux JTE flottants à l'extrémité de la JTE principale se traduisait par une meilleure efficacité de la terminaison à forte dose dans la JTE et une sensibilité réduite de la terminaison vis-à-vis des charges négatives à l'interface  $\text{SiO}_2/\text{SiC}$ . Finalement, la combinaison de ces différents éléments de protection périphérique constitue une terminaison efficace et robuste sans complexifier la fabrication par rapport à une simple terminaison JTE. En parallèle, une terminaison innovante basée sur l'intégration en périphérie d'un caisson diélectrique, surmonté d'une plaque de champ, a été démontrée par simulation. Le caisson diélectrique va, ainsi, contenir tout le potentiel et le remonter en surface. En complément, la plaque de champ évite la remontée des équipotentielles et, donc, l'accroissement du champ électrique au niveau de l'interface entre le caisson diélectrique et le SiC. Par rapport à une protection mesa classiquement reconstruite, l'avantage majeur de cette terminaison est la conservation d'une structure planar, facilitant les étapes de fabrication ultérieures à sa formation. D'un point de vue technologique, la fabrication de cette terminaison répond à la disponibilité d'un nouveau procédé de gravure dit « électrochimique » du SiC. Fruit d'une expérience forte sur la gravure électrochimique de matériaux semiconducteurs dans notre laboratoire, la mise en place d'un procédé de gravure du SiC a été étudiée. Les premiers résultats ont montré que différentes morphologies de SiC poreux peuvent être obtenues suivant les conditions de gravure telles que la nature des électrolytes et le régime d'anodisation. D'un point de vue électrique, les propriétés semi-isolantes du SiC poreux ont été mises en évidence et confirment l'intérêt de cette technique pour la réalisation d'un caisson diélectrique pour notre terminaison. Suite à cette étude, la faisabilité de la gravure électrochimique et localisée de couches faiblement dopées, typiquement utilisées comme couche de dérive des diodes, reste néanmoins à démontrer.

En résumé, ces travaux nous ont permis de mettre au point deux types de protection périphérique, l'une à base de JTE d'ores-et-déjà réalisable à partir d'un procédé d'implantation et une autre à partir de SiC poreux. Malheureusement, du fait de problèmes technologiques rencontrés durant la fabrication des composants, les résultats

expérimentaux concernant les performances des terminaisons à base de JTE n'ont pas permis de conclure sur son efficacité. Néanmoins, l'intégration d'anneaux JTE en complètement d'une simple JTE tend à rendre la terminaison beaucoup moins sensible aux défauts technologiques.

Concernant l'anode de la diode JBS, une étude paramétrique du design des caissons P sous le contact Schottky a été menée afin d'évaluer la protection du contact Schottky vis-à-vis du champ électrique en régime inverse et l'impact des régions P sur la résistance série de la diode. Outre les aspects géométriques tels que la largeur des régions P et leur espacement, la profondeur des caissons P a une forte influence sur la réduction du champ électrique sous le contact Schottky de la diode JBS. Cependant, cette profondeur est limitée par l'implantation. Une structure JBS à base de tranchées implantées (TI-JBS) a été proposée comme une alternative innovante pour obtenir des jonctions profondes sans avoir recours à des énergies d'implantation difficilement compatibles avec un procédé industriel. La simulation a ainsi permis de mettre en évidence une protection du contact Schottky vis-à-vis du champ électrique d'autant plus importante que les tranchées sont profondes. Du point de vue de la conception, la diode TI-JBS est plus intéressante que la diode planar car elle offre un paramètre géométrique supplémentaire pour ajuster le compromis entre les performances en inverse et celles en direct. Expérimentalement, les performances en inverse de la diode TI-JBS n'ont malheureusement pas été celles prévues par la simulation, ce qui semble être imputable aux procédés de fabrication pas encore matures. La formation d'un contact Schottky de mauvaise qualité sur les flancs des tranchées serait à l'origine de l'important courant de fuite de la diode TI-JBS. L'impact du contact Schottky sur ce courant de fuite anormal de la diode TI-JBS a été exclu du fait des valeurs de hauteur de barrière et de facteur d'idéalité similaires à celles obtenues sur les diodes JBS planar.

La métallisation, retenue pour la fabrication des diodes, a été le molybdène. Ce choix résulte d'une étude conduite sur des contacts Schottky réalisés à partir de métaux réfractaires tels que le tungstène (W) et le molybdène (Mo). Les hauteurs de barrière obtenues avec ces métaux sont supérieures à celles obtenues avec le contact Ti/SiC, classiquement utilisé actuellement pour la fabrication des diodes JBS. Dans le cas de diodes JBS planar développées durant cette thèse, l'intégration du contact Mo/SiC a permis d'obtenir un niveau de courant de fuite largement inférieur aux spécifications imposées actuellement par STMicroelectronics sur les diodes 600V. Les prochaines études devront donc s'attacher à évaluer la chute de tension à l'état passant des diodes à leur courant nominal. Enfin, la capacité en surcharge de courant de nos diodes JBS devra être quantifiée pour évaluer le bénéfice apporté par la siliciuration du nickel sur les régions P de la diode. Bien que de nombreuses métallisations soient recensées dans la littérature pour la formation de contacts faiblement résistifs sur SiC type p, leur intégration dans la fabrication de la diode JBS est complexe. La siliciuration du nickel sur SiC type p est particulièrement intéressante du fait de sa compatibilité avec la fabrication de la diode JBS par la méthode

auto-alignée. L'étude de ce procédé a permis d'identifier une température optimale de recuit du nickel pour minimiser la résistance spécifique du contact Ni/SiC. Enfin, nous avons montré que l'intégration de ce contact dans une diode PiN diminuait fortement la chute de tension de la diode à l'état passant en comparaison avec l'utilisation d'un contact Mo/SiC. Ces résultats sont prometteurs pour l'amélioration de la surcharge en courant de la diode JBS.

En perspectives, les performances de la diode TI-JBS doivent être confirmées expérimentalement en optimisant le procédé de fabrication. Dans un premier temps, il sera indispensable d'identifier la cause du fort courant de fuite de cette structure de la diode proposée durant cette thèse. L'inversion de dopage au niveau du flanc doit être confirmée par des techniques de révélation de jonction telles que l'imagerie MEB ou des mesures électriques par microscopie à force atomique. En l'absence d'inversion de dopage, une attention particulière devra être portée à l'implantation tiltée en Al. Une étude expérimentale de l'effet de l'angle de tilt d'implantation sur le dopage des flancs de la tranchée semble indispensable pour atteindre l'inversion de dopage requise.

Dans l'optique de minimiser la contribution des caissons P sous le contact Schottky dans la résistance série de la diode JBS, nous avons vu, par simulation, que les dimensions de ces caissons doivent être minimisées. Toutefois, la capacité de surcharge en courant de la diode JBS est intimement liée au ratio entre les surfaces Schottky et bipolaires. La réduction des dimensions de ces deux zones se traduira par une augmentation importante de la résistance série du fait du pincement important du canal de conduction des zones Schottky par les zones de charges d'espaces autour des régions P. Des résultats récents de simulation montrent qu'il est possible de compenser cet effet par une augmentation du dopage N entre les caissons P, sans dégrader la tenue en tension. Cette voie sera à explorer pour la développement d'une nouvelle génération de diodes JBS en SiC.

# Annexes



## Annexe A

# Application d'un plan d'expériences à l'étude de la gravure du SiC

### A.1 Définition du plan d'expériences.

Afin de limiter le nombre d'essais tout en obtenant un maximum d'informations sur l'effet des paramètres appliqués, l'utilisation d'un plan d'expériences est souhaitable. L'outil statistique utilisé sera brièvement présenté et la méthode d'analyse du modèle obtenu sera détaillée avant de passer à la présentation et à l'interprétation des résultats.

Avant de choisir et d'appliquer un plan d'expériences à notre problématique de gravure, il convient de définir les différents termes techniques utilisés :

- les variables agissant sur le procédé sont appelées « facteurs ». On différencie les facteurs contrôlés, sur lesquels on peut agir (par exemple, la pression de travail), et les facteurs bruits, lesquels sont difficiles voire impossible à manipuler (par exemple, la température de l'échantillon),
- les niveaux, valeurs qui sont données aux facteurs contrôlés pour chaque essai. On distinguera ainsi les niveaux bas et les niveaux haut,
- la réponse, grandeur de sortie à laquelle nous nous intéressons. Celle-ci doit être quantifiable et mesurée à chaque essai (par exemple, la vitesse de gravure),
- le modèle, fonction mathématique qui permet de décrire un phénomène. Les modèles peuvent être linéaires ou quadratiques,
- les critères de qualité, qui définissent l'adéquation du modèle pour décrire un phénomène.

Afin de limiter le nombre d'expériences, la première étape consiste à définir les facteurs

| Facteurs                  | Valeur min. | Valeur max. |
|---------------------------|-------------|-------------|
| $P_{\text{Source}}$ (W)   | 600         | 1800        |
| $P_{\text{Substrat}}$ (W) | 100         | 400         |
| Pression (mTorr)          | 8           | 18          |

Tableau A.1 – Facteurs et niveaux du DOE mis en place.

les plus pertinents compte tenu des travaux déjà présentés dans la littérature. Les différents facteurs contrôlables du procédé sont :

- la puissance  $P_{\text{Source}}$  appliquée à l'antenne,
- la puissance  $P_{\text{Substrat}}$  appliquée au porte-susbrat,
- la pression de travail,
- le débit de  $\text{SF}_6$ ,
- l'ajout de gaz complémentaire ( $\text{O}_2$ , Ar, ...),
- la nature de la plaquette, accueillant l'échantillon, à clamber sur le porte-substrat,
- la nature du masque de gravure,
- le temps de gravure,

Nous avons choisi de fixer certains facteurs, qui seront alors des constantes comme :

- le débit de  $\text{SF}_6$  à sa valeur maximale soit 50 sccm, de telle sorte que la disponibilité du fluor soit toujours supérieure à sa demande,
- la nature de la plaquette, accueillant l'échantillon, à campler sur le porte-substrat, influe fortement sur les performances de la gravure. Dans le cas de l'utilisation d'une chimie fluorée, l'usage d'un substrat en silicium peut entraîner un appauvrissement de la concentration en fluor dans le plasma. Un substrat en quartz a donc été choisi pour limiter la consommation de fluor,
- aucun gaz additif n'a été ajouté à la chimie du plasma. L'oxygène, couramment utilisé, n'a pas été employé pour éviter toute formation de couches isolantes, de type  $\text{SiF}_x\text{O}_y$ , sur les flancs de gravure pouvant favoriser le phénomène de trenching [199, 204, 214]. L'accumulation de charges dans cette couche isolante est susceptible de dévier par effet électrostatique la trajectoire des ions et, ainsi, accentuer la gravure au niveau du pied du profil.
- pour des raisons de forte sélectivité de gravure, le nickel a été choisi comme matériau de masquage,
- le temps de gravure sera ajusté pour atteindre une profondeur de gravure de 20  $\mu\text{m}$ , soit une valeur supérieure à la profondeur visée pour nos applications ( $< 15 \mu\text{m}$ ).

Les facteurs de notre étude sont la puissance source ( $P_{\text{source}}$ ), la puissance appliquée au porte-substrat ( $P_{\text{PS}}$ ) et la pression de travail. Le domaine d'étude et donc les niveaux de chaque facteur ont été choisis de sorte à avoir un effet le plus significatif possible sur les phénomènes observés.



Concernant la pression, la limite minimum pouvant être atteinte est de 8 mTorr compte tenu des performances du pompage dans notre système et pour un débit de SF<sub>6</sub> de 50 sccm. La valeur maximum a été fixée à 18 mTorr. En effet, au-delà, le plasma devient fortement « instable », cela se traduit par des extinctions répétées du plasma. Ce phénomène d'instabilité du plasma est souvent rencontré dans les plasmas à base de gaz électronégatifs comme le SF<sub>6</sub> [278]. Les valeurs maximales des puissances sources et du porte-substrat sont respectivement de 90 et 80% des valeurs maximales imposées par les générateurs. Enfin, les valeurs minimales de ces puissances ont été choisies de sorte à bénéficier d'une vitesse de gravure raisonnable, c'est-à-dire supérieure à 200 nm/min. Enfin, les réponses du système que nous avons étudiées en fonction des différents facteurs sont :

- le « trenching », en %, défini comme le ratio entre la profondeur de surgravure  $e_T$  et l'épaisseur de couche gravée  $e_G$  (figure A.1),
- la vitesse de gravure du SiC,
- la tension d'auto-polarisation  $V_{\text{bias}}$ ,

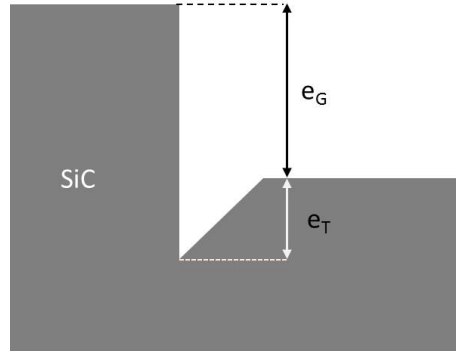


FIGURE A.1 – Schéma d'une structure obtenue par gravure et présentant du « trenching ».

La profondeur de surgravure liée au phénomène de « trenching » a été mesurée par microscopie électronique à balayage (MEB). L'épaisseur de la couche gravée a été contrôlée en temps réel par mesure interférométrique in-situ pendant la gravure. Celle-ci a ensuite été vérifiée à l'aide d'un profilomètre mécanique. La vitesse de gravure moyenne a été calculée à partir de la mesure de l'épaisseur de la couche gravée et du temps de gravure associé. La tension d'auto-polarisation est relevée sur l'équipement de gravure et représente la composante continue du signal RF mesurée au niveau du générateur connecté au porte-substrat. Cette réponse sera utile pour évaluer les variations d'énergie cinétique des ions impactant le substrat. Pour nous aider dans la génération des essais et le traitement des résultats, nous avons fait appel au logiciel Cornerstone<sup>TM</sup> de camLine<sup>1</sup>. Travaillant sur un large domaine et sachant qu'il peut exister des interactions entre les facteurs ainsi que des effets quadratiques, nous choisissons d'utiliser un plan d'expérience « D-Optimal ». Pour

1. <http://www.camline.com/products/cornerstone/cornerstone.html>

une étude à 3 facteurs faisant appel à un modèle quadratique avec interaction, ce plan requiert un minimum de 15 essais et inclut des valeurs intermédiaires des facteurs.

## A.2 Analyse et interprétation des résultats

### A.2.1 Modèle brut.

Les différents essais réalisés dans le cadre du plan d'expériences défini précédemment sont résumés dans le tableau A.2.

| Essai | Facteurs                     |                            |                     | Réponses                 |                            |                  |
|-------|------------------------------|----------------------------|---------------------|--------------------------|----------------------------|------------------|
|       | P <sub>Substrat</sub><br>(W) | P <sub>Source</sub><br>(W) | Pression<br>(mTorr) | V <sub>bias</sub><br>(V) | V <sub>G</sub><br>(nm/min) | Trenching<br>(%) |
| 1     | 100                          | 600                        | 8                   | 200                      | 341                        | 18,6             |
| 2     | 250                          | 600                        | 13                  | 416                      | 409                        | 25,3             |
| 3     | 400                          | 600                        | 8                   | 533                      | 565                        | 6,0              |
| 4     | 400                          | 600                        | 18                  | 619                      | 515                        | 21,0             |
| 5     | 100                          | 1200                       | 13                  | 161                      | 480                        | 12,0             |
| 6     | 250                          | 1200                       | 8                   | 280                      | 765                        | 15,7             |
| 7     | 250                          | 1200                       | 18                  | 330                      | 895                        | 22,7             |
| 8     | 400                          | 1200                       | 18                  | 452                      | 1129                       | 20,4             |
| 9     | 100                          | 1800                       | 8                   | 74                       | 400                        | 0,0              |
| 10    | 100                          | 1800                       | 18                  | 64                       | 422                        | 5,7              |
| 11    | 250                          | 1800                       | 8                   | 180                      | 917                        | 0,0              |
| 12    | 250                          | 1800                       | 13                  | 226                      | 1053                       | 0,0              |
| 13    | 400                          | 1800                       | 8                   | 270                      | 1009                       | 0,0              |
| 14    | 400                          | 1800                       | 13                  | 325                      | 1127                       | 0,0              |
| 15    | 400                          | 1800                       | 18                  | 360                      | 1278                       | 12,5             |

Tableau A.2 – Valeurs des facteurs et des réponses correspondant aux différents essais.

Les critères de qualité du modèle pour chaque réponse sont donnés dans le tableau A.3.

|                                  | Vitesse de gravure | Tension d'auto-polarisation | Trenching |
|----------------------------------|--------------------|-----------------------------|-----------|
| R <sup>2</sup>                   | 0,9685             | 0,9968                      | 0,8410    |
| R <sup>2</sup> <sub>ajusté</sub> | 0,928091           | 0,992737                    | 0,636627  |
| Erreur moyenne                   | 82,76257           | 13,01970                    | 5,78429   |
| Nombre de degrés de liberté      | 7                  | 7                           | 7         |

Tableau A.3 – Critères de qualité du modèle brut.

Le R<sup>2</sup> et R<sup>2</sup><sub>ajusté</sub> sont les coefficients de régression du modèle. R<sup>2</sup> mesure l'adéquation entre le modèle et les données mesurées. R<sup>2</sup><sub>ajusté</sub> tient compte du nombre de variables. Ces deux coefficients sont compris entre 0 et 1. En général, on considère que le modèle est valide pour des valeurs supérieures à 0,85. L'erreur moyenne représente l'erreur attendue sur la réponse prédite. Le nombre de degrés de liberté est le nombre de valeurs qu'il y

a en plus des valeurs nécessaires pour ajuster le modèle. En général, on considère qu'il faut au moins 3 degrés de liberté pour que le modèle soit valide. Enfin, les termes du modèle les moins significatifs ont été retirés afin de libérer des degrés de liberté au modèle et d'améliorer les critères de qualité, comme le montre le tableau A.4. Cette étape est appelée le raffinement.

|                            | Vitesse de gravure | Tension d'auto-polarisation | Trenching |
|----------------------------|--------------------|-----------------------------|-----------|
| $R^2$                      | 0,9959             | 0,9993                      | 0,8410    |
| $R^2_{\text{ajusté}}$      | 0,9922             | 0,9987                      | 0,6367    |
| Erreur moyenne             | 73,73              | 11,44                       | 5,78429   |
| Nombre de degré de liberté | 9                  | 10                          | 7         |

Tableau A.4 – Critères de qualité du modèle après raffinement.

Le modèle appliqué à la réponse du « trenching » n'a pu être raffiné puisqu'aucun terme du modèle n'a pu être retiré pour améliorer les coefficients de régression.

## A.2.2 Etude des interactions

Un graphique d'interaction permet de visualiser les interactions existantes entre les différents facteurs du procédé. Il y a alors interaction entre deux facteurs lorsque les courbes ne sont pas parallèles. La figure A.2 illustre les graphiques d'interaction pour les différentes réponses étudiées.

Concernant la vitesse de gravure, nous pouvons voir qu'il y a une forte interaction entre la pression de travail et la puissance source ou entre la pression de travail et la puissance du porte-substrat, comme le montre la figure A.2-a. Concernant la tension de polarisation, on note une seule interaction significative entre la puissance du porte-substrat et la pression, comme le montre la figure A.2-b. Le phénomène de trenching est aussi le siège d'interactions entre les facteurs, notamment entre la puissance du porte-substrat et la puissance source, comme le montre la figure A.2-c. Ces graphiques permettent aussi d'avoir un premier aperçu de l'évolution des réponses en fonction des facteurs. Par exemple, nous observons qu'une diminution de la pression de travail et une augmentation de la puissance source tendent à réduire le phénomène de trenching (figure A.2-c).

## A.2.3 Etude des effets

Le diagramme de Pareto permet de visualiser les facteurs les plus influents sur les réponses. Les valeurs positives traduisent un effet qui tend à augmenter la réponse. Inversement, les valeurs négatives traduisent un effet qui tend à diminuer la réponse.

Concernant la vitesse de gravure, nous observons que la puissance source et la puissance du porte-substrat jouent un rôle prépondérant sur l'augmentation de la vitesse de gravure. Dans la gamme étudiée, la pression semble avoir un effet mineur sur la vitesse de gravure.

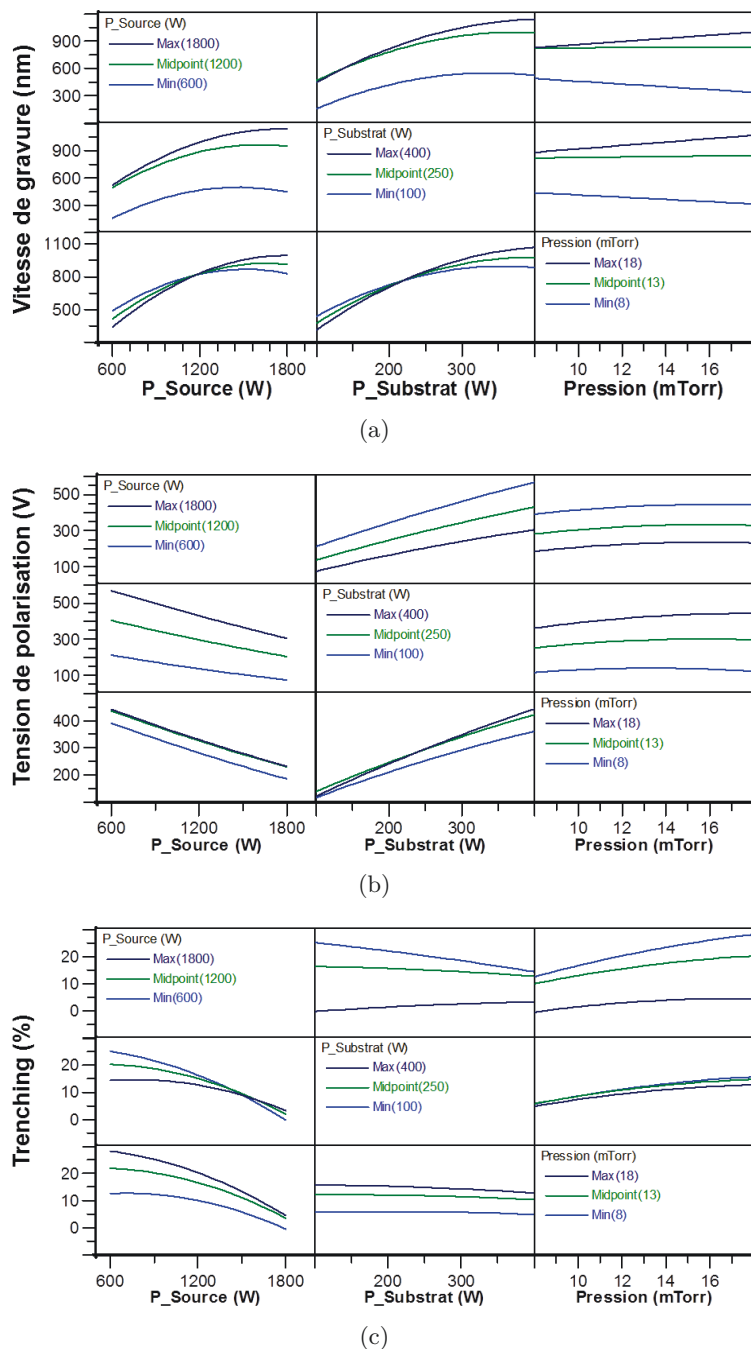
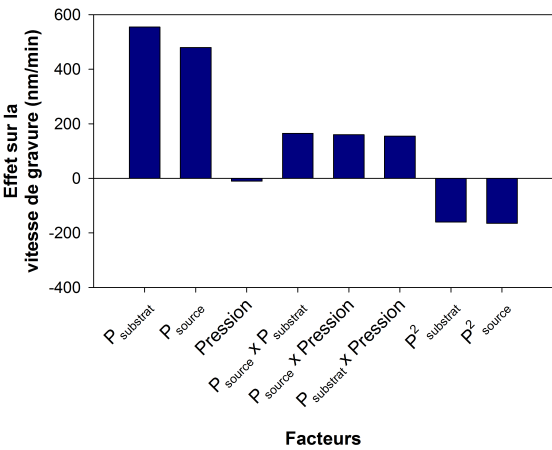
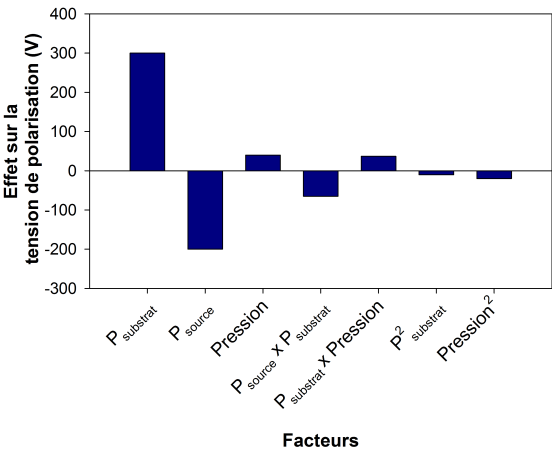


FIGURE A.2 – Graphiques des interactions pour la vitesse de gravure (a), la tension de polarisation (b) et le trenching (c).

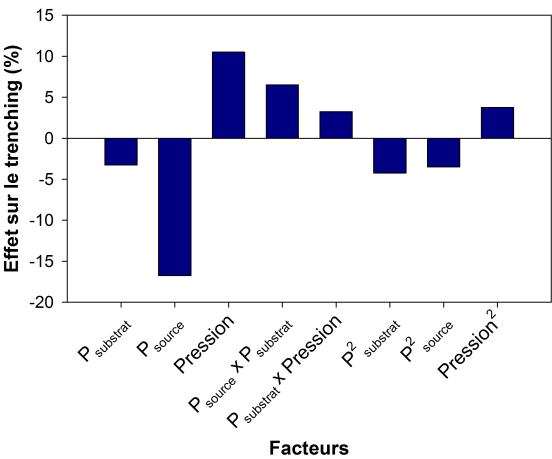
L'augmentation de la puissance source accroît la dissociation et donc la production d'ions et d'espèces réactives. La composante chimique de la gravure est donc d'autant plus importante que l'est la puissance source. L'augmentation de la puissance du porte-substrat accroît quant à elle l'énergie cinétique des ions. La composante physique de la gravure est



(a)



(b)



(c)

FIGURE A.3 – Diagrammes de Pareto pour la vitesse de gravure (a), la tension de polarisation (b) et le trenching (c).

donc d'autant plus importante que l'est la puissance du porte-substrat.

Concernant la tension de polarisation, celle-ci augmente fortement avec la puissance du porte-substrat et, à un degré moindre, avec la pression. Elle diminue avec l'augmentation de la puissance source. L'augmentation de la puissance du porte-substrat se traduit par celle de l'énergie cinétique des ions en accord avec celle de la tension de polarisation. En contre-partie, l'augmentation de la puissance source conduit à celle de la densité d'ions et de radicaux. A une puissance du porte-substrat donnée, le flux d'ions  $J_{i+}$  impactant le substrat augmente avec la puissance source. Du fait de la conservation de la puissance telle que  $P_{substrat} \propto J_{i+} \times V_{bias}$ , la tension de polarisation et donc l'énergie des ions diminuent avec l'augmentation de la puissance source. L'augmentation de la pression conduit à celle de la densité d'espèces réactives et des ions. Toutefois, le libre parcours moyen et la durée de vie moyenne des ions diminuent avec l'augmentation de la pression. Cela conduit à une réduction de la densité d'ions impactant le substrat et donc à l'augmentation de la tension de polarisation.

Concernant le phénomène de trenching, celui-ci diminue fortement avec la puissance source et, à un degré moindre, avec la puissance du porte-substrat. L'augmentation de la pression, quant à elle, tend à favoriser ce phénomène. Nous nous attarderons plus en détails sur ce « trenching » dans la partie suivante.

Pour la vitesse de gravure et la tension de polarisation, ces résultats sont en accord avec ceux issus de la littérature[199, 279]. Néanmoins, peu d'études se focalisent sur le phénomène de trenching dans le SiC, ce qui ne nous permet pas de confirmer les tendances observées. Toutefois, l'avantage d'une étude via un plan d'expériences, comparé à une étude paramétrique couramment rencontrée dans la littérature, est de pouvoir conduire à l'obtention d'un modèle prédictif, comme nous le verrons.

#### A.2.4 Analyse des réponses au moyen de courbes isoréponses

Cette partie a pour but de visualiser les valeurs des réponses pour chaque facteur sur l'ensemble du domaine étudié. La figure A.4 illustre les courbes isoréponses en fonction de la puissance source et de la puissance du porte-substrat pour différentes valeurs de pression. Du fait de la faiblesse des critères de qualité du modèle concernant le trenching, les courbes isoréponses le concernant n'ont pas été représentées.

L'évolution de la vitesse de gravure avec les facteurs sur les courbes isoréponses est beaucoup plus nuancée que celle que nous avons observée à travers les diagrammes de Pareto. L'effet de la pression sur la vitesse de gravure est dépendant du niveau de puissance source. Ainsi, si la puissance source est faible, la vitesse de gravure tend à diminuer avec l'augmentation de la pression. Inversement, si la puissance source est élevée, la vitesse de gravure tend à augmenter avec la pression. On rappelle que la gravure plasma du SiC met en compétition des mécanismes de gravure chimique et physique. Le comportement de la

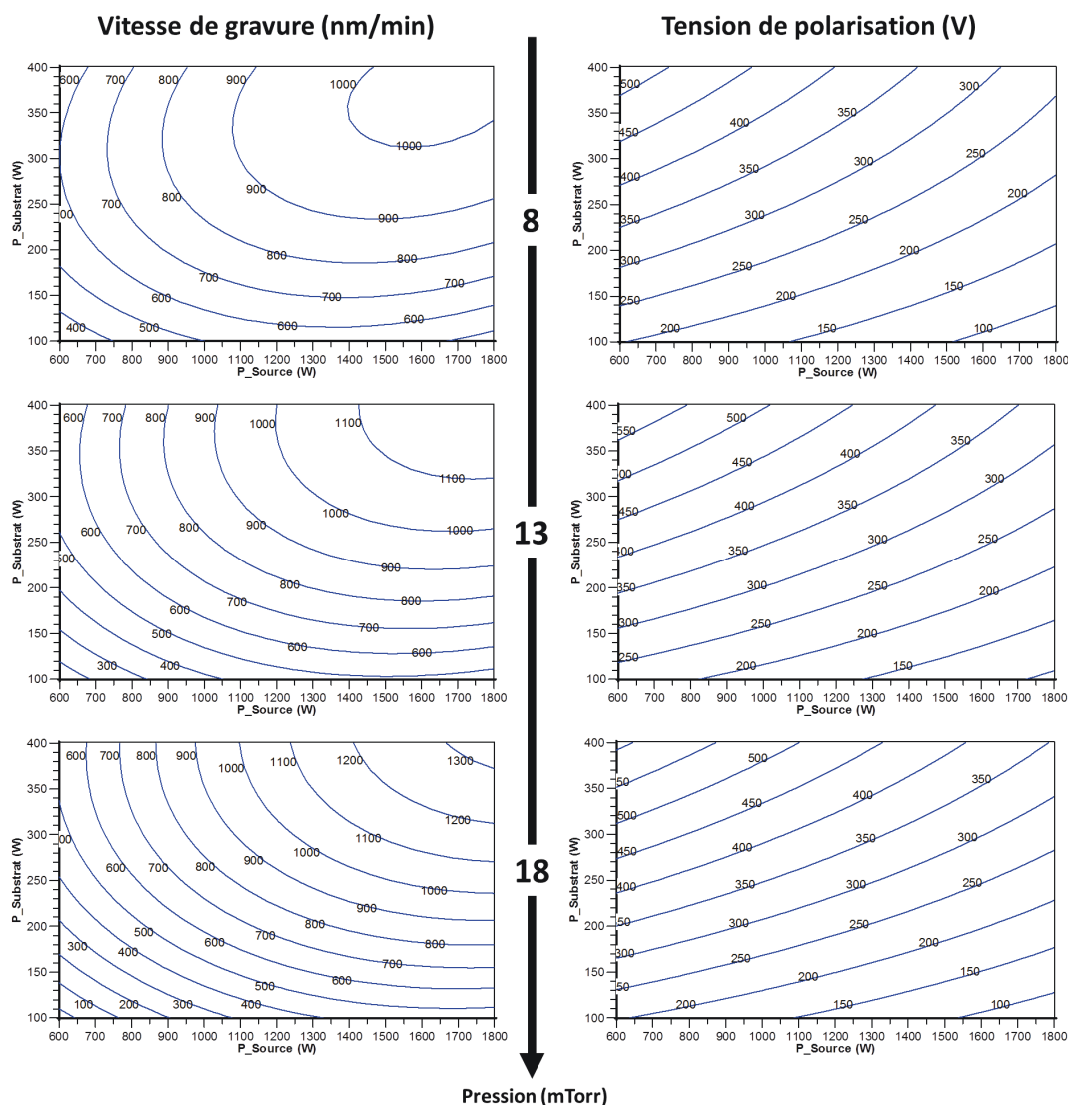


FIGURE A.4 – Courbes isoréponses en fonction de la puissance source et de la puissance du porte-substrat pour différentes pressions.

vitesse de gravure avec la pression pourrait s'expliquer par le fait qu'à forte puissance ICP, si le mécanisme chimique de la gravure est dominant, l'augmentation de la pression tend à augmenter la composante physique de la gravure. Cela se traduit par une augmentation de la vitesse de gravure. A faible puissance ICP, si le mécanisme physique de la gravure est dominant, la génération d'espèces réactives avec l'augmentation de la pression n'est pas suffisante pour compenser l'augmentation de l'énergie des ions, c'est-à-dire l'accroissement de la composante physique de la gravure. Cela se traduit par une diminution de la vitesse de gravure avec la pression. Un diagnostic du plasma par une sonde de Langmuir serait intéressant afin de quantifier la densité ionique du plasma en fonction des paramètres du procédé.

La figure A.5 montre une comparaison de valeurs expérimentales et de valeurs prédites par le plan d'expériences concernant la vitesse de gravure. Les tendances sont relativement bien respectées puisque le plan prédisait un maximum de vitesse de gravure pour une puissance source de 1500W. Toutefois, nous observons quelques différences pouvant être dues à des effets locaux non couverts par le plan (augmentation de la température au niveau de l'échantillon) ou à un déséquilibre du modèle suite au raffinement. Enfin, nous notons que le phénomène de « trenching » n'est présent que dans les cas où la gravure est effectuée à des puissances source inférieures à 1600W. L'étude de ce phénomène a été présentée plus en détail dans le chapitre 3.

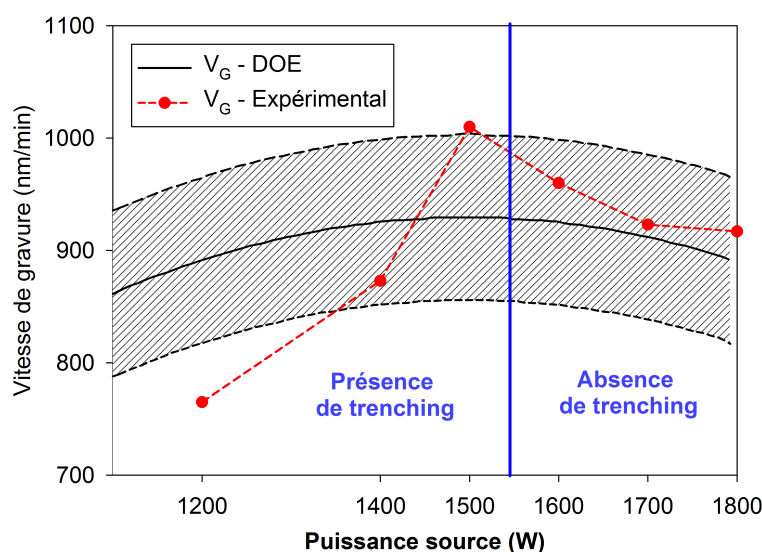


FIGURE A.5 – Comparaison des valeurs expérimentales de la vitesse de gravure avec les prédictions du plan d'expériences (zone hachurée) en fonction de la puissance source.  $P_{Substrat} = 250 \text{ W}$  et pression =  $8 \text{ mTorr}$ .

### A.3 Conclusion

Par le biais d'un plan d'expériences, cette étude de la gravure sèche du SiC nous a permis de mettre en évidence l'influence des différents paramètres du procédé sur la gravure du SiC en termes de vitesse de gravure et de « trenching ». Concernant la vitesse de gravure, même si le modèle manque de précision sur l'estimation exacte de la vitesse de gravure, nous pouvons raisonnablement penser que les tendances obtenues avec ce plan d'expériences sont correctes. En perspective, il serait intéressant de pouvoir étendre la gamme de pression de travail pour évaluer son effet à la fois sur le « trenching » et sur la vitesse de gravure. Il serait alors nécessaire d'ajuster le débit de  $\text{SF}_6$ , c'est-à-dire le réduire ou l'augmenter (au-delà de 100 sccm) respectivement pour diminuer (en dessous



de 8 mTorr) ou augmenter (au-dessus de 18 mTorr) la pression. Pour notre équipement, cela impliquerait une modification du débitmètre.



# Bibliographie

- [1] OECD, “Production d’électricité,” tech. rep., Jan. 2013.
- [2] W. Vervisch, *Formation d’un complexe Platine-Oxygène dans les redresseurs rapides à base de silicium : conséquence sur leur fonctionnement*. Thèse de doctorat, Université Paul Cezanne Aix-Marseille III, 2005.
- [3] M. Bhatnagar and B. Baliga, “Comparison of 6H-SiC, 3C-SiC, and Si for power devices,” *IEEE Transactions on Electron Devices*, vol. 40, no. 3, pp. 645–655, 1993.
- [4] C. Raynaud, D. Tournier, H. Morel, and D. Planson, “Comparison of high voltage and high temperature performances of wide bandgap semiconductors for vertical power devices,” *Diamond and Related Materials*, vol. 19, no. 1, pp. 1–6, 2010.
- [5] J. Pernot, S. Contreras, J. Camassel, J. L. Robert, W. Zawadzki, E. Neyret, and L. Di Cioccio, “Free electron density and mobility in high-quality 4H-SiC,” *Applied Physics Letters*, vol. 77, no. 26, p. 4359, 2000.
- [6] P. G. Neudeck, S. L. Garverick, D. J. Spry, L.-Y. Chen, G. M. Beheim, M. J. Krasowski, and M. Mehregany, “Extreme temperature 6H-SiC JFET integrated circuit technology,” *Physica Status Solidi (a)*, vol. 206, no. 10, pp. 2329–2345, 2009.
- [7] P. G. Neudeck, D. J. Spry, L. Y. Chen, C. W. Chang, G. M. Beheim, R. S. Okojie, L. J. Evans, R. D. Meredith, T. L. Ferrier, M. J. Krasowski, and N. F. Prokop, “Prolonged 500°C Operation of 6H-SiC JFET Integrated Circuitry,” *Materials Science Forum*, vol. 615-617, pp. 929–932, 2009.
- [8] C. Buttay, D. Planson, B. Allard, D. Bergogne, P. Bevilacqua, C. Joubert, M. Lazar, C. Martin, H. Morel, D. Tournier, and C. Raynaud, “State of the art of high temperature power electronics,” *Materials Science and Engineering : B*, vol. 176, no. 4, pp. 283–288, 2011.
- [9] Y. Wang, J. A. Cooper, M. R. Melloch, S. T. Sheppard, J. W. Palmour, and L. A. Lipkin, “Experimental characterization of electron-hole generation in silicon carbide,” *Journal of Electronic Materials*, vol. 25, no. 5, pp. 899–907, 1996.

- [10] C. T. Gardner, J. A. Cooper, M. R. Melloch, J. W. Palmour, and C. H. Carter, "Dynamic charge storage in 6H silicon carbide," *Applied Physics Letters*, vol. 61, no. 10, p. 1185, 1992.
- [11] J. Cooper, "Nonvolatile random access memory device," 1993.
- [12] W. Xie, J. Cooper, M. Melloch, J. Palmour, and C. Carter, "A vertically integrated bipolar storage cell in 6H silicon carbide for nonvolatile memory applications," *IEEE Electron Device Letters*, vol. 15, no. 6, pp. 212–214, 1994.
- [13] H. Okumura, "Present Status and Future Prospect of Widegap Semiconductor High-Power Devices," *Japanese Journal of Applied Physics*, vol. 45, no. 10A, pp. 7565–7586, 2006.
- [14] G. Soelkner, W. Kaindl, M. Treu, and D. Peters, "Reliability of SiC Power Devices Against Cosmic Radiation-Induced Failure," *Materials Science Forum*, vol. 556–557, pp. 851–856, 2007.
- [15] R. Wei, S. Song, K. Yang, Y. Cui, Y. Peng, X. Chen, X. Hu, and X. Xu, "Thermal conductivity of 4H-SiC single crystals," *Journal of Applied Physics*, vol. 113, no. 5, p. 053503, 2013.
- [16] D. Zhuang and J. Edgar, "Wet etching of GaN, AlN, and SiC : a review," *Materials Science and Engineering : R : Reports*, vol. 48, no. 1, pp. 1–46, 2005.
- [17] R. Yakimova, R. M. Petoral, G. R. Yazdi, C. Vahlberg, A. Lloyd Spetz, and K. Uvdal, "Surface functionalization and biomedical applications based on SiC," *Journal of Physics D : Applied Physics*, vol. 40, no. 20, pp. 6435–6442, 2007.
- [18] M. Mehregany, C. Zorman, and N. Rajan, "Silicon carbide MEMS for harsh environments," *Proceedings of the IEEE*, vol. 86, no. 8, pp. 1594–1609, 1998.
- [19] S. Jiao, J.-F. Michaud, M. Portail, A. Madouri, T. Chassagne, M. Zielinski, and D. Alquier, "A new approach for AFM cantilever elaboration with 3C-SiC," *Materials Letters*, vol. 77, pp. 54–56, 2012.
- [20] R. Boubekri, E. Cambril, L. Couraud, L. Bernardi, A. Madouri, D. Martrou, and S. Gauthier, "High Frequency 3C-SiC AFM Cantilever Using Thermal Actuation and Metallic Piezoresistive Detection," *Materials Science Forum*, vol. 711, pp. 80–83, 2012.
- [21] D. Young, J. Du, C. Zorman, and W. Ko, "High-Temperature Single-Crystal 3C-SiC Capacitive Pressure Sensor," *IEEE Sensors Journal*, vol. 4, no. 4, pp. 464–470, 2004.

- [22] A. R. Atwell, R. S. Okojie, K. T. Kornegay, S. L. Roberson, and A. Beliveau, "Simulation, fabrication and testing of bulk micromachined 6H-SiC high-g piezoresistive accelerometers," *Sensors and Actuators A : Physical*, vol. 104, no. 1, pp. 11–18, 2003.
- [23] B. B. Hull, M. M. Das, J. Richmond, J. Sumakeris, R. Leonard, J. Palmour, and S. Leslie, "A 180 Amp/4.5 kV 4H-SiC PiN Diode for High Current Power Modules," in *2006 IEEE International Symposium on Power Semiconductor Devices and IC's*, pp. 1–4, IEEE, 2006.
- [24] T. P. Chow, "High-voltage SiC and GaN power devices," *Microelectronic Engineering*, vol. 83, no. 1, pp. 112–122, 2006.
- [25] B. J. Baliga, "Semiconductors for high-voltage, vertical channel field-effect transistors," *Journal of Applied Physics*, vol. 53, no. 3, p. 1759, 1982.
- [26] W. Saitoh, I. Omura, K. Tokano, T. Ogura, and H. Ohashi, "Ultra low on-resistance SBD with p-buried floating layer," in *Proceedings of the 14th International Symposium on Power Semiconductor Devices and Ics*, pp. 33–36, IEEE, 2002.
- [27] Y. Saitoh, K. Sumiyoshi, M. Okada, T. Horii, T. Miyazaki, H. Shiomi, M. Ueno, K. Katayama, M. Kiyama, and T. Nakamura, "Extremely Low On-Resistance and High Breakdown Voltage Observed in Vertical GaN Schottky Barrier Diodes with High-Mobility Drift Layers on Low-Dislocation-Density GaN Substrates," *Applied Physics Express*, vol. 3, no. 8, p. 081001, 2010.
- [28] A. Itoh, T. Kimoto, and H. Matsunami, "Efficient power Schottky rectifiers of 4H-SiC," in *Proceedings of International Symposium on Power Semiconductor Devices and IC's : ISPSD '95*, pp. 101–106, Inst. Electr. Eng. Japan, 1995.
- [29] H. Mitlehner, W. Bartsch, M. Bruckmann, K. Dohnke, and U. Weinert, "The potential of fast high voltage SiC diodes," in *Proceedings of 9th International Symposium on Power Semiconductor Devices and IC's*, pp. 165–168, IEEE, 1997.
- [30] A. Kinoshita, T. Ohyanagi, T. Yatsuo, K. Fukuda, H. Okumura, and K. Arai, "Fabrication of 1.2kV, 100A, 4H-SiC(0001) and (000-1) Junction Barrier Schottky Diodes with Almost Same Schottky Barrier Height," *Materials Science Forum*, vol. 645-648, pp. 893–896, 2010.
- [31] N. Miura, S. Yoshida, Y. Nakao, Y. Matsuno, K.-i. Kuroda, S. Watanabe, M. Imaizumi, H. Sumitani, H. Yamamoto, and T. Oomori, "4H-SiC Power Metal-Oxide-Semiconductor Field Effect Transistors and Schottky Barrier Diodes of 1.7 kV Rating," *Japanese Journal of Applied Physics*, vol. 48, no. 4, p. 04C085, 2009.

- [32] T. Kimoto, K. Fujihira, H. Shiomi, and H. Matsunami, “High-Voltage 4H-SiC Schottky Barrier Diodes Fabricated on (0001) with Closed Micropipes,” *Japanese Journal of Applied Physics*, vol. 42, no. Part 2, No.1A/B, pp. L13–L16, 2003.
- [33] T. Nakamura, T. Miyanagi, I. Kamata, T. Jikimoto, and H. Tsuchida, “A 4.15 kV  $9.07\text{ m}\Omega\cdot\text{cm}^2$  4H-SiC Schottky-barrier diode using Mo contact annealed at high temperature,” *IEEE Electron Device Letters*, vol. 26, no. 2, pp. 99–101, 2005.
- [34] K. Vassilevski, I. P. Nikitina, A. B. Horsfall, N. G. Wright, and C. M. Johnson, “4.6 kV,  $10.5\text{ m}\Omega\cdot\text{cm}^2$  Nickel Silicide Schottky Diodes on Commercial 4H-SiC Epitaxial Wafers,” *Materials Science Forum*, vol. 645-648, pp. 897–900, 2010.
- [35] H. McGlothlin, D. Morissette, J. Cooper, and M. Melloch, “4 kV silicon carbide Schottky diodes for high-frequency switching applications,” in *1999 57th Annual Device Research Conference Digest*, pp. 42–43, IEEE, 1999.
- [36] K. V. Vassilevski, I. P. Nikitina, A. Horsfall, N. G. Wright, A. G. O’Neill, K. P. Hilton, A. Munday, A. Hydes, M. J. Uren, and C. M. Johnson, “High Voltage Silicon Carbide Schottky Diodes with Single Zone Junction Termination Extension,” *Materials Science Forum*, vol. 556-557, pp. 873–876, 2007.
- [37] J. Zhao, P. Alexandrov, and X. Li, “Demonstration of the first 10-kV 4H-SiC Schottky barrier diodes,” *IEEE Electron Device Letters*, vol. 24, no. 6, pp. 402–404, 2003.
- [38] J. Crofton and S. Sriram, “Reverse leakage current calculations for SiC Schottky contacts,” *IEEE Transactions on Electron Devices*, vol. 43, no. 12, pp. 2305–2307, 1996.
- [39] R. Pérez, N. Mestres, M. Vellvehí, P. Godignon, and J. Millán, “Analysis of 1.2 kV JBS rectifiers fabricated in 4H-SiC,” *Semiconductor Science and Technology*, vol. 21, no. 5, pp. 670–676, 2006.
- [40] Y. Tanaka, H. Ohashi, K. Sung, K. Takao, K. Wada, and T. Kanai, “Development of 6kV-class SiC-PiN diodes for high-voltage power inverter,” in *22nd International Symposium on Power Semiconductor Devices and IC’s (ISPSD)*, pp. 213–216, IEEE, 2010.
- [41] Y. Sugawara, D. Takayama, K. Asano, A. Agarwal, S. Ryu, J. Palmour, and S. Ogata, “12.7kV ultra high voltage SiC commutated gate turn-off thyristor : SICGT,” in *The 16th International Symposium on Power Semiconductor Devices and ICs, ISPSD ’04.*, pp. 365–368, 2004.

- [42] K. Danno and T. Kimoto, “Investigation of deep levels in n-type 4H-SiC epilayers irradiated with low-energy electrons,” *Journal of Applied Physics*, vol. 100, no. 11, p. 113728, 2006.
- [43] N. T. Son, X. T. Trinh, L. S. Løvlie, B. G. Svensson, K. Kawahara, J. Suda, T. Kimoto, T. Umeda, J. Isoya, T. Makino, T. Ohshima, and E. Janzén, “Negative-U System of Carbon Vacancy in 4H-SiC,” *Physical Review Letters*, vol. 109, no. 18, p. 187603, 2012.
- [44] K. Kawahara, X. Thang Trinh, N. Tien Son, E. Janzén, J. Suda, and T. Kimoto, “Investigation on origin of  $Z_{1/2}$  center in SiC by deep level transient spectroscopy and electron paramagnetic resonance,” *Applied Physics Letters*, vol. 102, no. 11, p. 112106, 2013.
- [45] L. Storasta, H. Tsuchida, T. Miyazawa, and T. Ohshima, “Enhanced annealing of the  $Z_{1/2}$  defect in 4H-SiC epilayers,” *Journal of Applied Physics*, vol. 103, no. 1, p. 013705, 2008.
- [46] T. Hiyoshi and T. Kimoto, “Reduction of Deep Levels and Improvement of Carrier Lifetime in n-Type 4H-SiC by Thermal Oxidation,” *Applied Physics Express*, vol. 2, p. 041101, 2009.
- [47] T. Kimoto, J. Suda, G. Feng, H. Miyake, K. Kawahara, H.-Y. Niwa, T. Okuda, S. Ichikawa, and Y. Nishi, “Defect Electronics in SiC and Fabrication of Ultrahigh-Voltage Bipolar Devices,” *ECS Transactions*, vol. 50, no. 3, pp. 25–35, 2013.
- [48] P. Brosselard, V. Banu, N. Camara, and A. Pérez-Tomás, “Recent progress in 3.3kV SiC diodes,” *Materials Science and Engineering : B*, vol. 165, no. 1-2, pp. 15–17, 2009.
- [49] Y. Sugawara, K. Asano, R. Singh, and J. W. Palmour, “6.2 kV 4H-SiC pin Diode with Low Forward Voltage Drop,” *Materials Science Forum*, vol. 338-342, pp. 1371–1374, 2000.
- [50] D. Peters, W. Bartsch, B. Thomas, and R. Sommer, “6.5 kV SiC PiN Diodes with Improved Forward Characteristics,” *Materials Science Forum*, vol. 645-648, pp. 901–904, 2010.
- [51] M. Das, J. Sumakeris, B. Hull, J. Richmond, S. Krishnaswami, and A. Powell, “High power, drift-free 4H-SiC pin diodes,” in *Proceedings. IEEE Lester Eastman Conference on High Performance Devices*, pp. 236–240, IEEE, 2004.
- [52] P. A. Ivanov, M. E. Levinshtein, J. W. Palmour, M. K. Das, and B. A. Hull, “High power 4H-SiC pin diodes (10kV class) with record high carrier lifetime,” *Solid-State Electronics*, vol. 50, no. 7-8, pp. 1368–1370, 2006.

- [53] S. G. Sundaresan, C. Sturdevant, M. Marripelly, E. Lieser, and R. Singh, “12.9 kV SiC PiN Diodes with Low On-State Drops and High Carrier Lifetimes,” *Materials Science Forum*, vol. 717-720, pp. 949–952, 2012.
- [54] D. Okamoto, Y. Tanaka, N. Matsumoto, M. Mizukami, C. Ota, K. Takao, K. Fukuda, and H. Okumura, “Development of High-Voltage 4H-SiC PiN Diodes on 4° and 8° Off-Axis Substrates,” *Materials Science Forum*, vol. 740-742, pp. 907–910, 2013.
- [55] L. Cheng, A. K. Agarwal, M. O’Loughlin, C. Capell, K. Lam, C. Jonas, J. Richmond, A. Burk, J. W. Palmour, A. A. Ogunniyi, H. K. O’Brien, and C. J. Scozzie, “16 kV, 1 cm<sup>2</sup>, 4H-SiC PiN Diodes for Advanced High-Power and High-Temperature Applications,” *Materials Science Forum*, vol. 740-742, pp. 895–898, 2013.
- [56] Y. Sugawara, D. Takayama, K. Asano, R. Singh, J. Palmour, and T. Hayashi, “12-19 kV 4H-SiC pin diodes with low power loss,” in *Proceedings of the 13th International Symposium on Power Semiconductor Devices and ICs. IPSD ’01*, pp. 27–30, Inst. Electr. Eng. Japan, 2001.
- [57] H. Niwa, G. Feng, J. Suda, and T. Kimoto, “Breakdown characteristics of 12-20 kV-class 4H-SiC PiN diodes with improved junction termination structures,” in *24th International Symposium on Power Semiconductor Devices and ICs*, pp. 381–384, IEEE, 2012.
- [58] M. Skowronski and S. Ha, “Degradation of hexagonal silicon-carbide-based bipolar devices,” *Journal of Applied Physics*, vol. 99, no. 1, p. 011101, 2006.
- [59] N. Thierry-Jebali, J. Hassan, M. Lazar, D. Planson, E. Bano, A. Henry, E. Janzén, and P. Brosselard, “Observation of the generation of stacking faults and active degradation measurements on off-axis and on-axis 4H-SiC PiN diodes,” *Applied Physics Letters*, vol. 101, no. 22, p. 222111, 2012.
- [60] B. Baliga, “The pinch rectifier : A low-forward-drop high-speed power diode,” *IEEE Electron Device Letters*, vol. 5, no. 6, pp. 194–196, 1984.
- [61] B. Hull and J. Sumakeris, “Performance and stability of large-area 4H-SiC 10-kV junction barrier Schottky rectifiers,” *IEEE Transactions on Electron Devices*, vol. 55, no. 8, pp. 1864–1870, 2008.
- [62] P. Brosselard, N. Camara, V. Banu, X. Jorda, M. Vellvehi, P. Godignon, and J. Millan, “Bipolar Conduction Impact on Electrical Characteristics and Reliability of 1.2- and 3.5 kV 4H-SiC JBS Diodes,” *IEEE Transactions on Electron Devices*, vol. 55, no. 8, pp. 1847–1856, 2008.



- [63] J. D. Caldwell, R. E. Stahlbush, E. A. Imhoff, K. D. Hobart, M. J. Tadjer, Q. Zhang, and A. Agarwal, "Recombination-induced stacking fault degradation of 4H-SiC merged-PiN-Schottky diodes," *Journal of Applied Physics*, vol. 106, no. 4, p. 044504, 2009.
- [64] J. Hu, L. X. Li, P. Alexandrov, X. H. Wang, and J. H. Zhao, "5 kV, 9.5 A SiC JBS Diodes with Non-Uniform Guard Ring Edge Termination for High Power Switching Application," *Materials Science Forum*, vol. 600-603, pp. 947–950, 2009.
- [65] L. M. Hillkirk and M. Bakowski, "Forward Dynamic IV Characteristics in Epitaxial and Implanted SiC PiN Power Diodes," *Materials Science Forum*, vol. 433-436, pp. 875–878, 2003.
- [66] M. Berthou, P. Godignon, J. Montserrat, J. Millan, and D. Planson, "Study of 4H-SiC JBS Diodes Fabricated with Tungsten Schottky Barrier," *Journal of Electronic Materials*, vol. 40, no. 12, pp. 2355–2362, 2011.
- [67] J. Zhao, P. Alexandrov, L. Fursin, Z. Feng, and M. Weiner, "High performance 1500 V 4H-SiC junction barrier Schottky diodes," *Electronics Letters*, vol. 38, no. 22, p. 1389, 2002.
- [68] L. Zhu, T. Chow, K. A. Jones, C. J. Scozzie, and A. Agarwal, "Performance Comparison of 1.5kV 4H-SiC Buried Channel and Lateral Channel JBS Rectifiers," *Materials Science Forum*, vol. 527-529, pp. 1159–1162, 2006.
- [69] F. Dahlquist, J. Svedberg, C. Zetterling, M. Östling, B. Breitholtz, and H. Lendenmann, "A 2.8kV, Forward Drop JBS Diode with Low Leakage," *Materials Science Forum*, vol. 338-342, pp. 1179–1182, 2000.
- [70] Y. Sugawara, K. Asano, and R. Saito, "3.6 kV 4H-SiC JBS Diodes with Low RonS," *Materials Science Forum*, vol. 338-342, pp. 1183–1186, 2000.
- [71] K. Asano, T. Hayashi, R. Saito, and Y. Sugawara, "High temperature static and dynamic characteristics of 3.7 kV high voltage 4H-SiC JBS," in *12th International Symposium on Power Semiconductor Devices and ICs. Proceedings*, pp. 97–100, 2000.
- [72] J. Wu, L. Fursin, Y. Li, P. Alexandrov, M. Weiner, and J. H. Zhao, "4.3 kV 4H-SiC merged PiN/Schottky diodes," *Semiconductor Science and Technology*, vol. 21, no. 7, pp. 987–991, 2006.
- [73] N. Cezac, F. Morancho, P. Rossel, H. Tranduc, and A. Payre-Lavigne, "A new generation of power unipolar devices : the concept of the Ffloating islands MOS transistor (FLIMOST)," in *12th International Symposium on Power Semiconductor Devices and ICs. Proceedings*, pp. 69–72, IEEE, 2000.

- [74] J. Nishio, C. Ota, T. Hatakeyama, T. Shinohe, K. Kojima, S.-I. Nishizawa, and H. Ohashi, "Ultralow-Loss SiC Floating Junction Schottky Barrier Diodes (Super-SBDs)," *IEEE Transactions on Electron Devices*, vol. 55, no. 8, pp. 1954–1960, 2008.
- [75] C. Ota, J. Nishio, K. Takao, T. Hatakeyama, T. Shinohe, K. Kojima, S. Nishizawa, and H. Ohashi, "Doping Concentration Optimization for Ultra-Low-Loss 4H-SiC Floating Junction Schottky Barrier Diode (Super-SBD)," *Materials Science Forum*, vol. 615-617, pp. 655–658, 2009.
- [76] K. Schoen, J. Henning, J. Woodall, J. Cooper, and M. Melloch, "A dual-metal-trench Schottky pinch-rectifier in 4H-SiC," *IEEE Electron Device Letters*, vol. 19, no. 4, pp. 97–99, 1998.
- [77] F. Roccaforte, F. La Via, A. La Magna, S. Di Franco, V. Raineri, T. Ni, S. Schottky, F. L. Via, A. L. Magna, S. D. Franco, and N. Si, "Silicon carbide pinch rectifiers using a dual-metal  $Ti - Ni_2Si$  Schottky barrier," *IEEE Transactions on Electron Devices*, vol. 50, no. 8, pp. 1741–1747, 2003.
- [78] V. Khemka, V. Ananthan, and T. Chow, "A fully planarized 4H-SiC trench MOS barrier Schottky (TMBS) rectifier," *IEEE Electron Device Letters*, vol. 21, no. 6, pp. 286–288, 2000.
- [79] L. Cheng, A. K. Agarwal, S. Dhar, S.-H. Ryu, and J. W. Palmour, "Static Performance of 20 A, 1200 V 4H-SiC Power MOSFETs at Temperatures of -187°C to 300°C," *Journal of Electronic Materials*, vol. 41, no. 5, pp. 910–914, 2012.
- [80] M. K. Das, "Recent Advances in (0001) 4H-SiC MOS Device Technology," *Materials Science Forum*, vol. 457-460, pp. 1275–1280, 2004.
- [81] D. Okamoto, H. Yano, K. Hirata, T. Hatayama, and T. Fuyuki, "Improved Inversion Channel Mobility in 4H-SiC MOSFETs on Si Face Utilizing Phosphorus-Doped Gate Oxide," *IEEE Electron Device Letters*, vol. 31, no. 7, pp. 710–712, 2010.
- [82] J. H. Zhao, P. Alexandrov, Y. Z. Li, L. X. Li, K. Sheng, and R. Lebron-Velilla, "Design, Fabrication and Application of 4H-SiC Trenched-and-Implanted Vertical JFETs," *Materials Science Forum*, vol. 527-529, pp. 1191–1194, 2006.
- [83] J. Zhao, P. Alexandrov, J. Zhang, and X. Li, "Fabrication and Characterization of 11-kV Normally Off 4H-SiC Trenched-and-Implanted Vertical Junction FET," *IEEE Electron Device Letters*, vol. 25, no. 7, pp. 474–476, 2004.
- [84] J. H. Zhao, L. X. Li, K. Tone, P. Alexandrov, M. Pan, and M. Weiner, "A Novel High-Voltage Normally-Off 4H-SiC Vertical JFET," in *Materials Science Forum*, vol. 389-393, pp. 1223–1226, 2002.

- [85] L. X. Li and J. H. Zhao, "Design of 1.7 to 14 kV Normally-Off Trenched and Implanted Vertical JFET in 4H-SiC," in *Materials Science Forum*, vol. 457-460, pp. 1197–1200, 2004.
- [86] J. Zhao, K. Tone, X. Li, P. Alexandrov, L. Fursin, and M. Weiner, "3.6  $m\Omega.cm^2$ , 1726V 4H-SiC normally-off trenched-and-implanted vertical JFETs," in *15th International Symposium on Power Semiconductor Devices and ICs, ISPSD '03*, pp. 50–53, IEEE, 2003.
- [87] J. H. Zhao, K. Tone, L. X. Li, P. Alexandrov, L. Fursin, and M. Weiner, "6A, 1kV 4H-SiC Normally-Off Trenched-and-Implanted Vertical JFETs," *Materials Science Forum*, vol. 457-460, pp. 1213–1216, 2004.
- [88] K. Tone, J. Zhao, L. Fursin, P. Alexandrov, and M. Weiner, "4H-SiC normally-off vertical junction field-effect transistor with high current density," *IEEE Electron Device Letters*, vol. 24, no. 7, pp. 463–465, 2003.
- [89] J. B. Casady, D. C. Sheridan, R. L. Kelley, V. Bondarenko, and A. Ritenour, "A Comparison of 1200 V Normally-OFF and Normally-ON Vertical Trench SiC Power JFET Devices," in *Materials Science Forum*, vol. 679-680, pp. 641–644, 2011.
- [90] A. Ritenour, D. C. Sheridan, V. Bondarenko, and J. B. Casady, "Performance of 15  $mm^2$  1200 V Normally-Off SiC VJFETs with 120 A Saturation Current," *Materials Science Forum*, vol. 645-648, pp. 937–940, 2010.
- [91] Y. Tanaka, M. Okamoto, A. Takatsuka, K. Arai, T. Yatsuo, K. Yano, and M. Kasuga, "700-V 1.0  $m\Omega.cm^2$  Buried Gate SiC-SIT (SiC-BGSIT)," *IEEE Electron Device Letters*, vol. 27, no. 11, pp. 908–910, 2006.
- [92] Y. Tanaka, K. Yano, M. Okamoto, A. Takatsuka, K. Arai, and T. Yatsuo, "Buried Gate Static Induction Transistors in 4H-SiC (SiC-BGSITs) with Ultra Low On-Resistance," in *Proceedings of the 19th International Symposium on Power Semiconductor Devices and IC's*, pp. 93–96, IEEE, 2007.
- [93] Y. Tanaka, K. Yano, M. Okamoto, A. Takatsuka, K. Arai, and T. Yatsuo, "1270V, 1.21 $m\Omega.cm^2$  SiC Buried Gate Static Induction Transistors (SiC-BGSITs)," *Materials Science Forum*, vol. 600-603, pp. 1071–1074, 2009.
- [94] A. Takatsuka, Y. Tanaka, K. Yano, T. Yatsuo, and K. Arai, "980 V, 33A Normally-Off 4H-SiC Buried Gate Static Induction Transistors," *Materials Science Forum*, vol. 679-680, pp. 662–665, 2011.
- [95] P. Friedrichs, H. Mitlehner, R. Kaltschmidt, U. Weinert, W. Bartsch, C. Hecht, K.-O. Dohnke, B. Weis, and D. Stephani, "Static and Dynamic Characteristics of 4H-

- SiC JFETs Designed for Different Blocking Categories,” *Materials Science Forum*, vol. 338-342, pp. 1243–1246, 2000.
- [96] K. Fujikawa, K. Sawada, H. Tokuda, H. Tamaso, S. Harada, J. Shinkai, T. Tsuno, and Y. Namikawa, “High Temperature Characteristics of 4H-SiC RESURF-Type JFET,” in *Materials Science Forum*, vol. 615-617, pp. 727–730, 2009.
- [97] Y. Zhang, K. Sheng, M. Su, J. H. Zhao, P. Alexandrov, and L. Fursin, “1000-V  $9.1\text{m}\Omega\cdot\text{cm}^2$  Normally Off 4H-SiC Lateral RESURF JFET for Power Integrated Circuit Applications,” *IEEE Electron Device Letters*, vol. 28, no. 5, pp. 404–407, 2007.
- [98] K. Fujikawa, S. Harada, A. Ito, T. Kimoto, and H. Matsunami, “600V 4H-SiC RESURF-Type JFET,” in *Materials Science Forum*, vol. 457-460, pp. 1189–1192, 2004.
- [99] K. Mina, S. Herold, and J. Kolar, “A gate drive circuit for silicon carbide JFET,” in *IECON’03. 29th Annual Conference of the IEEE Industrial Electronics Society*, vol. 2, pp. 1162–1166, IEEE, 2003.
- [100] M. Mazzola and J. Merrett, “Monolithic vertical junction field effect transistor and schottky barrier diode fabricated from silicon carbide and method for fabricating the same,” 2008.
- [101] R. Radhakrishnan and J. H. Zhao, “Monolithic Integration of a 4H-Silicon Carbide Vertical JFET and a JBS Diode,” *IEEE Electron Device Letters*, vol. 32, no. 6, pp. 785–787, 2011.
- [102] K. Sheng, R. Radhakrishnan, Y. Zhang, and J. Zhao, “A vertical SiC JFET with a monolithically integrated JBS diode,” in *21st International Symposium on Power Semiconductor Devices and IC’s*, pp. 255–258, IEEE, 2009.
- [103] R. Radhakrishnan and J. H. Zhao, “Design of an Integrated SiC JFET Power Switch and Flyback Diode,” *Materials Science Forum*, vol. 717-720, pp. 1041–1044, 2012.
- [104] M. Domeij, H.-S. Lee, E. Danielsson, C.-M. Zetterling, M. Ostling, and A. Schoner, “Geometrical effects in high current gain 1100-V 4H-SiC BJTs,” *IEEE Electron Device Letters*, vol. 26, no. 10, pp. 743–745, 2005.
- [105] Q. J. Zhang, A. Agarwal, A. Burk, B. Geil, and C. Scozzie, “4H-SiC BJTs with current gain of 110,” *Solid-State Electronics*, vol. 52, no. 7, pp. 1008–1010, 2008.
- [106] H. Miyake, T. Kimoto, and J. Suda, “4H-SiC BJTs With Record Current Gains of 257 on (0001) and 335 on (000 $\bar{1}$ ),” *IEEE Electron Device Letters*, vol. 32, no. 7, pp. 841–843, 2011.

- [107] H.-S. Lee, M. Domeij, C.-M. Zetterling, M. Ostling, F. Allerstam, and E. O. Sveinbjornsson, "1200-V 5.2 m $\Omega$ .cm<sup>2</sup> 4H-SiC BJTs With a High Common-Emitter Current Gain," *IEEE Electron Device Letters*, vol. 28, no. 11, pp. 1007–1009, 2007.
- [108] H. Miyake, T. Kimoto, and J. Suda, "Improvement of Current Gain in 4H-SiC BJTs by Surface Passivation With Deposited Oxides Nitrided in N<sub>2</sub>O or NO," *IEEE Electron Device Letters*, vol. 32, no. 3, pp. 285–287, 2011.
- [109] R. Ghandi, B. Buono, M. Domeij, R. Esteve, A. Schoner, J. Han, S. Dimitrijevic, S. A. Reshanov, C.-M. Zetterling, and M. Ostling, "Surface-Passivation Effects on the Performance of 4H-SiC BJTs," *IEEE Transactions on Electron Devices*, vol. 58, no. 1, pp. 259–265, 2011.
- [110] H. Miyake, T. Kimoto, and J. Suda, "Enhanced Current Gain (>250) in 4H-SiC Bipolar Junction Transistors by a Deep-Level-Reduction Process," in *Materials Science Forum*, vol. 717-720, pp. 1117–1122, 2012.
- [111] S. H. Ryu, C. Capell, C. Jonas, M. O'Loughlin, L. Cheng, K. Lam, A. Burk, J. Richmond, J. Clayton, A. Hefner, D. Grider, A. Agarwal, and J. Palmour, "15 kV IGBTs in 4H-SiC," *Materials Science Forum*, vol. 740-742, pp. 954–957, 2013.
- [112] S.-H. Ryu, C. Capell, L. Cheng, C. Jonas, A. Gupta, M. Donofrio, J. Clayton, M. O'Loughlin, A. Burk, D. Grider, A. Agarwal, J. Palmour, A. Hefner, and S. Bhattacharya, "High performance, ultra high voltage 4H-SiC IGBTs," in *2012 IEEE Energy Conversion Congress and Exposition (ECCE)*, pp. 3603–3608, IEEE, 2012.
- [113] S. H. Ryu, L. Cheng, S. Dhar, C. Capell, C. Jonas, J. Clayton, M. Donofrio, M. J. O'Loughlin, A. A. Burk, A. K. Agarwal, and J. W. Palmour, "Development of 15 kV 4H-SiC IGBTs," *Materials Science Forum*, vol. 717-720, pp. 1135–1138, 2012.
- [114] S.-H. Ryu, C. Capell, C. Jonas, L. Cheng, M. O'Loughlin, A. Burk, A. Agarwal, J. Palmour, and A. Hefner, "Ultra high voltage (>12 kV), high performance 4H-SiC IGBTs," in *24th International Symposium on Power Semiconductor Devices and ICs*, pp. 257–260, IEEE, 2012.
- [115] M. K. Das, J. Zhang, R. Callanan, C. Capell, J. Clayton, M. Donofrio, S. K. Haney, F. Husna, C. Jonas, J. Richmond, and J. J. Sumakeris, "A 13 kV 4H-SiC n-Channel IGBT with Low R<sub>diff,on</sub> and Fast Switching," *Materials Science Forum*, vol. 600-603, pp. 1183–1186, 2009.
- [116] Q. Zhang, M. Das, J. Sumakeris, R. Callanan, and A. Agarwal, "12-kV p-Channel IGBTs With Low On-Resistance in 4H-SiC," *IEEE Electron Device Letters*, vol. 29, no. 9, pp. 1027–1029, 2008.

- [117] J. W. Palmour, J. Q. Zhang, M. K. Das, R. Callanan, a. K. Agarwal, and D. E. Grider, "SiC power devices for Smart Grid systems," in *The 2010 International Power Electronics Conference - ECCE ASIA* -, pp. 1006–1013, IEEE, 2010.
- [118] K. Motto, Y. Li, and A. Huang, "Comparison of the state-of-the-art high power IGBTs, GCTs and ETOs," in *15th Annual IEEE Applied Power Electronics Conference and Exposition*, vol. 2, pp. 1129–1136, 2000.
- [119] S. L. Rumyantsev, M. E. Levinshtein, M. S. Shur, L. Cheng, A. K. Agarwal, and J. W. Palmour, "High current (1300 A) optical triggering of a 12 kV 4H-SiC thyristor," *Semiconductor Science and Technology*, vol. 28, no. 4, p. 045016, 2013.
- [120] T. Hasegawa, K. Yamaji, H. Irokawa, H. Shirahama, C. Tanaka, and K. Akabane, "Development of a thyristor valve for next generation 500 kV HVDC transmission systems," *IEEE Transactions on Power Delivery*, vol. 11, no. 4, pp. 1783–1788, 1996.
- [121] E. Maset, E. Sanchis-Kilders, J. Ejea, A. Ferreres, J. Jordan, V. Esteve, P. Brosselard, X. Jorda, M. Vellvehi, and P. Godignon, "Accelerated Life Test for SiC Schottky Blocking Diodes in High-Temperature Environment," *IEEE Transactions on Device and Materials Reliability*, vol. 9, no. 4, pp. 557–562, 2009.
- [122] S. Zelmat, M.-L. Locatelli, T. Lebey, and S. Diaham, "Investigations on high temperature polyimide potentialities for silicon carbide power device passivation," *Microelectronic Engineering*, vol. 83, no. 1, pp. 51–54, 2006.
- [123] Y. Yao, Z. Chen, G.-Q. Lu, D. Boroyevich, and K. D. T. Ngo, "Characterization of encapsulants for high-voltage, high-temperature power electronic packaging," in *2010 Proceedings 60th Electronic Components and Technology Conference (ECTC)*, pp. 1834–1840, IEEE, 2010.
- [124] C. Buttay, C. Raynaud, H. Morel, M. Lazar, G. Civrac, and D. Bergogne, "High-temperature behavior of SiC power diodes," in *Proceedings of the 2011-14th European Conference on Power Electronics and Applications*, pp. 1–9, 2011.
- [125] V. Banu, P. Godignon, X. Jordá, X. Perpinya, and J. Millán, "Remarkable Increase in Surge Current Capability of SiC Schottky Diodes Using Press Pack Contacts," *Materials Science Forum*, vol. 740-742, pp. 873–876, 2013.
- [126] F. C. Frank, "Capillary equilibria of dislocated crystals," *Acta Crystallographica*, vol. 4, no. 6, pp. 497–501, 1951.
- [127] P. Neudeck and J. Powell, "Performance limiting micropipe defects in silicon carbide wafers," *IEEE Electron Device Letters*, vol. 15, no. 2, pp. 63–65, 1994.
- [128] J. J. Sumakeris, "A Path to 150 mm ZMP Substrates," in *ECSCRM'12*, 2012.

- [129] P. P. Neudeck, W. Huang, and M. Dudley, "Breakdown degradation associated with elementary screw dislocations in 4H-SiC p+n junction rectifiers," *Solid-State Electronics*, vol. 42, no. 12, pp. 2157–2164, 1998.
- [130] Q. Wahab, A. Ellison, A. Henry, E. Janzén, C. Hallin, J. Di Persio, and R. Martinez, "Influence of epitaxial growth and substrate-induced defects on the breakdown of 4H-SiC Schottky diodes," *Applied Physics Letters*, vol. 76, no. 19, p. 2725, 2000.
- [131] E. Berkman, R. Leonard, M. J. Paisley, Y. Khlebnikov, M. J. O'Loughlin, A. A. Burk, A. R. Powell, D. Malta, E. Deyneka, M. Brady, I. Khlebnikov, V. F. Tsvetkov, H. Hobgood, J. J. Sumakeris, C. Basceri, V. Balakrishna, C. H. Carter Jr., and C. Balkas, "Defect Status in SiC Manufacturing," *Materials Science Forum*, vol. 615-617, pp. 3–6, 2009.
- [132] R. Leonard, Y. Khlebnikov, A. R. Powell, C. Basceri, M. Brady, I. Khlebnikov, J. R. Jenny, D. Malta, M. J. Paisley, V. F. Tsvetkov, R. Zilli, E. Deyneka, H. Hobgood, V. Balakrishna, and C. H. Carter Jr., "100 mm 4HN-SiC Wafers with Zero Micropipe Density," *Materials Science Forum*, vol. 600-603, pp. 7–10, 2009.
- [133] G. Feng, J. Suda, and T. Kimoto, "Sources of Epitaxial Growth-Induced Stacking Faults in 4H-SiC," *Journal of Electronic Materials*, vol. 39, no. 8, pp. 1166–1169, 2010.
- [134] K. Maeda, K. Suzuki, M. Ichihara, A. Physics, and R. January, "Recombination enhanced dislocation glide in silicon carbide observed in-situ by transmission electron microscopy," *Microscopy Microanalysis Microstructures*, vol. 4, no. 2-3, pp. 211–220, 1993.
- [135] J. Q. Liu, M. Skowronski, C. Hallin, R. Soderholm, and H. Lendenmann, "Structure of recombination-induced stacking faults in high-voltage SiC pn junctions," *Applied Physics Letters*, vol. 80, no. 5, p. 749, 2002.
- [136] H. Lendenmann, F. Dahlquist, N. Johansson, R. Söderholm, P. A. k. Nilsson, J. P. Bergman, and P. Skytt, "Long Term Operation of 4.5kV PiN and 2.5kV JBS Diodes," *Materials Science Forum*, vol. 353-356, pp. 727–730, 2001.
- [137] M. Zhang, P. Pirouz, and H. Lendenmann, "Transmission electron microscopy investigation of dislocations in forward-biased 4H-SiC pin diodes," *Applied Physics Letters*, vol. 83, no. 16, p. 3320, 2003.
- [138] A. Hefner, T. McNutt, A. Akuffo, R. Singh, C. Ellenwood, D. Berning, M. Das, J. Sumakeris, and R. Stahlbush, "Characterization of SiC PiN diode forward bias degradation," in *Conference Record of the 2004 IEEE Industry Applications Conference, 2004. 39th IAS Annual Meeting.*, vol. 2, pp. 1252–1260, IEEE, 2004.

- [139] X. Huang, G. Wang, M.-C. Lee, and A. Q. Huang, "Reliability of 4H-SiC SBD/JBS diodes under repetitive surge current stress," in *2012 IEEE Energy Conversion Congress and Exposition (ECCE)*, pp. 2245–2248, IEEE, 2012.
- [140] A. Agarwal, H. Fatima, S. Haney, and S.-H. Ryu, "A New Degradation Mechanism in High-Voltage SiC Power MOSFETs," *IEEE Electron Device Letters*, vol. 28, no. 7, pp. 587–589, 2007.
- [141] P. G. Muzykov, R. M. Kennedy, Q. J. Zhang, C. Capell, A. Burk, A. Agarwal, and T. S. Sudarshan, "Physical phenomena affecting performance and reliability of 4H-SiC bipolar junction transistors," *Microelectronics Reliability*, vol. 49, no. 1, pp. 32–37, 2009.
- [142] S. Krishnaswami, A. Agarwal, J. Richmond, C. Capell, S. H. Ryu, J. W. Palmour, B. Geil, D. Katsis, and C. J. Scozzie, "High Temperature Characterization of 4H-SiC Bipolar Junction Transistors," in *Materials Science Forum*, vol. 527-529, pp. 1437–1440, 2006.
- [143] S. I. Soloviev, P. A. Losee, S. Arthur, Z. Stum, J. L. Garrett, and A. Elasser, "Bipolar Degradation in 4H-SiC Thyristors," *Materials Science Forum*, vol. 717-720, pp. 1175–1178, 2012.
- [144] S. G. Sridhara, F. H. C. Carlsson, J. P. Bergman, and E. Janzén, "Luminescence from stacking faults in 4H SiC," *Applied Physics Letters*, vol. 79, no. 24, p. 3944, 2001.
- [145] J. P. Bergman, H. Lendenmann, P. A. k. Nilsson, U. Lindefelt, and P. Skytt, "Crystal Defects as Source of Anomalous Forward Voltage Increase of 4H-SiC Diodes," *Materials Science Forum*, vol. 353-356, pp. 299–302, 2001.
- [146] S. I. Maximenko, J. a. Freitas, P. B. Klein, A. Shrivastava, and T. S. Sudarshan, "Cathodoluminescence study of the properties of stacking faults in 4H-SiC homoepitaxial layers," *Applied Physics Letters*, vol. 94, no. 9, p. 092101, 2009.
- [147] S. H. Ryu, F. Husna, S. K. Haney, Q. C. Zhang, R. E. Stahlbush, and A. Agarwal, "Effect of Recombination-Induced Stacking Faults on Majority Carrier Conduction and Reverse Leakage Current on 10 kV SiC DMOSFETs," *Materials Science Forum*, vol. 600-603, pp. 1127–1130, 2009.
- [148] T. a. Kuhr, J. Liu, H. J. Chung, M. Skowronski, and F. Szmulowicz, "Spontaneous formation of stacking faults in highly doped 4H-SiC during annealing," *Journal of Applied Physics*, vol. 92, no. 10, p. 5863, 2002.



- [149] J. Hassan, J. Bergman, A. Henry, and E. Janzén, “On-axis homoepitaxial growth on Si-face 4H-SiC substrates,” *Journal of Crystal Growth*, vol. 310, no. 20, pp. 4424–4429, 2008.
- [150] J. ul Hassan, I. Booker, L. Lilja, A. Hallén, M. Fagerlind, P. Bergman, and E. Janzén, “On-Axis Homoepitaxial Growth of 4H-SiC PiN Structure for High Power Applications,” *Materials Science Forum*, vol. 740-742, pp. 173–176, 2013.
- [151] J. J. Sumakeris, M. K. Das, H. McD. Hobgood, S. G. Müller, M. J. Paisley, S. Y. Ha, M. Skowronski, J. W. Palmour, and C. H. Carter Jr., “Approaches to Stabilizing the Forward Voltage of Bipolar SiC Devices,” *Materials Science Forum*, vol. 457-460, pp. 1113–1116, 2004.
- [152] S. Ha, P. Mieszkowski, M. Skowronski, and L. Rowland, “Dislocation conversion in 4H silicon carbide epitaxy,” *Journal of Crystal Growth*, vol. 244, no. 3-4, pp. 257–266, 2002.
- [153] T. Ohno, H. Yamaguchi, S. Kuroda, K. Kojima, T. Suzuki, and K. Arai, “Direct observation of dislocations propagated from 4H-SiC substrate to epitaxial layer by X-ray topography,” *Journal of Crystal Growth*, vol. 260, no. 1-2, pp. 209–216, 2004.
- [154] S. I. Maximenko, J. a. Freitas, R. L. Myers-Ward, K.-K. Lew, B. L. VanMil, C. R. Eddy, D. K. Gaskill, P. G. Muzykov, and T. S. Sudarshan, “Effect of threading screw and edge dislocations on transport properties of 4H-SiC homoepitaxial layers,” *Journal of Applied Physics*, vol. 108, no. 1, p. 013708, 2010.
- [155] J. J. Sumakeris, J. P. Bergman, M. K. Das, C. Hallin, B. A. Hull, E. Janzén, H. Lendenmann, M. J. O’Loughlin, M. J. Paisley, S. Y. Ha, M. Skowronski, J. W. Palmour, and C. H. Carter Jr., “Techniques for Minimizing the Basal Plane Dislocation Density in SiC Epilayers to Reduce Vf Drift in SiC Bipolar Power Devices,” *Materials Science Forum*, vol. 527-529, pp. 141–146, 2006.
- [156] J. J. Sumakeris, J. R. Jenny, and A. R. Powell, “Bulk Crystal Growth, Epitaxy, and Defect Reduction in Silicon Carbide Materials for Microwave and Power Devices,” *MRS Bulletin*, vol. 30, no. 04, pp. 280–286, 2005.
- [157] D. Nakamura, I. Gunjishima, S. Yamaguchi, T. Ito, A. Okamoto, H. Kondo, S. Onda, and K. Takatori, “Ultrahigh-quality silicon carbide single crystals,” *Nature*, vol. 430, no. 7003, pp. 1009–12, 2004.
- [158] M. K. Das, J. J. Sumakeris, B. A. Hull, and J. Richmond, “Evolution of Drift-Free, High Power 4H-SiC PiN Diodes,” *Materials Science Forum*, vol. 527-529, pp. 1329–1334, 2006.

- [159] A. O. Konstantinov, Q. Wahab, N. Nordell, and U. Lindefelt, "Study of avalanche breakdown and impact ionization in 4H silicon carbide," *Journal of Electronic Materials*, vol. 27, no. 4, pp. 335–341, 1998.
- [160] J. Pernot, W. Zawadzki, S. Contreras, J. L. Robert, E. Neyret, and L. Di Cioccio, "Electrical transport in n-type 4H silicon carbide," *Journal of Applied Physics*, vol. 90, no. 4, p. 1869, 2001.
- [161] S. Kagamihara, H. Matsuura, T. Hatakeyama, T. Watanabe, M. Kushibe, T. Shinohe, and K. Arai, "Parameters required to simulate electric characteristics of SiC devices for n-type 4H-SiC," *Journal of Applied Physics*, vol. 96, no. 10, p. 5601, 2004.
- [162] D. Planson, "Conception de composants de puissance en carbure de silicium et leur intégration système," 2003.
- [163] F. Lanois, *Etude de la gravure du carbure de silicium. Application a la realisation de composants de puissance*. Thèse de doctorat, INSA de Lyon, Jan. 1997.
- [164] N. P. Pham, J. N. Burghartz, and P. M. Sarro, "Spray coating of photoresist for pattern transfer on high topography surfaces," *Journal of Micromechanics and Microengineering*, vol. 15, no. 4, pp. 691–697, 2005.
- [165] D. C. Sheridan, G. Niu, J. Merrett, J. D. Cressler, C. Ellis, and C.-C. Tin, "Design and fabrication of planar guard ring termination for high-voltage SiC diodes," *Solid-State Electronics*, vol. 44, no. 8, pp. 1367–1372, 2000.
- [166] J. Hu, L. X. Li, P. Alexandrov, X. H. Wang, and J. H. Zhao, "5 kV, 9.5 A SiC JBS Diodes with Non-Uniform Guard Ring Edge Termination for High Power Switching Application," *Materials Science Forum*, vol. 600-603, pp. 947–950, 2009.
- [167] D. C. Sheridan, G. Niu, and J. D. Cressler, "Design of single and multiple zone junction termination extension structures for SiC power devices," *Solid-State Electronics*, vol. 45, no. 9, pp. 1659–1664, 2001.
- [168] W. Sung, E. V. Brunt, B. J. Baliga, A. Q. Huang, and E. Van Brunt, "A New Edge Termination Technique for High-Voltage Devices in 4H-SiC Multiple-Floating-Zone Junction Termination Extension," *IEEE Electron Device Letters*, vol. 32, no. 7, pp. 880–882, 2011.
- [169] G. Feng, J. Suda, and T. Kimoto, "Space-modulated junction termination extension for ultrahigh-voltage pin diodes in 4H-SiC," *Electron Devices, IEEE Transactions on*, vol. 59, no. 2, pp. 414–418, 2012.

- [170] R. Ghandi, B. Buono, M. Domeij, G. Malm, C.-M. Zetterling, and M. Ostling, "High-Voltage 4H-SiC PiN Diodes With Etched Junction Termination Extension," *IEEE Electron Device Letters*, vol. 30, no. 11, pp. 1170–1172, 2009.
- [171] N. Dheilily, D. Planson, G. Pâques, and S. Scharnholz, "Light triggered 4H-SiC thyristors with an etched guard ring assisted JTE," *Solid-State Electronics*, vol. 73, pp. 32–36, 2012.
- [172] K. Kinoshita, T. Hatakeyama, O. Takikawa, A. Yahata, and T. Shinohe, "Guard ring assisted RESURF : a new termination structure providing stable and high breakdown voltage for SiC power devices," in *Proceedings of the 14th International Symposium on Power Semiconductor Devices and Ics*, pp. 253–256, IEEE, 2002.
- [173] R. Perez, D. Tournier, A. Perez-Tomas, P. Godignon, N. Mestres, and J. Millan, "Planar Edge Termination Design and Technology Considerations for 1.7-kV 4H-SiC PiN Diodes," *IEEE Transactions on Electron Devices*, vol. 52, no. 10, pp. 2309–2316, 2005.
- [174] C. Ronsisvalle and V. Enea, "Improvement of high-voltage junction termination extension (JTE) by an optimized profile of lateral doping (VLD)," *Microelectronics Reliability*, vol. 50, no. 9-11, pp. 1773–1777, 2010.
- [175] R. Stengl and U. Gosele, "Variation of lateral doping - A new concept to avoid high voltage breakdown of planar junctions," in *1985 International Electron Devices Meeting*, no. 8406920, pp. 154–157, IRE, 1985.
- [176] A. V. Bolotnikov, P. G. Muzykov, Q. Zhang, A. K. Agarwal, and T. S. Sudarshan, "Junction Termination Extension Implementing Drive-in Diffusion of Boron for High-Voltage SiC Devices," *IEEE Transactions on Electron Devices*, vol. 57, no. 8, pp. 1930–1935, 2010.
- [177] E. A. Imhoff, F. J. Kub, K. D. Hobart, M. G. Ancona, B. L. VanMil, D. K. Gaskill, K.-K. Lew, R. L. Myers-Ward, and C. R. Eddy, "High-Performance Smoothly Tapered Junction Termination Extensions for High-Voltage 4H-SiC Devices," *IEEE Transactions on Electron Devices*, vol. 58, no. 10, pp. 3395–3400, 2011.
- [178] A. Mahajan and B. Skromme, "Design and optimization of junction termination extension (JTE) for 4H-SiC high voltage Schottky diodes," *Solid-State Electronics*, vol. 49, no. 6, pp. 945–955, 2005.
- [179] R. P. Rodríguez, *Planar edge terminations and related manufacturing process technology for high power 4H-SiC diodes*. Thèse de doctorat, Universitat Autònoma de Barcelona, 2005.

- [180] M. Usman, A. Hallen, T. Pilvi, A. Schoner, and M. Leskela, "Toward the Understanding of Stacked Al-Based High-k Dielectrics for Passivation of 4H-SiC Devices," *Journal of The Electrochemical Society*, vol. 158, no. 1, p. H75, 2011.
- [181] M. Wolborski, *Characterization of dielectric layers for passivation of 4H-SiC devices*. Thèse de doctorat, Royal Institute of Technology, Stockholm, 2006.
- [182] M. Tarplee, V. Madangarli, and T. Sudarshan, "Design rules for field plate edge termination in SiC Schottky diodes," *IEEE Transactions on Electron Devices*, vol. 48, no. 12, pp. 2659–2664, 2001.
- [183] A. S. Kumta and X. Jinghua, "Field-Plate-Terminated 4H-SiC Schottky Diodes Using Al-Based High-k Dielectrics," *IEEE Transactions on Electron Devices*, vol. 56, no. 12, pp. 2925–2934, 2009.
- [184] T. Drabe and R. Sittig, "Theoretical investigation of planar junction termination," *Solid-State Electronics*, vol. 39, no. 3, pp. 323–328, 1996.
- [185] L. Theolier, H. Mahfoz-Kotb, K. Isoird, F. Morancho, S. Assie-Souleille, and N. Maurant, "A New Junction Termination Using a Deep Trench Filled With BenzoCycloButene," *IEEE Electron Device Letters*, vol. 30, no. 6, pp. 687–689, 2009.
- [186] A. Mimura, M. Oohayashi, S. Murakami, and N. Momma, "High-voltage planar structure using SiO<sub>2</sub>-SIPOS-SiO<sub>2</sub> film," *IEEE Electron Device Letters*, vol. 6, no. 4, pp. 189–191, 1985.
- [187] D. Jaume, G. Charitat, J. Reynes, and P. Rossel, "High-voltage planar devices using field plate and semi-resistive layers," *IEEE Transactions on Electron Devices*, vol. 38, no. 7, pp. 1681–1684, 1991.
- [188] D. Dragomirescu, G. Charitat, F. Rossel, and E. Scheid, "Very high voltage planar devices using field plate and semi-resistive layers : design and fabrication," in *2000 International Semiconductor Conference. 23rd Edition. CAS 2000 Proceedings*, vol. 1, pp. 363–366, IEEE, 2000.
- [189] J. S. Shor, I. Grimberg, B.-Z. Weiss, and A. D. Kurtz, "Direct observation of porous SiC formed by anodization in HF," *Applied Physics Letters*, vol. 62, no. 22, p. 2836, 1993.
- [190] C. Harris, A. Konstantinov, A. Henry, and E. Janzén, "SiC power device passivation using porous SiC," *Applied Physics Letters*, vol. 66, no. 12, pp. 1501–1502, 1995.
- [191] A. Konstantinov, C. Harris, A. Henry, and E. Janzén, "Fabrication and properties of high-resistivity porous silicon carbide for SiC power device passivation," *Materials Science and Engineering : B*, vol. 29, no. 1-3, pp. 114–117, 1995.

- [192] G. Ferro, M. Soueidan, C. Jacquier, P. Godignon, T. Stauden, J. Pezoldt, M. Lazar, J. Montserrat, and Y. Monteil, "Improvement of 4H-SiC Selective Epitaxial Growth by VLS Mechanism Using Al and Ge Based Melts," *Materials Science Forum*, vol. 527-529, pp. 275–278, 2006.
- [193] D. Carole, S. Berckmans, A. Vo-Ha, M. Lazar, D. Tournier, P. Brosselard, V. Soulière, L. Auvray, G. Ferro, and C. Brylinski, "Buried Selective Growth of p-Doped SiC by VLS Epitaxy," *Materials Science Forum*, vol. 717-720, pp. 169–172, 2012.
- [194] N. Thierry-Jebali, A. Vo-Ha, D. Carole, M. Lazar, G. Ferro, D. Planson, A. Henry, and P. Brosselard, "Very low specific contact resistance measurements made on a highly p-type doped 4H-SiC layer selectively grown by vapor-liquid-solid transport," *Applied Physics Letters*, vol. 102, no. 21, p. 212108, 2013.
- [195] L. Zhu and T. P. Chow, "Analytical Modeling of High-Voltage 4H-SiC Junction Barrier Schottky (JBS) Rectifiers," *IEEE Transactions on Electron Devices*, vol. 55, no. 8, pp. 1857–1863, 2008.
- [196] H.-J. Rost, J. Doerschel, K. Irmscher, D. Schulz, and D. Siche, "Influence of nitrogen doping on the properties of 4H-SiC single crystals grown by physical vapor transport," *Journal of Crystal Growth*, vol. 257, pp. 75–83, Sept. 2003.
- [197] A. Hürner, T. Schlegl, B. Adelmann, H. Mitlehner, R. Hellmann, A. Bauer, and L. Frey, "Alloying of Ohmic Contacts to n-Type 4H-SiC via Laser Irradiation," *Materials Science Forum*, vol. 740-742, pp. 773–776, 2013.
- [198] P. Chabert, "Deep etching of silicon carbide for micromachining applications : Etch rates and etch mechanisms," *Journal of Vacuum Science and Technology B : Microelectronics and Nanometer Structures*, vol. 19, no. 4, p. 1339, 2001.
- [199] L. Jiang, R. Cheung, R. Brown, and A. Mount, "Inductively coupled plasma etching of SiC in SF<sub>6</sub>/O<sub>2</sub> and etch-induced surface chemical bonding modifications," *Journal of Applied Physics*, vol. 93, no. 3, p. 1376, 2003.
- [200] S. H. Kuah and P. C. Wood, "Inductively coupled plasma etching of poly-SiC in SF<sub>6</sub> chemistries," *Journal of Vacuum Science and Technology A : Vacuum, Surfaces, and Films*, vol. 23, no. 4, p. 947, 2005.
- [201] H. Cho, K. P. Lee, P. Leerungrawat, S. N. G. Chu, F. Ren, S. J. Pearton, and C.-M. Zetterling, "High density plasma via hole etching in SiC," *Journal of Vacuum Science and Technology A : Vacuum, Surfaces, and Films*, vol. 19, no. 4, p. 1878, 2001.

- [202] P. Chabert, N. Proust, J. Perrin, and R. W. Boswell, "High rate etching of 4H-SiC using a SF<sub>6</sub>/O<sub>2</sub> helicon plasma," *Applied Physics Letters*, vol. 76, no. 16, p. 2310, 2000.
- [203] H. Mikami, T. Hatayama, H. Yano, Y. Uraoka, T. Fuyuki, and C. C. Plasma, "Role of Hydrogen in Dry Etching of Silicon Carbide Using Inductively and Capacitively Coupled Plasma," *Japanese Journal of Applied Physics*, vol. 44, no. 6A, pp. 3817–3821, 2005.
- [204] G. M. Beheim and L. J. Evans, "Control of Trenching and Surface Roughness in Deep Reactive Ion Etched 4H and 6H SiC," *MRS Proceedings*, vol. 911, pp. 0911–B10–15, 2011.
- [205] N. Camara and K. Zekentes, "Study of the reactive ion etching of 6H-SiC and 4H-SiC in SF<sub>6</sub>/Ar plasmas by optical emission spectroscopy and laser interferometry," *Solid-State Electronics*, vol. 46, no. 11, pp. 1959–1963, 2002.
- [206] L. F. Voss, K. Ip, S. J. Pearton, R. J. Shul, M. E. Overberg, A. G. Baca, C. Sanchez, J. Stevens, M. Martinez, M. G. Armendariz, and G. A. Wouters, "SiC via fabrication for wide-band-gap high electron mobility transistor/microwave monolithic integrated circuit devices," *Journal of Vacuum Science and Technology B : Microelectronics and Nanometer Structures*, vol. 26, no. 2, p. 487, 2008.
- [207] N. Okamoto, "Elimination of pillar associated with micropipe of SiC in high-rate inductively coupled plasma etching," *Journal of Vacuum Science and Technology A : Vacuum, Surfaces, and Films*, vol. 27, no. 2, p. 295, 2009.
- [208] M. Lazar, F. Enoch, F. Laariedh, D. Planson, and P. Brosselard, "Influence of the Masking Material and Geometry on the 4H-SiC RIE Etched Surface State," *Materials Science Forum*, vol. 679-680, pp. 477–480, 2011.
- [209] F. Lanois, P. Lassagne, D. Planson, and M. L. Locatelli, "Angle etch control for silicon carbide power devices," *Applied Physics Letters*, vol. 69, no. 2, p. 236, 1996.
- [210] J. Ladroue, *Gravure profonde du nitrure de gallium. Application à l'élaboration de diodes Schottky*. Thèse de doctorat, Université d'Orléans, 2012.
- [211] M. Schaepkens and G. S. Oehrlein, "Asymmetric microtrenching during inductively coupled plasma oxide etching in the presence of a weak magnetic field," *Applied Physics Letters*, vol. 72, no. 11, p. 1293, 1998.
- [212] T. J. Dalton, "Microtrench Formation in Polysilicon Plasma Etching over Thin Gate Oxide," *Journal of The Electrochemical Society*, vol. 140, no. 8, p. 2395, 1993.

- [213] S. Van Nguyen, "Substrate Trenching Mechanism during Plasma and Magnetically Enhanced Polysilicon Etching," *Journal of The Electrochemical Society*, vol. 138, no. 4, p. 1112, 1991.
- [214] H. Ru, Y. Yin-Tang, and F. Xiao-Ya, "Microtrenching geometry of 6H-SiC plasma etching," *Vacuum*, vol. 84, no. 3, pp. 400–404, 2009.
- [215] Y. Shishkin, Y. Ke, R. P. Devaty, and W. Choyke, "A Short Synopsis of the Current Status of Porous SiC and GaN," *Materials Science Forum*, vol. 483-485, pp. 251–256, 2005.
- [216] J. S. Shor, "Photoelectrochemical Etching of 6H-SiC," *Journal of The Electrochemical Society*, vol. 141, no. 3, p. 778, 1994.
- [217] K. J. Chao, "Formation of High Aspect Ratio Macropore Array on p-Type Silicon," *Electrochemical and Solid-State Letters*, vol. 3, no. 10, p. 489, 1999.
- [218] G. Gautier, F. Cayrel, M. Capelle, J. Billoué, X. Song, and J.-F. Michaud, "Room light anodic etching of highly doped n-type 4H-SiC in high-concentration HF electrolytes : Difference between C and Si crystalline faces.," *Nanoscale research letters*, vol. 7, no. 1, p. 367, 2012.
- [219] S. Zangooie and H. Arwin, "Surface, Pore Morphology, and Optical Properties of Porous 4H-SiC," *Journal of The Electrochemical Society*, vol. 148, no. 6, p. G297, 2001.
- [220] Y. Shishkin, Y. Ke, R. P. Devaty, and W. J. Choyke, "Fabrication and morphology of porous p-type SiC," *Journal of Applied Physics*, vol. 97, no. 4, p. 044908, 2005.
- [221] M. Thönissen, M. Berger, S. Billat, R. Arens-Fischer, M. Krüger, H. Lüth, W. Theiß, S. Hillbrich, P. Grosse, G. Lerondel, and U. Frotscher, "Analysis of the depth homogeneity of p-PS by reflectance measurements," *Thin Solid Films*, vol. 297, no. 1-2, pp. 92–96, 1997.
- [222] P. A. Ivanov, M. G. Mynbaeva, and S. E. Saddow, "Effective carrier density in porous silicon carbide," *Semiconductor Science and Technology*, vol. 19, no. 3, pp. 319–322, 2004.
- [223] S. I. Soloviev and T. S. Sudarshan, "Processing porous SiC : Diffusion, oxidation, contact formation," in *Porous Silicon Carbide and Gallium Nitride* (R. M. Feenstra and C. E. C. Wood, eds.), Chichester, UK : John Wiley & Sons, Ltd, Mar. 2008.
- [224] M. G. Mynbaeva, A. A. Lavrent'ev, N. I. Kuznetsov, A. N. Kuznetsov, K. D. Mynbaev, and A. A. Lebedev, "Semi-insulating silicon carbide layers obtained by

- diffusion of vanadium into porous 4H-SiC,” *Semiconductors*, vol. 37, no. 5, pp. 594–597, 2003.
- [225] D. Look and Z.-Q. Zhang, “Electrical properties of porous SiC,” in *Porous Silicon Carbide and Gallium Nitride* (R. M. Feenstra and C. E. C. Wood, eds.), Chichester, UK : John Wiley & Sons, Ltd, Mar. 2008.
- [226] P. A. Ivanov, M. E. Levinshtein, J. W. Palmour, and S. L. Rumyantsev, “Noise spectroscopy of local surface levels in semiconductors,” *Semiconductor Science and Technology*, vol. 15, no. 2, pp. 164–168, 2000.
- [227] T. Defforge, M. Capelle, F. Tran-Van, and G. Gautier, “Plasma-deposited fluoropolymer film mask for local porous silicon formation,” *Nanoscale Research Letters*, vol. 7, no. 1, p. 344, 2012.
- [228] S. Tsukimoto, K. Nitta, T. Sakai, M. Moriyama, and M. Murakami, “Correlation between the electrical properties and the interfacial microstructures of TiAl-based ohmic contacts to p-type 4H-SiC,” *Journal of Electronic Materials*, vol. 33, no. 5, pp. 460–466, 2004.
- [229] S. Adachi, *Properties of Group-IV, III-V and II-VI Semiconductors*. Chichester, UK : John Wiley & Sons, Ltd, Feb. 2005.
- [230] X. Song, *Activation des dopants implantés dans le carbure de silicium (3C-SiC et 4H-SiC)*. Thèse de doctorat, Université François Rabelais de Tours, 2012.
- [231] Y. Gao, S. I. Soloviev, T. S. Sudarshan, and C.-C. Tin, “Selective doping of 4H-SiC by codiffusion of aluminum and boron,” *Journal of Applied Physics*, vol. 90, no. 11, p. 5647, 2001.
- [232] M. Rambach, A. J. Bauer, and H. Ryssel, “Electrical and topographical characterization of aluminum implanted layers in 4H silicon carbide,” *Physica Status Solidi (B)*, vol. 245, no. 7, pp. 1315–1326, 2008.
- [233] N. S. Saks, A. V. Suvorov, and D. C. Capell, “High temperature high-dose implantation of aluminum in 4H-SiC,” *Applied Physics Letters*, vol. 84, no. 25, p. 5195, 2004.
- [234] D. Panknin, H. Wirth, A. Mücklich, and W. Skorupa, “Correlation of electrical and microstructural properties after high dose aluminium implantation into 6H-SiC,” *Materials Science and Engineering : B*, vol. 61-62, no. 1999, pp. 363–367, 1999.
- [235] R. Nipoti, A. Nath, M. V. Rao, A. Hallén, A. Carnera, and Y.-l. Tian, “Microwave Annealing of Very High Dose Aluminum-Implanted 4H-SiC,” *Applied Physics Express*, vol. 4, no. 11, p. 111301, 2011.



- [236] S. Ji, K. Kojima, Y. Ishida, S. Saito, T. Kato, H. Tsuchida, S. Yoshida, and H. Okumura, "The growth of low resistivity, heavily Al-doped 4H-SiC thick epilayers by hot-wall chemical vapor deposition," *Journal of Crystal Growth*, vol. 380, pp. 85–92, 2013.
- [237] M. Gao, S. Tsukimoto, S. Goss, S. Tumakha, T. Onishi, M. Murakami, and L. Brillson, "Role of Interface Layers and Localized States in TiAl-Based Ohmic Contacts to p-Type 4H-SiC," *Journal of Electronic Materials*, vol. 36, no. 4, pp. 277–284, 2007.
- [238] J. Crofton, S. Mohny, J. Williams, and T. Isaacs-Smith, "Finding the optimum Al-Ti alloy composition for use as an ohmic contact to p-type SiC," *Solid-State Electronics*, vol. 46, no. 1, pp. 109–113, 2002.
- [239] F. Laariedh, M. Lazar, P. Cremillieu, J. Penuelas, J.-L. Leclercq, and D. Planson, "The role of nickel and titanium in the formation of ohmic contacts on p-type 4H-SiC," *Semiconductor Science and Technology*, vol. 28, no. 4, p. 045007, 2013.
- [240] T. Sakai, "Ternary TiAlGe ohmic contacts for p-type 4H-SiC," *Journal of Applied Physics*, vol. 95, no. 4, p. 2187, 2004.
- [241] S. Tsukimoto, T. Sakai, and M. Murakami, "Electrical properties and microstructure of ternary Ge/Ti/Al ohmic contacts to p-type 4H-SiC," *Journal of Applied Physics*, vol. 96, no. 9, p. 4976, 2004.
- [242] R. Konishi, R. Yasukochi, O. Nakatsuka, Y. Koide, M. Moriyama, and M. Murakami, "Development of Ni/Al and Ni/Ti/Al ohmic contact materials for p-type 4H-SiC," *Materials Science and Engineering : B*, vol. 98, no. 3, pp. 286–293, 2003.
- [243] L. Kassamakova, R. Kakanakov, N. Nordell, S. Savage, A. Kakanakova-Georgieva, and T. Marinova, "Study of the electrical, thermal and chemical properties of Pd ohmic contacts to p-type 4H-SiC : dependence on annealing conditions," *Materials Science and Engineering : B*, vol. 61-62, pp. 291–295, 1999.
- [244] L. Kassamakova, R. Kakanakov, I. Kassamakov, N. Nordell, S. Savage, B. Hjorvarsson, E. Svedberg, L. Aborn, and L. Madsen, "Temperature stable Pd ohmic contacts to p-type 4H-SiC formed at low temperatures," *IEEE Transactions on Electron Devices*, vol. 46, no. 3, pp. 605–611, 1999.
- [245] T. Jang, J. W. Erickson, and L. M. Porter, "Effects of Si interlayer conditions on platinum ohmic contacts for p-type silicon carbide," *Journal of Electronic Materials*, vol. 31, no. 5, pp. 506–511, 2002.

- [246] F. A. Mohammad, Y. Cao, K.-C. Chang, and L. M. Porter, "Comparison of Pt-Based Ohmic Contacts with Ti-Al Ohmic Contacts for p-Type SiC," *Japanese Journal of Applied Physics*, vol. 44, no. 8, pp. 5933–5938, 2005.
- [247] L. Fursin, J. Zhao, and M. Weiner, "Nickel ohmic contacts to p- and n-type 4H-SiC," *Electronics Letters*, vol. 37, no. 17, p. 1092, 2001.
- [248] S.-J. Joo, S. Baek, S.-C. Kim, and J.-S. Lee, "Simultaneous Formation of Ohmic Contacts on p<sup>+</sup>- and n<sup>+</sup>-4H-SiC Using a Ti/Ni Bilayer," *Journal of Electronic Materials*, vol. 42, no. 10, pp. 2897–2904, 2013.
- [249] M. Su, *Power devices and integrated circuits based on 4H-SiC lateral JFETs*. Thèse de doctorat, Rutgers, The State University of New Jersey, 2010.
- [250] R. Pérez, N. Mestres, D. Tournier, P. Godignon, J. Millán, and R. Pe, "Ni/Ti ohmic and Schottky contacts on 4H-SiC formed with a single thermal treatment," *Diamond and Related Materials*, vol. 14, no. 3-7, pp. 1146–1149, 2005.
- [251] C. Lau, Y. See, D. Scott, J. Bridges, S. Perna, and R. Davies, "Titanium disilicide self-aligned source/drain + gate technology," in *International Electron Devices Meeting*, pp. 714–717, IRE, 1982.
- [252] G. Reeves, "Specific contact resistance using a circular transmission line model," *Solid-State Electronics*, vol. 23, no. 5, pp. 487–490, 1980.
- [253] D. K. Schroder, *Semiconductor Material and Device Characterization*. Hoboken, NJ, USA : John Wiley & Sons, Inc., Oct. 2005.
- [254] S. Y. Han, K. H. Kim, J. K. Kim, H. W. Jang, K. H. Lee, N.-K. Kim, E. D. Kim, and J.-L. Lee, "Ohmic contact formation mechanism of Ni on n-type 4H-SiC," *Applied Physics Letters*, vol. 79, no. 12, p. 1816, 2001.
- [255] W. Lu, W. C. Mitchel, G. R. Landis, T. R. Crenshaw, and W. E. Collins, "Ohmic contact properties of Ni/C film on 4H-SiC," *Solid-State Electronics*, vol. 47, no. 11, pp. 2001–2010, 2003.
- [256] A. V. Kuchuk, V. P. Kladko, K. Golaszewska, M. Guziewicz, M. Wzorek, E. Kaminska, and A. Piotrowska, "The Formation Mechanism of Ni-Based Ohmic Contacts to 4H-n-SiC," *Materials Science Forum*, vol. 717-720, pp. 833–836, 2012.
- [257] S. Tanimoto, M. Miyabe, T. Shiiyama, T. Suzuki, H. Yamaguchi, S. Nakashima, and H. Okumura, "Toward a Better Understanding of Ni-Based Ohmic Contacts on SiC," *Materials Science Forum*, vol. 679-680, pp. 465–468, 2011.

- [258] J. Bardeen, "Surface States and Rectification at a Metal Semi-Conductor Contact," *Physical Review*, vol. 71, pp. 717–727, May 1947.
- [259] D. Defives, *Etude du contact Schottky métal/SiC. Application aux redresseurs Schottky de puissance et transistors MESFET hyperfréquence*. Thèse de doctorat, Université de Paris Sud, 2000.
- [260] E. Rhoderick, "Metal-semiconductor contacts," *IEE Proceedings I Solid State and Electron Devices*, vol. 129, no. 1, p. 1, 1982.
- [261] I. P. Nikitina, K. V. Vassilevski, A. Horsfall, N. G. Wright, A. G. O'Neill, S. K. Ray, K. Zekentes, and C. M. Johnson, "Phase composition and electrical characteristics of nickel silicide Schottky contacts formed on 4H-SiC," *Materials Science Forum*, vol. 24, no. 5, pp. 577–580, 2009.
- [262] A. Itoh and H. Matsunami, "Analysis of Schottky Barrier Heights of Metal/SiC Contacts and Its Possible Application to High-Voltage Rectifying Devices," *physica status solidi (a)*, vol. 162, no. 1, pp. 389–408, 1997.
- [263] F. Roccaforte, F. La Via, V. Raineri, R. Pierobon, and E. Zanoni, "Richardson's constant in inhomogeneous silicon carbide Schottky contacts," *Journal of Applied Physics*, vol. 93, no. 11, p. 9137, 2003.
- [264] L. Calcagno, A. Ruggiero, F. Roccaforte, and F. La Via, "Effects of annealing temperature on the degree of inhomogeneity of nickel-silicide/SiC Schottky barrier," *Journal of Applied Physics*, vol. 98, no. 2, p. 023713, 2005.
- [265] R. Weiss, L. Frey, and H. Ryssel, "Tungsten, nickel, and molybdenum Schottky diodes with different edge termination," *Applied Surface Science*, vol. 184, no. 1-4, pp. 413–418, 2001.
- [266] K. M. Geib, C. Wilson, R. G. Long, and C. W. Wilmsen, "Reaction between SiC and W, Mo, and Ta at elevated temperatures," *Journal of Applied Physics*, vol. 68, no. 6, p. 2796, 1990.
- [267] K. Nishikawa, M. Shimizu, B. Foster, and H. Iwakuro, "Stability of Molybdenum Schottky Contact to Silicon Carbide," *Materials Science Forum*, vol. 353-356, pp. 611–614, 2001.
- [268] F. Goesmann and R. Schmid-Fetzer, "Stability of W as electrical contact on 6H-SiC : phase relations and interface reactions in the ternary system W-Si-C," *Materials Science and Engineering : B*, vol. 34, no. 2-3, pp. 224–231, 1995.

- [269] T. Nakamura, T. Miyanagi, I. Kamata, T. Jikimoto, and H. Tsuchida, "A 4.15 kV  $9.07\text{m}\Omega \cdot \text{cm}^2$  4H-SiC Schottky-barrier diode using Mo contact annealed at high temperature," *IEEE Electron Device Letters*, vol. 26, no. 2, pp. 99–101, 2005.
- [270] A. Kakanakova-Georgieva, T. Marinova, O. Noblanc, C. Arnodo, S. Cassette, and C. Brylinski, "Characterization of ohmic and Schottky contacts on SiC," *Thin Solid Films*, vol. 343-344, pp. 637–641, 1999.
- [271] N. Lundberg, "Chemical Vapor Deposition of Tungsten Schottky Diodes to 6H-SiC," *Journal of The Electrochemical Society*, vol. 143, no. 5, p. 1662, 1996.
- [272] J. Hilsenbeck, M. Treu, R. Rupp, K. Rüschemschmidt, R. Kern, and M. Holz, "Investigations on Surge Current Capability of SiC Schottky Diodes by Implementation of New Pad Metallizations," *Materials Science Forum*, vol. 645-648, pp. 673–676, 2010.
- [273] D. J. Morrison, A. J. Pidduck, V. Moore, P. J. Wilding, K. P. Hilton, M. J. Uren, C. M. Johnson, N. G. Wright, and A. G. O'Neill, "Surface preparation for Schottky metal - 4H-SiC contacts formed on plasma-etched SiC," *Semiconductor Science and Technology*, vol. 15, no. 12, pp. 1107–1114, 2000.
- [274] J. León, X. Perpiñà, V. Banu, J. Montserrat, M. Berthou, M. Vellvehi, P. Godignon, and X. Jordà, "Temperature effects on the ruggedness of SiC Schottky diodes under surge current," *Microelectronics Reliability*, 2014.
- [275] J. León, M. Berthou, X. Perpiñà, V. Banu, J. Montserrat, M. Vellvehi, P. Godignon, and X. Jordà, "Structural analysis of SiC Schottky diodes failure mechanism under current overload," *Journal of Physics D : Applied Physics*, vol. 47, no. 5, p. 055102, 2014.
- [276] M. Buzzo, M. Ciappa, M. Stangoni, and W. Fichtner, "Two-dimensional Dopant Profiling and Imaging of 4H Silicon Carbide Devices by Secondary Electron Potential Contrast," *Microelectronics Reliability*, vol. 45, pp. 1499–1504, Sept. 2005.
- [277] M. Buzzo, M. Ciappa, M. Stangoni, and W. Fichtner, "Dopant Imaging and Profiling of Wide-Band-Gap Devices by Secondary Electron Potential Contrast," in *2006 IEEE International Reliability Physics Symposium Proceedings*, pp. 560–565, IEEE, 2006.
- [278] P. Chabert, A. J. Lichtenberg, M. A. Lieberman, and A. M. Marakhtanov, "Instabilities in low-pressure electronegative inductive discharges," *Plasma Sources Science and Technology*, vol. 10, no. 3, pp. 478–489, 2001.

- [279] F. A. Khan and I. Adesida, “High rate etching of SiC using inductively coupled plasma reactive ion etching in SF<sub>6</sub>-based gas mixtures,” *Applied Physics Letters*, vol. 75, no. 15, pp. 2268–2270, 1999.