

UNIVERSITÉ FRANÇOIS – RABELAIS DE TOURS

ÉCOLE DOCTORALE EMSTU

Groupe de REcherche en Matériaux, Microélectronique, Acoustique et
Nanotechnologies (GREMAN)

THÈSE présentée par :

Samuel MENARD

soutenue le : **04 Décembre 2014**

pour obtenir le grade de : **Docteur de l'université François – Rabelais de Tours**

Discipline/ Spécialité : **Électronique**

PÉRIPHÉRIE TRIAC À BASE DE SILICIUM POREUX

THÈSE dirigée par :

GAUTIER Gaël

Professeur, INSA CVL

THÈSE co-encadrée par :

BILLOUE Jérôme

Maître de conférences, IUT de Tours

RAPPORTEURS :

REMAKI Boudjemaa

PLANSON Dominique

Maître de conférences, HDR, université de Lyon I

Professeur, INSA de Lyon

JURY :

BILLOUE Jérôme

REMAKI Boudjemaa

GAUTIER Gaël

MORILLON Benjamin

PLANSON Dominique

ROGEL Régis

VENTURA Laurent

Maître de conférences, IUT de Tours

Maître de conférences, HDR, université de Lyon I

Professeur, INSA CVL

Docteur, ST Microelectronics

Professeur, INSA de Lyon

Maître de conférences, IUT de Rennes

Professeur, université de Tours

« Quand tu regarderas le ciel, la nuit, puisque j’habiterai dans l’une d’elles, alors ce sera pour toi comme si riaient toutes les étoiles. Tu auras, toi, des étoiles qui savent rire ! »

Le Petit Prince (1943)

Antoine de Saint Exupéry

Remerciements

Rien ne m'y obligeait et pourtant je suis parti dans l'aventure... Deux lignes directrices ont motivé ces travaux : la volonté de prouver que la recherche est possible sur un « vieux » composant comme le TRIAC et un sentiment d'inachevé en quittant le pays des caribous pour démarrer mon poste de Designer chez ST MICROELECTRONICS. Grâce à leurs conseils, leurs suggestions, le sujet s'est affiné, le projet a mûri et s'est concrétisé par une collaboration entre ST MICROELECTRONICS et le laboratoire GREMAN, merci donc à Laurent VENTURA et Jean Baptiste QUOIRIN.

Je tiens à remercier Marc LETHIECQ et Daniel ALQUIER, respectivement directeur du GREMAN et responsable de l'axe 3 pour m'avoir donné l'accès au laboratoire et avoir été patients (une thèse, c'est trois ans !). Mes remerciements vont également à Franck DUCLOS, directeur de la BU Thyristor & Rectifier de ST MICROELECTRONICS, pour m'avoir autorisé à mener cette activité parallèle.

Je remercie Gaël GAUTIER, mon premier encadrant, ses connaissances dans le domaine du silicium poreux, son expérience (un mois de plus, ça compte !) dans la tenue de travaux de recherche, ont donné toute la consistance nécessaire à cette étude. Merci également à Jérôme BILLOUE, mon second encadrant, sa maîtrise des équipements a contribué au bon déroulement des expérimentations et sa lecture minutieuse était essentielle pour conclure la rédaction.

J'adresse également mes remerciements à Mr PLANSON et Mr REMAKI, rapporteurs de cette thèse et à Mr ROGEL, examinateur, pour leurs remarques pertinentes et constructives concernant ce travail. Sans votre validation, cette étude n'aurait pas la même portée à mes yeux.

Je tiens à exprimer toute ma reconnaissance envers mes stagiaires Angélique, Maxence, Massinissa et Steeve, sans qui il m'aurait été impossible d'obtenir tous ces résultats. J'espère que cette première expérience professionnelle à mes côtés vous aura été profitable et que vous saurez l'utiliser à bon escient dans le lancement de votre propre carrière.

Mes remerciements sont également dirigés vers mes collègues de l'équipe silicium poreux Marie, Thomas et Seb. Nos discussions de laboratoire, nos conférences partagées, nos échanges de résultats, ont aussi apporté des pierres à l'édifice.

J'associe à ces travaux le personnel du CERTEM, notamment Virginie, Damien et Dominique. L'élaboration des premiers prototypes de TRIAC n'aurait pas pu voir le jour sans votre précieuse aide.

Un grand merci également à toute l'équipe Design/Produit P&L58 : Maryse, Pascale, Gwenola, Valérie, Christophe, Christian, Yannick, Laurent, Ivan, Emmanuel, Thierry, Sylvain, Dalaf et Francis. Sans votre grand professionnalisme, je n'aurais pas pu mener de front ma « double vie ».

Enfin, je n'en serai sûrement pas là aujourd'hui sans mon père, qui a toujours cru en moi et m'a donné cette liberté qui m'est chère dans la conduite de mes études, mes beaux-parents, qui m'ont offert tout le cadre nécessaire pour arriver à mes fins, et bien sûr ma Charlotte et ma Cécile, dont le soutien et la patience ont été sans commune mesure.

Résumé

Ces travaux de thèse ont porté sur le développement d'une nouvelle périphérie de TRIAC dont les terminaisons de jonction font appel au silicium poreux (PS) comme matériau diélectrique. Le TRIAC étant un composant mature, la mise au point et la maîtrise de solutions innovantes amenant des gains en termes de densité d'intégration, sans complexifier le procédé de fabrication, apportent au fabricant des avantages concurrentiels certains. Dans ce contexte, la formation de caissons PS à partir des profils de dopage P traversant la plaquette et régulièrement rencontrés dans les procédés de fabrication des TRIACs, apparaît prometteuse.

Les textures de PS sont multiples et fortement dépendantes du type et du dopage du substrat. Les morphologies accessibles par anodisation d'un silicium type P dont la résistivité serait comprise entre 10 et 0,01 $\Omega \cdot \text{cm}$ sont généralement très denses. Les pores et cristallites obtenus sont en effet de petites tailles (de l'ordre du nanomètre à quelques dizaines de nanomètres), très concentrés et entremêlés les uns dans les autres. Ainsi constitué, le PS semble prédisposé pour bénéficier des caractéristiques isolantes requises pour notre application, à savoir des tenues en tension supérieures à 600 V et des courants de fuite associés ne dépassant pas 10 μA à température ambiante.

Des plaquettes tests comportant des motifs de caractérisation simples ont été préparées pour étudier plus en profondeur les propriétés diélectriques du PS type P. A partir de mesures de capacités et de relevés courant - tension ($I - V$), il a été possible d'extraire respectivement la constante diélectrique relative (ϵ_{PS}) et la résistivité du PS (ρ_{PS}). A propos de ϵ_{PS} , sa diminution a été observée en augmentant la porosité ($P\%$). La tendance est néanmoins perturbée par des irrégularités attribuées à des phénomènes de déplétion partielle et d'inhomogénéité de la couche poreuse. Cela dit, abstraction faite de ces anomalies, les points expérimentaux se retrouvent encadrés par les lois de Vegard et Bruggeman, communément rencontrées dans la littérature. Des valeurs supérieures à 5 sont accessibles lorsque la $P\%$ devient supérieure à 60 %.

La détermination de ρ_{PS} a nécessité au préalable une interprétation des courbes $I - V$ obtenues. De nombreuses non linéarités ont en effet été mises en évidence malgré le caractère quasi-ohmique du contact électrique effectué sur PS. Ces phénomènes ont en effet été assignés à des inhomogénéités du PS à faible polarisation et des mécanismes de conduction de type SCLC ou Poole Frenkel lorsque la tension appliquée devient plus conséquente. Ces clarifications réalisées, ρ_{PS} a pu être déduite. Une évolution avec la $P\%$ de type exponentiel a été identifiée et ce, quelle que soit la température considérée dans la plage 30 à 200 °C. A température ambiante, des résistivités aussi élevées que

$1.10^9 \Omega.cm$ sont constatées pour des $P_{\%}$ excédant 60 %. On remarque également un gain de l'ordre de trois décades en abaissant la température de 200 à 30 °C et une activation de ρ_{PS} avec la température est rapportée. En exploitant les énergies d'activations et les pré-facteurs obtenus, il a été possible de préciser le transport régnant dans le PS. De part et d'autre d'une $P_{\%}$ critique (environ 50 %), deux types de mécanisme opèrent. A faible $P_{\%}$, les porteurs se déplacent au travers des queues de bandes et des niveaux profonds émanant du tissu entourant les cristallites. Lorsque la $P_{\%}$ est plus forte, une conduction par saut de cristallite en cristallite, via des niveaux d'énergie épinglés sur le niveau de Fermi, prend place.

En visant des $P_{\%}$ élevées, le PS dispose donc de propriétés isolantes intéressantes. Compte tenu de la nature graduelle des profils de dopage, reproduire sur les périphéries TRIACs les résultats précédemment obtenus pour ε_{PS} et ρ_{PS} n'est pas immédiat. La localisation d'une gravure PS profonde et verticale, telle que requise pour bénéficier d'une isolation convenable, est en effet complexifiée. De plus, la croissance du PS s'accompagne systématiquement de contraintes mécaniques, dont l'intensité doit être maîtrisée pour éviter toute problématique liée à la manipulation des wafers. En travaillant à la fois la conception et les conditions de la réaction électrochimique, ainsi qu'en employant des couches de masquage spécifiques, des premiers prototypes ont été fabriqués et analysés. Les tenues en blocage atteintes se sont malheureusement avérées insatisfaisantes. Des courants de fuite supérieurs à la dizaine de milliampères ont en effet été mesurés, sous une polarisation de 100 V et à température ambiante. Ces médiocres performances sont imputables en grande partie à la géométrie des caissons PS et/ou la présence de charges fixes à l'interface PS/Substrat. De plus, les propriétés diélectriques du PS, évaluées à l'aide de motifs de caractérisation spécifiques, ont été jugées insuffisantes. Dès lors, une nouvelle structure plus optimisée a été ébauchée. Son étude à l'aide d'un modèle électrique macroscopique du PS, développé sur la base des résultats expérimentaux obtenus, offre de meilleures perspectives.

Mots clefs : silicium poreux, TRIAC, périphérie, anodisation, propriétés électriques du silicium poreux

Résumé en anglais

This PhD thesis deals with the development of a novel TRIAC periphery with junction terminations based on porous silicon (PS) as dielectric material. As the TRIAC is a mature component, any innovation able to bring more gains in terms of integration, without complicating the process flow, gives to the manufacturer a real competitive advantage. In this context, the formation of PS wells through P type doping profiles crossing all the wafer thickness, and usually encountered in TRIAC technology, is promising.

PS textures are multiple and strongly dependent on the substrate type and doping. The morphologies stemming from the anodization of P type silicon with a resistivity in the range of 10 to 0,01 $\Omega\cdot\text{cm}$ are generally very dense. The size of the resulting pores and crystallites is namely very small (from one to about ten nanometers), very concentrated and intermixed. Thus constituted, porous silicon may have the required insulating features for our application, that is to say breakdown voltages higher than 600 V and associated leakage currents lower than 10 μA at room temperature.

Some experimental wafers embedding simple characterization patterns were prepared to deeply study the dielectric properties of P type PS. Through capacitance measurements and I - V plots, it was possible to extract respectively the PS relative dielectric constant (ϵ_{PS}) and its resistivity (ρ_{PS}). Concerning ϵ_{PS} , it was found decreasing with the porosity. However, the trend is not regular. Indeed, some perturbations were observed because of partial depletion phenomenon and non homogeneous porous layers. After removing these anomalies, the experimental points are surrounded by the Vegard and Bruggeman laws generally adopted in the literature. When the porosity is higher than 60 %, it is possible to obtain ϵ_{PS} values lower than 5.

The determination of ρ_{PS} has been performed by interpreting the I - V plots. These characteristics are, most of the time, nonlinear despite the quasi ohmic nature of the electrical contact on PS. At low bias, this phenomenon was attributed to the lack of homogeneity of the PS layers, while at higher bias SCLC

or Poole Frenkel conduction mechanisms may happen. With these clarifications, ρ_{PS} was then deduced. An exponential evolution with the porosity was identified for all the temperatures in the range 30 to 200 °C. At room temperature, resistivities as large as $1.10^9 \Omega\cdot\text{cm}$ were observed for porosities higher than 60 %. Further, ρ_{PS} was found thermally activated and a gain of about three decades was noted by decreasing the temperature from 200 down to 30 °C. By analyzing the resulting activation energies and pre-factors, the transport mechanisms in PS were clarified. Below a critical

porosity (about 50 %), the carriers move through the band tails and deep levels coming from the tissue surrounding the crystallites. At higher porosities, hopping from one crystallite to another happens through energy levels pinned on the Fermi level.

By targeting high porosities, PS should have interesting insulating properties. Nevertheless, because of the gradual nature of the doping profiles, it is not immediate to reproduce on the TRIAC peripheries the previous results on ε_{PS} and ρ_{PS} through the same experimental procedure. The masking of deep and vertical PS wells, required to reach a suitable level of insulation, is namely complex. Further, the PS growth leads to mechanical stress which tends to warp the wafers and complicates their handling. By working at the same time on the conception and the conditions of the electrochemical reaction, as well as by using specific masking layers, first prototypes were made and analyzed. Unfortunately, the blocking voltage results were not satisfactory. Indeed, leakage currents higher than 10 mA were measured at room temperature while the bias voltage was only 100 V. The presence of fixed charges at the PS / Silicon interface and/or the geometry of the PS wells may explain these results. Furthermore, the dielectric properties of the PS, estimated by means of specific characterization patterns, were considered insufficient. From then on, a new more optimized structure was sketched. Its study by means of a PS macroscopic electrical model, developed on the basis of the obtained experimental results, offers better perspectives.

Key words: porous silicon, TRIAC, periphery, anodization, electrical properties of porous silicon

Table des matières

Remerciements	3
Résumé.....	5
Résumé en anglais	7
Table des matières.....	9
Liste des tableaux	15
Liste des figures	16
Liste des annexes	30
Introduction générale	31
PREMIER CHAPITRE : Aspects généraux relatifs au TRIAC et notions de périphérie.	36
1. Applications typiques du TRIAC.....	39
1.1 Electroménager	39
1.2 Chauffage - Ventilation - Climatisation (CVC).....	40
1.3 Éclairage	41
1.4 Contraintes normatives : compatibilité électromagnétique (CEM).....	41
2. Caractéristiques électriques du TRIAC	42
2.1 Etats bloqués (OFF).....	42
2.2 Etats passants (ON).....	43
2.2.1 Régime nominal	43
2.2.2 Régime ponctuel	45
2.3 Etat transitoire OFF → ON	46
2.3.1 Amorçage par gâchette	46
2.3.2 Amorçage par tension.....	48
2.3.3 Amorçage par variation de tension (dv/dt)	48
2.3.4 Problématiques de mise en conduction	49
2.4 Etat transitoire ON → OFF	49
3. La structure TRIAC	50
3.1 Segmentation du TRIAC : notions de périphérie (P_{O}) et zone active (ZA)	51
3.2 Structure silicium (Si) associée à la ZA du TRIAC	52

3.3 Structure Si associée à la P_{J} du TRIAC, notions d'avalanche	54
3.3.1 Notions d'avalanche	55
3.3.2 Terminaisons de jonction.....	56
3.3.2.1 Couche de passivation, charges fixes et charges mobiles.....	57
3.3.2.2 Biseautages positif et négatif.....	58
3.3.2.3 Terminaison MESA	60
3.3.2.4 Terminaison à anneaux flottants	61
3.3.2.5 Extension de la terminaison de jonction (JTE « Junction Termination Extension »).....	62
3.3.2.6 Terminaison dite à plaque de champ (« Field plate »).....	64
3.3.2.7 Jonction concave.....	65
3.3.2.8 Autres terminaisons	66
4. Notions de base à la conception des P_{J} TRIACs.....	67
4.1 Interdépendances entre Z_A et P_{J}	67
4.2 Tenue en tension et courant de fuite	69
4.2.1 Courant de fuite d'une jonction PN	69
4.2.1.1 Courant de diffusion	69
4.2.1.2 Courant de génération volumique	70
4.2.1.3 Courant de génération surfacique	71
4.2.1.4 Courant de canal	72
4.2.2 Effets de gain	73
4.2.3 Effet « reach through ».....	75
4.2.4 Effet de l'assemblage.....	76
5. État de l'art technologique du TRIAC	77
5.1 Les critères de valeur du TRIAC	78
5.2 Les technologies majeures	79
5.2.1 Technologie Si (Front End).....	79
5.2.2 Technologies d'assemblage (Back End)	81
5.3 Comparatif technologique.....	83
5.4 Le silicium poreux (PS) comme terminaison de jonction.....	85
6. Conclusion.....	87
SECOND CHAPITRE : Le silicium poreux pour des applications composants de puissance..	89
1 Applications du PS.....	91
1.1 Les grands domaines d'application du PS.....	91
1.1.1 L'électronique	91
1.1.2 L'optoélectronique et la photonique.....	91
1.1.3 Microsystèmes (MEMS)	92

1.1.4 Source et stockage d'énergie.....	92
1.1.5 Capteurs.....	92
1.1.6 Biomédical	92
1.2 Focalisation sur les applications d'isolation électrique (IE)	93
1.2.1 Technologie IPOS (Insulation by Porous Oxidized Silicon)	93
1.2.2 Technologie FIPOS (Full Insulation Porous Oxidized Silicon)	94
1.2.3 Autres technologies SOI (Substrate On Insulator) à base d'IE à l'aide du PS.....	95
1.2.4 Technologie ELTRAN (Epitaxial Layer TRANSfer).....	98
1.2.5 Réalisation de profils de dopage profonds à partir du PS.....	101
1.2.6 Passivation et PS	102
1.2.7 Tranchées d'isolation	103
2. Propriétés physiques du PS	106
2.1 Classification dimensionnelle des pores.....	106
2.2 Morphologies du PS.....	107
2.3 Notions de porosité ($P_{\%}$) et de densité du PS (d_{PS})	108
3. Élaboration du PS	109
3.1 Dissolution du Si par voie anodique	110
3.1.1 Phénomènes physico-chimiques à l'interface semi-conducteur / électrolyte	110
3.1.2 Caractéristiques courant - tension ($I - V$) du système Si / HF (acide fluorhydrique) aqueux.....	112
3.1.3 Réactions chimiques de formation du PS et d'érosion du Si	114
3.1.3.1 Les solutions de HF en milieu aqueux	114
3.1.3.2 Réactions de formation du PS.....	114
3.1.3.3 Réactions liées au phénomène d'érosion du Si	115
3.2 Mécanismes de formation du PS.....	116
3.3 Initiation des pores et couches superficielles.....	119
3.4 Suivi de la croissance du PS	120
3.5 Géométrie de la cellule électrochimique	122
4. Conclusion.....	124
<i>TROISIEME CHAPITRE : Les propriétés diélectriques du silicium poreux type P.</i>	<i>126</i>
1. Matrice expérimentale	128
1.1 Contexte de l'étude	128
1.2 Bibliographie des études électriques relatives au PS	129
1.3 Paramètres process influents sur les propriétés du PS	130
1.4 Procédés de fabrication.....	132
1.5 Abaques de croissance du PS	135
1.6 Propriétés physiques du PS des plaquettes tests	142

1.6.1 $P_{\%}$ et épaisseur PS (t_{PS})	142
1.6.2 Morphologie du PS	144
1.6.2.1 Substrat 10 - 15 m Ω .cm	144
1.6.2.2 Substrat 80 - 120 m Ω .cm	145
1.6.2.3 Substrat 6 - 12 Ω .cm.....	146
2. Principe de caractérisation.....	148
2.1 Mesures de capacité.....	148
2.2 Caractéristiques I - V en température (T)	149
3. Constante diélectrique relative du micro / méso-PS type P (ϵPS).....	151
3.1 Extraction de ϵPS	151
3.2 Résultats expérimentaux.....	152
3.2.1 Relations entre la $P_{\%}$ et ϵPS	152
3.2.2 Impact du procédé de gravure métallisation sur ϵPS	155
3.2.3 Impact du temps d'anodisation (D_{ano}) sur ϵPS	155
3.3 Discussion des résultats expérimentaux relatifs aux ϵPS du micro / méso-PS	156
3.3.1 Modélisation de ϵPS	156
3.3.1.1 Loi de Vegard	156
3.3.1.2 Loi de Bruggeman	157
3.3.2 Phénomènes de discontinuité dans la relation liant $P_{\%}$ et ϵPS	158
4. Résistivité du micro / méso-PS type P (ρPS).....	160
4.1 Mécanismes de transport dans le micro / méso-PS	160
4.1.1 Cristallinité et gap du micro / méso-PS (Δ_{PS}).....	160
4.1.2 ρPS et température critique (T_c)	161
4.1.2.1 ρPS à $T > T_c$	161
4.1.2.2 ρPS à $T < T_c$	164
4.1.3 Influence du champ électrique sur ρPS (cas du micro / méso-PS).....	165
4.1.3.1 Relation de Poole Frenkel	165
4.1.3.2 SCLC (Space Charge Limited Current)	165
4.2 Rôle des interfaces sur les I - V de structures métal / PS / Si / métal.....	167
4.2.1 Interface métal / PS	167
4.2.1.1 Contact ohmique ou quasi ohmique.....	167
4.2.1.2 Contact redresseur.....	168
4.2.2 Interface PS / Si.....	169
4.2.2.1 Modélisation de Ben Chorin (Méso-PS sans élargissement de Δ_{PS})	169
4.2.2.2 Hétéro structures (Micro / Méso - PS avec élargissement de Δ_{PS}).....	170
4.3 Caractéristiques I - V et extraction de ρPS	171
4.3.1 Description des caractéristiques I - V.....	171

4.3.1.1 Cas des substrats 6 - 12 Ω .cm	171
4.3.1.2 Cas des substrats 80 - 120 m Ω .cm	172
4.3.1.3 Cas des substrats 10 - 15 m Ω .cm	173
4.3.2 Problématiques d'extraction de ρPS	175
4.4 Données ρPS expérimentales.....	177
4.4.1 ρPS en fonction de la $P_{\%}$	177
4.4.2 Activation de ρPS avec T	179
4.4.3 Impact du procédé de gravure aluminium (Al)	182
4.4.4 Reproductibilité des résultats expérimentaux avec le temps, notion de vieillissement	183
4.4.5 Notions de claquage	185
5. Conclusion.....	186
QUATRIEME CHAPITRE : Terminaison de jonction à base de silicium poreux et application au TRIAC.....	188
1. Présentation de la périphérie PS ($P_{\text{G}} PS$).....	190
1.1 Anodisation d'un profil de diffusion type P graduel et traversant (P_{iso}).....	190
1.2 Description de la $P_{\text{G}} PS$ visée et de ses motifs de caractérisation.....	191
1.3 Procédés de fabrication : vue d'ensemble (procédé 6 pouces).....	193
1.4 Focalisation sur la localisation du PS et son anodisation	196
1.4.1 Techniques de localisation du PS.....	196
1.4.2 Le procédé nitrure de silicium (Si_3N_4) pour la $P_{\text{G}} PS$	198
1.4.3 Adaptation du procédé fluoropolymère (FP) à la $P_{\text{G}} PS$	200
1.4.4 Utilisation d'une résine négative épaisse pour la $P_{\text{G}} PS$	202
1.4.5 Synthèse et perspectives d'améliorations du procédé de localisation du PS.....	203
1.5 Tenue mécanique des plaquettes porosifiées.....	206
2. Caractérisation de la $P_{\text{G}} PS$.....	208
2.1 Caractérisation physique de la $P_{\text{G}} PS$	209
2.1.1 Géométrie des caissons PS (Ca_{PS})	209
2.1.2 Morphologie des pores dans les Ca_{PS}	210
2.2 Caractérisations électriques des Ca_{PS} et des interfaces PS / Si	212
2.2.1 Capacité des Ca_{PS} (C_{PS})	212
2.2.2 Résistance des Ca_{PS} (R_{PS}) et comportement aux interfaces PS / Si	213
2.2.2.1 Protocole expérimental	213
2.2.2.2 Courbes I - V et extraction de R_{PS}	213
2.2.2.3 Analyse des résultats R_{PS}	215
2.3 Performance en blocage de la $P_{\text{G}} PS$	219
3. Modélisation macroscopique de la $P_{\text{G}} PS$.....	222

3.1 Simulation de la $P_{\cup}$ -PS	222
3.1.1 Paramétrisation du PS	222
3.1.2 Structures et conditions de simulation	224
3.1.3 Reproduction qualitative des résultats expérimentaux.....	226
3.1.3.1 Tenues en tension directe et inverse	226
3.1.3.2 Double isolation	229
3.2 Perspectives d'amélioration de la $P_{\cup}$ -PS	230
3.2.1 Optimisation de la structure existante	230
3.2.2 Proposition d'évolution de la structure existante	231
4. Conclusion.....	235
<i>Conclusion générale.....</i>	<i>238</i>
<i>Bibliographie</i>	<i>245</i>
<i>Annexes.....</i>	<i>267</i>

Liste des tableaux

<u>Tableau 1</u> : Paramètres d'influence communs à P_{G} et ZA. Seules les oppositions entre P_{G} et ZA sont ici mises en évidence.....	68
<u>Tableau 2</u> : Comparatif technologique. Les symboles « + », « 0 » et « - » traduisent respectivement un jugement positif, neutre et négatif.....	85
<u>Tableau 3</u> : Analyse des publications relatives aux propriétés électriques du PS et restreinte au contexte de notre étude en termes de ρ_{Si} , t_{PS} et T.	130
<u>Tableau 4</u> : Matrice d'expérimentations (J_{ano} , D_{ano} et mode de gravure de l'aluminium Al) dédiée à l'étude des propriétés diélectriques du PS formé sur substrat 6 - 12 $\Omega\cdot\text{cm}$ (Famille A).	131
<u>Tableau 5</u> : Matrice d'expérimentations (J_{ano} , D_{ano} et mode de gravure de l'Al) dédiée à l'étude des propriétés diélectriques du PS formé sur substrat 80 - 120 $\text{m}\Omega\cdot\text{cm}$ (Famille B).....	131
<u>Tableau 6</u> : Matrice d'expérimentations (J_{ano} , D_{ano} et mode de gravure de l'Al) dédiée à l'étude des propriétés diélectriques du PS formé sur substrat 10 - 15 $\text{m}\Omega\cdot\text{cm}$ (Famille C).....	132
<u>Tableau 7</u> : Estimation de t_{PS} et $P_{\%}$ sur les plaquettes tests du substrat 6 - 12 $\Omega\cdot\text{cm}$	142
<u>Tableau 8</u> : Estimation de t_{PS} et $P_{\%}$ sur les plaquettes tests du substrat 80 - 120 $\Omega\cdot\text{cm}$	143
<u>Tableau 9</u> : Estimation de t_{PS} et $P_{\%}$ sur les plaquettes tests du substrat 10 - 15 $\text{m}\Omega\cdot\text{cm}$	143
<u>Tableau 10</u> : Vérification de t_{PS} sur quelques plaquettes tests après clivage et à partir de mesures MEB.	144
<u>Tableau 11</u> : Impact de D_{ano} sur ϵ_{PS} pour $J_{\text{ano}} = 50 \text{ mA/cm}^2$. Trois cas regroupant plusieurs wafers sont considérés pour chacune des ρ_{Si} étudiées : G1 pour le substrat 6 - 12 $\Omega\cdot\text{cm}$, G2 pour le substrat 80 - 120 $\text{m}\Omega\cdot\text{cm}$, G3 pour le substrat 10 - 15 $\text{m}\Omega\cdot\text{cm}$. Toutes les plaquettes d'un même cas présentent des $P_{\%}$ moyennes semblables.	155
<u>Tableau 12</u> : liste de publications relatant une activation de ρ_{PS}	162
<u>Tableau 13</u> : Procédé de fabrication du TRIAC P_{G} -PS et de ses motifs de caractérisation.....	194
<u>Tableau 14</u> : Combinaisons des paramètres variables ($\epsilon_{\text{PS_moy}}$; $\mu_{\text{PS_moy}}$) appliqués en simulation pour $D_{\text{PS}} = 1.10^{12} \text{ cm}^{-3}$ et associées aux quatre niveaux P_{moy} choisis. Les données expérimentales sont extrapolées du chapitre 3, Figures 109 et 129.	224
<u>Tableau 15</u> : Paramétrage des configurations de simulation les plus représentatives des résultats expérimentaux associés aux Figures 169, 170 et 172.....	226

Liste des figures

<u>Figure 1</u> : Structure bidirectionnelle PNPN intégrant le concept d'émetteur court-circuité [2].	37
<u>Figure 2</u> : SCR à gâchette déportée [3].	38
<u>Figure 3</u> : Structure TRIAC telle que conçue par Gutzwiller en 1963 [1].	38
<u>Figure 4</u> : Symbole électrique du TRIAC.	39
<u>Figure 5</u> : Schéma de principe du réfrigérateur.	40
<u>Figure 6</u> : Ventilateur de bureau : schéma de principe (a), tension secteur appliquée (b), Courant traversant le ventilateur (c).	41
<u>Figure 7</u> : Schéma de principe d'un variateur de lumière.	41
<u>Figure 8</u> : Caractéristique électrique du TRIAC. L'électrode A1 est prise comme référence.	42
<u>Figure 9</u> : Caractéristique électrique du TRIAC en mode bloqué (polarisation positive). Les paramètres caractéristiques de l'état OFF du TRIAC sont représentés : V_{DRM} , V_{BR} , V_{BO} , I_{DRM} et I_{BO} .	43
<u>Figure 10</u> : Caractéristique électrique du TRIAC en mode passant (polarisation positive).	44
<u>Figure 11</u> : Effet de la température sur la caractéristique passante du TRIAC (En bleu le comportement à 25°C et en rouge celui à T_{j_max}).	45
<u>Figure 12</u> : Evolution du courant I_{TSM} en fonction du nombre de surcharges en courant (Graphe extrait de la spécification du TRIAC BTA12 de la société ST Microelectronics).	45
<u>Figure 13</u> : Amorçage du TRIAC. Situation (1) : $I_T < I_L$ quel que soit I_G , pas d'amorçage. Situation (2) : $I_T > I_L$ et $I_G < I_{GT}$, pas d'amorçage. Situation (3) : $I_T > I_L$ et $I_G > I_{GT}$, amorçage. Les flèches rouges symbolisent la droite de charge.	47
<u>Figure 14</u> : Quadrants d'amorçage du TRIAC.	47
<u>Figure 15</u> : Forme d'onde appliquée au TRIAC pour caractériser sa tenue aux transitoires dv/dt . V_R est appelée tension réappliquée et reste inférieure à V_{BO} .	48
<u>Figure 16</u> : Formes d'onde à la mise ON du TRIAC : dI_T/dt à l'amorçage.	49
<u>Figure 17</u> : Formes d'onde typiques caractérisant la commutation ON/OFF du TRIAC.	50
<u>Figure 18</u> : Schéma équivalent simplifié du TRIAC à base de SCRs.	51
<u>Figure 19</u> : Schéma équivalent du SCR.	51
<u>Figure 20</u> : Schéma équivalent et fonctions du TRIAC.	52
<u>Figure 21</u> : La structure Si de la ZA du TRIAC. Le substrat N, les diffusions P et N+ sont respectivement représentés en rose, vert et rouge. Le SCR positif (ou direct) comprend les régions $P_1 / N / P_2 / N^+_1$ (à gauche) alors que le SCR négatif (ou inverse) se caractérise par les couches $P_2 / N / P_1 / N^+_2$ (à droite).	52

<u>Figure 22</u> : Fonctionnement de la gâchette en fonction du quadrant d'amorçage et schémas électriques équivalents. L'acronyme « NC » représente une électrode fictive liant les structures de puissance et de commande du TRIAC.	54
<u>Figure 23</u> : TRIAC et P_{G} . On retrouve au centre de la figure la ZA décrite dans la Figure 21. Les pointillés noirs représentent la ZCE résultant de l'application d'une tension positive sur l'électrode A2 du TRIAC, le terminal A1 étant pris comme référence (REF). E est indiqué schématiquement par des flèches noires, il est généralement très intense au niveau des P_{G} compte tenu du dimensionnel de la puce imposé.....	55
<u>Figure 24</u> : Vitesse de dérive des électrons (v_n) et des trous (v_p) dans le Si en fonction de E. Une saturation est observée pour un champ électrique de l'ordre de 1.10^5 à 1.10^6 V/cm.	56
<u>Figure 25</u> : Tension d'avalanche et effets de bord selon [8]. a) Jonction plane formant une courbure de rayon r_j à son extrémité. b) Visualisation 3D de la jonction plane et mise en évidence des régions cylindriques et sphériques à ses extrémités. c) Tensions d'avalanche 2D et 3D (respectivement V_{BR_2D} et V_{BR_3D}) normalisées par rapport à la tension d'avalanche de la jonction plane (V_{BR_1D}) en fonction du rayon de courbure r_j normalisé par rapport à la largeur de la ZCE (W).	57
<u>Figure 26</u> : Passivation de jonction (ici P^+N) et impact sur la ZCE: a) sans charge fixe b) avec charges fixes positives c) avec charges fixes négatives. Par souci de clarté, la ZCE côté P^+ n'a pas été représentée.....	57
<u>Figure 27</u> : Biseautages positif (a) et négatif (b). θ caractérise l'angle du biseau.....	58
<u>Figure 28</u> : Déploiement de la ZCE d'une jonction P^+N en biseautage positif.	59
<u>Figure 29</u> : Déploiement de la ZCE en biseautage négatif : cas d'une jonction graduelle P^+N et d'un angle de biseau θ faible.	59
<u>Figure 30</u> : Jonction P^+N à terminaison MESA : sillon rempli de verre.	60
<u>Figure 31</u> : Terminaison d'une jonction plane P^+N possédant deux anneaux flottants.	61
<u>Figure 32</u> : Cartographies du potentiel électrostatique (en V) d'une jonction P^+N plane polarisée en inverse, avec (a) et sans (b) anneau flottant. Une tension de 960 V est appliquée aux bornes de la jonction.....	61
<u>Figure 33</u> : Cartographies du champ électrique (en V/cm) d'une jonction P^+N plane polarisée en inverse, avec (a) et sans (b) anneau flottant. Une tension de 960 V est appliquée aux bornes de la jonction.....	62
<u>Figure 34</u> : Terminaison JTE d'une jonction P^+N . Par souci de clarté, la ZCE côté P n'a pas été représentée.....	63
<u>Figure 35</u> : Terminaison P^- d'une jonction P^+N polarisée sous 1200V: a) cartographie du potentiel électrostatique (en V) b) cartographie du champ électrique (en V/cm).....	63
<u>Figure 36</u> : Jonction P^+N à plaque de champ. Par souci de clarté, la ZCE côté P^+ n'a pas été représentée.....	64

<u>Figure 37</u> : Jonction P^+N à plaque de champ semi-résistive. Par souci de clarté, la ZCE côté P^+ n'a pas été représentée.	64
<u>Figure 38</u> : Terminaison de jonction P^+N concave : a) avec caissons dopés P traversants (P_{iso}) b) avec tranchées remplies de polysilicium (Poly-Si) dopé P. Par souci de clarté, la ZCE côté P n'a pas été représentée.	65
<u>Figure 39</u> : Terminaison « tranchée » d'une jonction P^+N . Par souci de clarté, la ZCE côté P n'a pas été représentée.	66
<u>Figure 40</u> : Terminaison « Resurf » d'une jonction P^+N . Par souci de clarté, la ZCE côté P n'a pas été représentée.	66
<u>Figure 41</u> : Répartition géographique des origines du courant de fuite.	69
<u>Figure 42</u> : Blocage du SCR positif du TRIAC : a) polarisation inverse b) polarisation directe.	74
<u>Figure 43</u> : Illustrations de la limitation de la tenue en tension directe du SCR positif du TRIAC par effet « reach through » : a) déplétion complète de la région N b) déplétion complète de la région P_2	76
<u>Figure 44</u> : Technologie DOUBLE MESA.	80
<u>Figure 45</u> : Technologie PLANAR et ses deux variantes de passivation (Cf. texte pour plus de détails).	81
<u>Figure 46</u> : Technologie TOP GLASS.	81
<u>Figure 47</u> : Fixation puce par pâte à souder et connectiques « clips » : a) vue de dessus b) coupe verticale.	82
<u>Figure 48</u> : Fixation puce par soudure souple et connectiques fils : a) fil simple point b) double fil simple point c) fil double point d) rubans.	82
<u>Figure 49</u> : Assemblage TRIAC DOUBLE MESA avec un piédestal.	84
<u>Figure 50</u> : Technologie PLANAR N°2 (PL2) et transistors parasites.	84
<u>Figure 51</u> : Périphérie TRIAC à base de PS.	86
<u>Figure 52</u> : Procédé de fabrication associé à la technologie IPOS selon la méthode dite « N-type ». Un transistor bipolaire NPN est intégré [103].	94
<u>Figure 53</u> : Procédé de fabrication associé à la technologie IPOS selon la méthode dite « P-type ». Un transistor bipolaire NPN est intégré [103].	94
<u>Figure 54</u> : Procédé de fabrication associé à la technologie FIPOS [106].	95
<u>Figure 55</u> : Variante de technologie SOI à base de PS selon une première proposition de Watanabe <i>et al.</i> [107].	96
<u>Figure 56</u> : Variante de technologie SOI à base de PS selon une seconde proposition de Watanabe <i>et al.</i> [107].	96
<u>Figure 57</u> : Variante de technologie SOI à base de PS selon une troisième proposition de Watanabe <i>et al.</i> [107].	97
<u>Figure 58</u> : Variante de technologie SOI à base de PS selon une proposition de Pogge <i>et al.</i> [102]. ...	97

<u>Figure 59</u> : Variante de technologie SOI à base de PS selon une proposition de Frye <i>et al.</i> [109].	98
<u>Figure 60</u> : Vues MEB (Microscope Electronique à Balayage) du procédé PS double couche nécessaire à la fabrication des plaquettes ELTRAN (extraites de [110]).	99
<u>Figure 61</u> : Vues MEB de la couche PS superficielle (PS1) avant (a) et après recuit H ₂ et pré-injection SiH ₄ (b) (extraites de [110]).	99
<u>Figure 62</u> : Finalisation du procédé de fabrication ELTRAN : collage des deux wafers « seed » et « handle », séparation au niveau de la couche PS et finition du wafer SOI [110].	100
<u>Figure 63</u> : Vues MEB de la surface de la plaquette ELTRAN obtenue après séparation et gravure du PS avant (a) et après (b) traitement thermique de planarisation sous hydrogène (extraites de [110]).	100
<u>Figure 64</u> : Utilisation du PS pour la réalisation de caissons diffusés P _{iso} (selon [111]).	101
<u>Figure 65</u> : Passivation (a, b, c) ou effet getter (a, b, d, e) apporté par la formation d'une couche de PS dans le fond des sillons d'un TRIAC DOUBLE MESA selon [114]. Le chemin de découpe séparant deux puces adjacentes est indiqué en pointillé noir.	103
<u>Figure 66</u> : Procédé de formation d'une matrice de pores ordonnés et localisés sur un substrat N fortement résistif et orienté (100) (étapes a, b, c et d selon [57] et [52]) et réalisation d'une TI (étape e selon [57]).	104
<u>Figure 67</u> : Coupe verticale MEB d'une matrice de pores ordonnés résultant du procédé de fabrication décrit Figure 66 (extraite de [52]).	104
<u>Figure 68</u> : Procédé de fabrication de TI dans un substrat N à partir d'un dopage P TGZM porosifié selon [119].	105
<u>Figure 69</u> : Coupe verticale MEB de TI résultant du procédé de fabrication décrit sur la Figure 68 (extraite de [119]).	105
<u>Figure 70</u> : Les catégories de PS : a) micro-PS (Vue MEB extraite de [122]), b) méso-PS (vue MEB extraite de [123]), c) macro-PS (vue MEB extraite de [52]).	106
<u>Figure 71</u> : Caractéristiques morphologiques du PS selon X. G. Zhang [124, 125].	107
<u>Figure 72</u> : Niveaux d'énergies représentatifs d'un semi-conducteur et d'un électrolyte isolés.	111
<u>Figure 73</u> : Caractéristique J _{ano} - V du Si (P, N ⁺ ou N éclairé) dans une solution aqueuse de HF. La référence de potentiel correspond au potentiel en circuit ouvert (OCP, Open Circuit Potential).	113
<u>Figure 74</u> : Phénomène de transport en régime anodique selon [144]. Régime de fort courant, limité par la diffusion des espèces actives dans la solution (a), et régime de courant modéré, limité par la diffusion des trous dans le matériau (b).	113
<u>Figure 75</u> : Schémas réactionnels de formation de PS en régime anodique dans le cas d'une surface (100) (extraits de [45]).	115
<u>Figure 76</u> : Schémas réactionnels d'érosion en régime anodique dans le cas d'une surface (100) (extraits de [45]).	116
<u>Figure 77</u> : Schématisation des mécanismes physiques et chimiques conduisant à la formation des pores selon [129]: a) orientation cristalline b) accentuation du champ électrique aux extrémités des	

pores c) transport limité par la ZCE d) résistance des cristallites de Si e) confinement quantique f) croissance d'un oxyde.	117
<u>Figure 78</u> : Différents phénomènes physiques à l'origine de la passivation des parois des pores (ZCE et confinement quantique (CQ)), mécanismes de conduction associés et morphologie finale du PS selon [123].	118
<u>Figure 79</u> : Initiation des pores illustrée dans le cas de la croissance de macro-pores dans le type N éclairé en face arrière. Les effets de la surgravure en bordures de masques sont ici négligés (schéma extrait de [124]).	120
<u>Figure 80</u> : Relevé du potentiel anodique (V_{ano}) en fonction du temps (chrono-voltamétrie) lors de la formation de PS à partir d'un substrat P (111) de résistivité 6 - 12 Ω .cm. J_{ano} a été fixée à 25 mA.cm ² . Une cellule électrochimique double cuve, remplie d'un électrolyte HF aqueux a été utilisée. Quatre régions A, B, C et D sont distinguées (voir le texte pour les détails).	121
<u>Figure 81</u> : Représentation schématique d'une cellule électrochimique verticale.	122
<u>Figure 82</u> : Représentation schématique d'une cellule électrochimique horizontale. Le dégagement de H ₂ est indiqué par des petites bulles blanches.	123
<u>Figure 83</u> : Représentation schématique d'une cellule électrochimique double cuve. La face du substrat Si qui sera transformée en PS est située en vis-à-vis de la cathode du circuit électrochimique.	123
<u>Figure 84</u> : Coupe transversale (a) et vue globale (b) de la cellule électrochimique à double cuve développée par AMMT®. D'une contenance de 8 l, elle permet l'anodisation de plaquettes de Si jusqu'à 6 pouces de diamètre.	124
<u>Figure 85</u> : Profil vertical typique de diffusion P_{iso} (type P dans un substrat N).	129
<u>Figure 86</u> : Procédés de fabrication des échantillons de caractérisation électrique du PS. (*) SOD uniquement réalisé sur les substrats de concentration inférieure à 1.10^{18} cm ⁻³ . (**) PVD : Physical Vapor Deposition.	133
<u>Figure 87</u> : Motifs de caractérisation de forme circulaire. Quatre diamètres sont accessibles : 0,25 ; 0,5 ; 1 et 2 mm.	134
<u>Figure 88</u> : Exemple de profil t_{PS} . Le plan de coupe est indiqué dans l'encadré en bas à droite (AA'). t_{PS} est extrait en considérant une moyenne de l'épaisseur entre les deux curseurs bleu et orange.	135
<u>Figure 89</u> : f_{PS} en fonction J_{ano} pour le substrat 6 - 12 Ω .cm.	136
<u>Figure 90</u> : f_{PS} en fonction de J_{ano} pour le substrat 6 - 12 Ω .cm et comparaison par rapport aux données de Unno <i>et al.</i> [191], Arita <i>et al.</i> [154], ainsi que Lehmann <i>et al.</i> [192].	137
<u>Figure 91</u> : $P_{\%}$ en fonction de J_{ano} pour le substrat 6 - 12 Ω .cm.	138
<u>Figure 92</u> : f_{PS} en fonction de J_{ano} pour le substrat 80 - 120 m Ω .cm.	139
<u>Figure 93</u> : f_{PS} en fonction de J_{ano} pour le substrat 80 - 120 m Ω .cm et comparaison par rapport aux données de Lehmann <i>et al.</i> [192], Arita <i>et al.</i> [154], ainsi que Labunov <i>et al.</i> [151].	139
<u>Figure 94</u> : $P_{\%}$ en fonction de J_{ano} pour le substrat 80 - 120 m Ω .cm.	140
<u>Figure 95</u> : f_{PS} en fonction J_{ano} pour le substrat 10 - 15 m Ω .cm.	140

<u>Figure 96</u> : f_{ps} en fonction de J_{ano} pour le substrat 10 - 15 mΩ.cm et comparaison par rapport aux données de Lehmann <i>et al.</i> [192] ainsi que Arita <i>et al.</i> [154].	141
<u>Figure 97</u> : $P_{\%}$ en fonction J_{ano} pour le substrat 10 - 15 mΩ.cm.	141
<u>Figure 98</u> : Courbes chrono-voltamétriques $V_{ano}(t)$ associées au substrat 80 - 120 mΩ.cm et pour $J_{ano} = 25$ mA/cm ² .	142
<u>Figure 99</u> : Observation MEB, après clivage et au niveau de l'interface PS / Si, associée à la plaquette test C_J50_D15_H ($P_{\%} = 36 \%$).	144
<u>Figure 100</u> : Observation MEB de la plaquette test B_J50_D10_S ($P_{\%} = 47 \%$) après clivage.	145
<u>Figure 101</u> : Comparaison de l'interface PS / Si en fonction de la $P_{\%}$ pour les plaquettes tests B_J15_D36_H ($P_{\%} = 42 \%$) et B_J150_D5_S ($P_{\%} = 64 \%$) (vues MEB après clivage).	146
<u>Figure 102</u> : Observations TEM se focalisant sur la morphologie PS superficielle de la plaquette test B_J10_D35_H ($P_{\%} = 41 \%$).	146
<u>Figure 103</u> : Observation MEB, après clivage et au niveau de l'interface PS / Si, associée à la plaquette test A_J100_D10_S ($P_{\%} = 69 \%$).	147
<u>Figure 104</u> : Observations TEM se focalisant sur la morphologie PS superficielle de la plaquette test A_J25_D35_S ($P_{\%} = 65 \%$). Les vues zoomées N°1 et N°2 sont focalisées sur la couche macroporeuse et sur l'interface entre les deux types de PS respectivement.	147
<u>Figure 105</u> : a) Principe de la mesure de capacité b) Configuration de la mesure de capacité appliquée aux plaquettes tests PS.	149
<u>Figure 106</u> : Configuration des mesures I - V sur les plaquettes tests.	149
<u>Figure 107</u> : Evolution de C_{PS} (1 MHz, 100 mV) du wafer A_J50_D30_S (Cf. Tableaux 4 et 7) en fonction de la surface (S) des plots mesurés.	152
<u>Figure 108</u> : Evolution de ϵ_{PS} en fonction de la $P_{\%}$, mesures à $f = 1$ MHz. Tous les cas décrits dans les Tableaux 4 à 9 sont considérés.	153
<u>Figure 109</u> : ϵ_{PS} mesurée à $f = 1$ MHz en fonction de la $P_{\%}$, focalisation sur les données de la Figure 109 les plus faibles (< 12).	153
<u>Figure 110</u> : Evolution de ϵ_{PS} en fonction de la $P_{\%}$, mesures à $f = 10$ MHz. Tous les cas décrits dans les Tableaux 4 à 9 sont considérés.	154
<u>Figure 111</u> : ϵ_{PS} mesurée à $f = 10$ MHz en fonction de la $P_{\%}$, focalisation sur les données de la Figure 111 les plus faibles (< 12).	154
<u>Figure 112</u> : Impact de la méthode de gravure Al sur ϵ_{PS} . Les mesures ont été effectuées à 1 MHz. Les trois familles de substrats sont représentées.	155
<u>Figure 113</u> : Distribution du champ électrique dans une couche de PS : a) déplétion partielle b) déplétion complète (selon [202]).	159
<u>Figure 114</u> : Largeur de la ZCE (W) en fonction d'un dopage substrat de type P (N_A) et de la densité de charges positives à la surface des pores (Q_{PS}).	160

<u>Figure 115</u> : Schématisation de la densité d'état en fonction de l'énergie dérivée du diagramme de bandes du Si amorphe hydrogéné [185].	163
<u>Figure 116</u> : Transport de charges (électrons e-) par saut entre cristallites voisins lorsque le niveau initial est plus bas en énergie par rapport à l'état final (a) et inversement (b).	163
<u>Figure 117</u> : Caractéristiques I - V schématiques d'un régime de conduction SCLC à simple porteur dans le cas de pièges profonds et superficiels.	166
<u>Figure 118</u> : Diagramme de bandes d'une interface Méso-PS / Si : a) à l'équilibre b) en polarisation directe c) en polarisation inverse (selon [188]). Le Si est ici de type P.	169
<u>Figure 119</u> : Diagramme de bandes d'une hétéro jonction isotype P schématisant l'interface PS / Si.	170
<u>Figure 120</u> : Caractéristique I - V typique observée sur des structures Al / PS / Si / Al obtenues à partir d'un substrat 6 - 12 Ω .cm (Cas du wafer A_J100_D15_S à 200 °C).	171
<u>Figure 121</u> : Caractéristique I - V typique observée sur des structures Al / PS / Si / Al obtenues à partir d'un substrat 80 - 120 m Ω .cm (Cas du wafer B_J25_D30_S à 30 °C).	172
<u>Figure 122</u> : Caractéristique I - V typique observée sur des structures Al / PS / Si / Al obtenues à partir d'un substrat 80 - 120 m Ω .cm (Cas du wafer B_J25_D35_H2 à 200 °C).	173
<u>Figure 123</u> : Caractéristique I - V typique observée sur des structures Al / PS / Si / Al obtenues à partir d'un substrat 10 - 15 m Ω .cm (Cas du wafer C_J50_D15_H à 30 °C).	174
<u>Figure 124</u> : Caractéristique I - V typique observée sur des structures Al / PS / Si / Al obtenues à partir d'un substrat 10 - 15 m Ω .cm (Cas du wafer C_J10_D20_S à 100 °C).	174
<u>Figure 125</u> : Caractéristique I - V avec une conduction SCLC observée sur des structures Al / PS / Si / Al obtenues à partir d'un substrat 10 - 15 m Ω .cm (Cas du wafer C_J25_D15_S_600 à 100 °C).	175
<u>Figure 126</u> : Évolution de ρ PS en fonction de la $P_{\%}$ à 30 °C.	177
<u>Figure 127</u> : Evolution de ρ PS en fonction de la $P_{\%}$ à 100 °C.	178
<u>Figure 128</u> : Evolution de ρ PS en fonction de la $P_{\%}$ à 200 °C.	178
<u>Figure 129</u> : Tendance ρ PS = f($P_{\%}$) pour différentes T. Les trois types de substrats étudiés sont intégrés dans chacune des courbes représentées.	179
<u>Figure 130</u> : Activation de ρ PS associée au wafer A_J15_D105_S.	180
<u>Figure 131</u> : Doubles activations observées sur les wafers C_J10_D20_S2 (Comportement dit « DA1 » en bleu) et A_J50_D20_H (Comportement dit « DA2 » en rouge).	180
<u>Figure 132</u> : Formalisme de Meyer-Neldel appliqué aux ρ PS extraites des structures Al / PS / Si / Al construites à partir des trois substrats A, B et C telles qu'indiquées dans les Tableaux 4, 5 et 6. La première loi en rouge comprend toutes les plaquettes issues de la famille C et celles de B dont les $P_{\%}$ sont inférieures à 45 %. La seconde loi en bleu rassemble les cas restants (Familles A et B avec $P_{\%} > 45\%$).	182
<u>Figure 133</u> : Evolution de ρ PS en fonction de la $P_{\%}$ dépendamment du procédé de gravure Al adopté: sec ou humide (Cf. paragraphe 1.4).	183

<u>Figure 134</u> : Evolutions $\rho_{PS} = f(T)$ du wafer A_J25_D60_S et vieillissement dans le temps. Chaque série de mesures est séparée de quelques jours.	183
<u>Figure 135</u> : Evolutions $\rho_{PS} = f(T)$ du wafer B_J150_D5_H et vieillissement dans le temps. Chaque série de mesures est séparée de quelques jours.	184
<u>Figure 136</u> : Relevé I - V de 0 à 1000 V sur la caractéristique directe (polarisation négative sur PS) du wafer A_J100_D15_S à 30 °C.	185
<u>Figure 137</u> : Vue MEB (Microscope Electronique à Balayage) d'un profil P_{iso} diffusé dans un substrat N (30 - 45 Ω .cm) et anodisé 30 min à 60 mA/cm ²	190
<u>Figure 138</u> : Vue MEB correspondant à la structure de la Figure 137, après retrait de la couche PS par KOH.	191
<u>Figure 139</u> : Focalisation sur la P_{ψ} -PS étudiée et mise en évidence des interfaces également impliquées dans les performances en blocage du TRIAC : PS / P_2 (Int ₁), PS / N (Int ₂) et PS / P_{iso} (Int ₃).	192
<u>Figure 140</u> : Motif de caractérisation de l'interface PS / P_2 (Int ₁).	192
<u>Figure 141</u> : Motif de caractérisation de l'interface PS / N (Int ₂).	193
<u>Figure 142</u> : Motif de caractérisation de l'interface PS / P_{iso} (Int ₃).	193
<u>Figure 143</u> : Schématisation des principales étapes de fabrication du TRIAC P_{ψ} -PS données dans le Tableau 13 (Par souci de simplification, les oxydes nécessaires aux opérations 2, 3 et 4 ont été retirés et l'étape 5 n'a pas été représentée).	194
<u>Figure 144</u> : Vue du wafer masqué Si_xN_y en sortie d'anodisation. Conditions d'anodisation : $J_{ano} = 90$ mA/cm ² , $D_{ano} = 30$ min. La couche Si_xN_y s'est décollée.	199
<u>Figure 145</u> : Relevé chrono-voltamétrique $V_{ano}(t)$, associé au wafer masqué Si_xN_y , $J_{ano} = 90$ mA/cm ² , $D_{ano} = 30$ min. L'instant correspondant au décollement du masque est identifié par une flèche rouge.	199
<u>Figure 146</u> : Adhésion du FP lors de l'anodisation : a) avec un oxyde intermédiaire b) dépôt direct sur le substrat Si c) « révélation » du substrat Si avant dépôt FP dans un mélange HF : acac : H ₂ O.	200
<u>Figure 147</u> : Résidus après retrait du masque FP. Le PS sur P_{iso} est clairement visible (couleur orangée) ainsi que la gravure latérale ayant lieu sous le masque (couleur bleutée). Conditions d'anodisation : $d_{revel} = 15$ min, $J_{ano} = 20$ mA/cm ² , $D_{ano} = 90$ min.	201
<u>Figure 148</u> : Relevé chrono-voltamétrique $V_{ano}(t)$, associé au wafer masqué FP avec $d_{revel} = 30$ min, $J_{ano} = 20$ mA/cm ² , $D_{ano} = 90$ min.	201
<u>Figure 149</u> : Relevé chrono-voltamétrique $V_{ano}(t)$, associé au masquage par résine négative épaisse (6 μ m). Trois conditions d'anodisation testées : $J_{ano} = 20$ mA/cm ² et $D_{ano} = 60$ min (Rouge), $J_{ano} = 35$ mA/cm ² et $D_{ano} = 45$ min (Bleu), $J_{ano} = 90$ mA/cm ² et $D_{ano} = 30$ min (Vert).	202
<u>Figure 150</u> : Vue du wafer avec masquage en résine négative en sortie d'anodisation. Conditions d'anodisation : $J_{ano} = 35$ mA/cm ² , $D_{ano} = 45$ min. Le masque est bien présent mais des « dentelles » et des piqûres l'ont endommagé. Le PS sur P_{iso} présente une couleur claire.	203

<u>Figure 151</u> : Impact de la conception sur l'anodisation et la localisation du PS : a) V_{ano} se distribue à la fois dans le masque PS et la jonction inverse P^+N (Cf. Figures 152 a, b et c) b) le champ électrique ne se déploie que dans le masque PS, de fait plus éprouvé (Cf. Figures 153 a, b et c).....	204
<u>Figure 152</u> : Cartographie du champ électrique associé à la Figure 151a lorsque l'électrolyte est polarisé négativement (-15 V) par rapport au substrat N : a) vue globale b) zoom sur la zone N^+ c) zoom sur le diélectrique de masquage PS. Les contacts électriques, dont celui associé à l'électrolyte en face avant, sont représentés en violet.	205
<u>Figure 153</u> : Cartographie du champ électrique associé à la Figure 151b lorsque l'électrolyte est polarisé négativement (-15 V) par rapport au substrat N : a) vue globale b) zoom sur la zone N^+ c) zoom sur le diélectrique de masquage PS. Les contacts électriques, dont celui associé à l'électrolyte en face avant, sont représentés en violet.	205
<u>Figure 154</u> : Optimisation de la P_{ψ} -PS pour profiter de la sélectivité de l'anodisation en fonction du dopage.	206
<u>Figure 155</u> : Règles de conception de la P_{ψ} -PS au niveau des ouvertures masque P_{iso} et PS.....	207
<u>Figure 156</u> : Symétrisation de la P_{ψ} -PS : croissance PS de part et d'autre de la diffusion P_{iso} pour des fins d'améliorations du « warp ».....	207
<u>Figure 157</u> : Vue optique du Ca_{PS} au niveau de la P_{ψ} TRIAC du wafer W6_J20_t90_FP. Les ouvertures réalisées lors de l'anodisation sont repérées par les deux flèches rouges. Le chemin de découpe entre deux puces est également identifié en pointillé bleu. Les extrémités des diffusions latérales P_{iso} à la surface de la plaquette sont localisées par des flèches vertes.....	209
<u>Figure 158</u> : Vue en coupe de la P_{ψ} -PS après révélation (wafer W6_J35_t45_NEG). Les faces FX et FO de la plaquette sont indiquées. Les limites du Ca_{PS} et des jonctions PN sont données en pointillé marron et blanc respectivement.....	209
<u>Figure 159</u> : Observations MEB à proximité de la surface du Ca_{PS} (Cf. repères de la vue optique (a) issue d'un zoom de la Figure 157) en vis-à-vis (b) et excentré (c) par rapport à l'ouverture du masque PS (wafer W6_J35_t45_NEG).	211
<u>Figure 160</u> : Observations MEB dans le volume du Ca_{PS} (b) ainsi qu'au niveau du front de gravure vertical (c). La vue optique (a) issue de la Figure 157 est donnée pour faciliter le repérage des coupes b et c. (wafer W6_J35_t45_NEG).	211
<u>Figure 161</u> : Evolution de C_{PS} en fonction de la surface contactée. Les résultats des wafers W6_J35_t45_NEG et W6_J20_t90_FP sont indiqués en bleu et en rouge respectivement. Pour chaque plaquette, les mesures sont associées à la fois aux motifs Int_1 (Cf. Figure 140) et Int_2 (Cf. Figure 141). Le graphe est également complété par les données (REF) du wafer C_J50_D15_S ($\epsilon_{PS} = 8,3$; $P_{\%} = 36$ % ; $t_{PS} = 32 \mu m$) discuté dans le chapitre 3.	212
<u>Figure 162</u> : Caractéristiques I - V associées au motif Int_2 du wafer W6_J20_t90_FP à $T = 50^\circ C$. Les polarisations directe et inverse sont respectivement données en rouge et bleu. R_{PS} est extraite en régime direct dans la zone la plus linéaire délimitée par des tirets noirs.	214

<u>Figure 163</u> : Caractéristiques I - V associées au motif Int ₁ du wafer W6_J20_t90_FP à T = 50 °C. Les polarisations directe et inverse sont respectivement données en bleu et rouge. R _{PS} est extraite en régime direct dans la zone la plus linéaire délimitée en pointillé noir en haut à droite du graphe. Des tirets noirs en bas à gauche bornent les parties de courbes présentant un comportement redresseur suivi d'une saturation.	214
<u>Figure 164</u> : Caractéristiques I - V associées au motif Int ₁ du wafer W6_J35_t45_NEG à T = 50 °C. Les polarisations directe et inverse sont respectivement données en bleu et rouge. R _{PS} est extraite en régime direct dans la zone la plus linéaire délimitée en pointillé noir en haut à droite du graphe. Des tirets noirs en bas à gauche bornent les parties de courbes présentant un comportement dit de « forte résistance ».	215
<u>Figure 165</u> : Evolution de R _{PS} en fonction de 1/T associées au wafer W6_J35_t45_NEG. Les motifs Int ₁ , Int ₂ et Int ₃ sont respectivement représentés en bleu, en rouge et en vert.	216
<u>Figure 166</u> : Evolution de R _{PS} en fonction de l'inverse de T, cas du wafer W6_J20_t90_FP. Les motifs Int ₁ , Int ₂ et Int ₃ sont respectivement représentés en bleu, en rouge et en vert.	216
<u>Figure 167</u> : Formalisme de Meyer-Neldel appliqué aux R _{PS} issues de G _{m1} , et G _{m2} . Les deux plaquettes W6_J35_t45_NEG (points bleus) et W6_J20_t90_FP (points rouges) sont considérées dans l'analyse.	218
<u>Figure 168</u> : Chemins de courant attendus au sein des motifs de caractérisation de la périphérie PS : a) Int ₁ et Int ₃ b) Int ₂ . Les courants traversant Int ₁ , Int ₂ et Int ₃ sont respectivement représentés par des flèches rouge, bleu foncé et bleu ciel. Les jonctions PN sont indiquées par en pointillé blanc.	218
<u>Figure 169</u> : Tenue en tension directe de la P _ψ _PS associée à la plaquette W6_J35_t45_NEG à T ambiante. Un retournement est observé lorsque la tension dépasse 80 V. La surface de contact du motif TRIAC est de 7,6 mm ²	220
<u>Figure 170</u> : Tenue en tension inverse de la P _ψ _PS associée à la plaquette W6_J35_t45_NEG à T ambiante. La surface de contact du motif TRIAC est de 7,6 mm ²	220
<u>Figure 171</u> : Vues EBIC à 0 (a) et 20 V (b) de la P _ψ _PS. L'expérimentation a été menée à partir d'une coupe verticale d'un motif Int ₃ issu du wafer W6_J20_t90_FP. Le chuck conducteur contacte la face arrière de la structure à un potentiel de référence. Le substrat N est polarisé positivement à l'aide d'une pointe de mesure. Cette configuration ne permet que l'évaluation du régime inverse de la P _ψ _PS. ..	221
<u>Figure 172</u> : Tenues en tension typiques des plaquettes W6_J20_t90_FP (en bleu) et W6_J35_t45_NEG (en rouge) avec double isolation PS et à T ambiante. L'encadré en haut à droite présente la configuration de mesure. La surface des contacts est de 0,09 mm ² et 0,04 mm ² sur W6_J20_t90_FP et W6_J35_t45_NEG respectivement. La surface de contact des motifs de caractérisation est de 2 mm ²	221
<u>Figure 173</u> : Structure de simulation relative à la P _ψ _PS. Deux puces Pu _A et Pu _B sont séparées par le Ca_PS et P _{iso} (Cf. tirets noirs). Les dopages types P et N sont respectivement indiqués par des couleurs froides et chaudes. Les contacts électriques sont indiqués en violet (Anode/Cathode 1 pour la puce Pu _A	

et Anode/Cathode 2 pour la puce Pu _B). OVP _{iso} correspond à l'ouverture P _{iso} considérée en simulation.	225
<u>Figure 174</u> : Impact de l'ouverture photolithographique de P _{iso} (OVP _{iso}) sur l'isolation des diffusions P _{iso} et P ₂ . Lorsque OVP _{iso} est trop élevée, un canal P est présent (b) et engendre une perte de l'IE (a). La légende et l'échelle des dopages sont strictement identiques à la Figure 173.....	225
<u>Figure 175</u> : Simulation électrique de la caractéristique directe de la P _{ij} -PS : a) circuit électrique dans lequel est placée la structure b) transitoire de tension appliqué.	226
<u>Figure 176</u> : Comparaison de la configuration de simulation Ψ_1 avec les résultats de mesures des Figures 169 et 170 (Wafer W6_J35_t45_NEG).	227
<u>Figure 177</u> : Comparaison de la configuration de simulation Ψ_2 avec les résultats de mesures des Figures 169 et 170 (Wafer W6_J35_t45_NEG).	227
<u>Figure 178</u> : Cartographies du champ électrique (en V/cm) obtenues pour la configuration Ψ_1 en régime direct pour V _{out} = 1 V (a), V _{out} = 20 V (b) et V _{out} = 80 V (c). La polarisation est appliquée entre Anode et Cathode 1 (Cf. Figure 175).	228
<u>Figure 179</u> : Cartographies du champ électrique (en V/cm) obtenues pour la configuration Ψ_1 en régime inverse pour V _{out} = -1 V (a), V _{out} = -20 V (b) et V _{out} = -80 V (c). A -80 V, la ZCE rejoint quasiment la jonction opposée (flèche rouge). La polarisation est appliquée entre Anode et Cathode 1 (Cf. Figure 175).	228
<u>Figure 180</u> : Cartographies des densités de courant total obtenues pour la configuration Ψ_1 en régime direct pour V _{out} = 1 V (a), V _{out} = 20 V (b) et V _{out} = 80 V (c). La polarisation est appliquée entre Anode et Cathode 1 (Cf. Figure 175).	229
<u>Figure 181</u> : Comparaison Simulation / Mesures en configuration double isolation pour le wafer W6_J20_t90_FP. La courbe « mesures » provient de la Figure 172.	230
<u>Figure 182</u> : Comparaison Simulation / Mesures en configuration double isolation pour le wafer W6_J35_t45_NEG. La courbe « mesures » provient de la Figure 172.	230
<u>Figure 183</u> : Impact des propriétés diélectriques du PS sur les caractéristiques de blocage de la P _{ij} -PS sur la base de la configuration de simulation Ψ_1 (OVP _{iso} = 180 μm , D _{ps} = 1.10 ¹² cm ⁻³ et C _{inter} = -1.10 ¹¹ cm ⁻²). Les mobilités (μ) sont exprimées en cm ² /(V.s).	231
<u>Figure 184</u> : P _{ij} -PS avec une isolation physique entre les dopages P ₂ et P _{iso} (d _{iso} = 125 μm). t _{ps} est variable : a) 65 μm b) 125 μm	232
<u>Figure 185</u> : Caractéristiques I - V associées à la P _{ij} -PS disposant d'une isolation physique supplémentaire (d _{iso} = 125 μm) en utilisant les paramètres de simulation de la configuration Ψ_1 (Cf. Tableau 15) et ce pour t _{ps} = 65, 105 et 125 μm	232
<u>Figure 186</u> : Caractéristiques I - V associées à la P _{ij} -PS disposant d'une isolation physique supplémentaire (d _{iso} = 125 μm) en utilisant les paramètres de simulation de la configuration Ψ_2 (Cf. Tableau 15) et ce pour t _{ps} = 65, 105 et 125 μm	233

<u>Figure 187</u> :	Cartographies du champ électrique (a et c) et des densités de courant total (b et d) de la P _{JS} -PS disposant d'une isolation physique supplémentaire ($d_{iso} = 125 \mu m$) extraites à 600 V, $t_{ps} = 105 \mu m$ et une configuration de simulation ψ_2 (Cf. Tableau 15), à la fois pour les régimes direct (c et d) et inverse (a et b). La polarisation est appliquée entre Anode et Cathode 2 (Cf. Figure 175).	234
<u>Figure 188</u> :	Impact de C_{inter} sur la tenue au blocage en régime direct de la P _{JS} -PS disposant d'une isolation physique supplémentaire ($d_{iso} = 125 \mu m$). Le PS a été paramétré pour une $P_{\%}$ équivalente à 80 % soit $\epsilon_{PS} = 3$ et $\rho_{PS} = 1.10^{11} \Omega.cm$, $t_{ps} = 125 \mu m$ et $D_{ps} = 1.10^{12} /cm^3$	235
<u>Figure 189</u> :	Impact de C_{inter} sur la tenue au blocage en régime inverse de la P _{JS} -PS disposant d'une isolation physique supplémentaire ($d_{iso} = 125 \mu m$). Le PS a été paramétré pour une $P_{\%}$ équivalente à 80 % soit $\epsilon_{PS} = 3$ et $\rho_{PS} = 1.10^{11} \Omega.cm$, $t_{ps} = 125 \mu m$ et $D_{ps} = 1.10^{12} /cm^3$	235
<u>Figure 190</u> :	Principales normes CEM.	268
<u>Figure 191</u> :	Formes d'onde associées à la norme IEC61000-4-4.....	269
<u>Figure 192</u> :	Surcharge en tension relative à la norme IEC61000-4-5. Les pics U_n et U_c représentent respectivement la crête secteur et l'amplitude de la surcharge.	270
<u>Figure 193</u> :	Passage du TRIAC d'un état de forte impédance à un état de faible impédance suite à l'application d'une onde de choc IEC61000-4-5. La tension aux bornes des électrodes de puissance du TRIAC et le courant le traversant sont respectivement représentés par les oscillogrammes noir et rouge.....	270
<u>Figure 194</u> :	Effet de pente négative (a) et « snap back » (b) dans l'avalanche (V_{BR}).	271
<u>Figure 195</u> :	Configuration de protection de TRIAC à base de MOV (a) et de TVS (b).	272
<u>Figure 196</u> :	Emploi d'un snubber (R_s et C_s) dans les applications à base de TRIAC.	273
<u>Figure 197</u> :	Schéma d'un assemblage et RTH. (a) boîtier seul : la chaleur est évacuée via la RTH _{ja} . (b) boîtier fixé sur un radiateur externe : la chaleur est dissipée via les RTH _{jc} , RTH _{ch} et RTH _{ha} (Cf. texte pour plus de détails).....	274
<u>Figure 198</u> :	Simulation de la résistance thermique RTH _{ha} en fonction de la géométrie du radiateur en Cu (étude extraite de [12]). L'encadré présente la structure considérée (Cf. texte pour plus de détails).	275
<u>Figure 199</u> :	Exemple de courbe de ZTH normalisée par rapport à RTH en fonction de la durée de conduction du TRIAC (t_p) (extrait de la spécification du BTB12 proposé par la société ST Microelectronics).	276
<u>Figure 200</u> :	Panel de boîtiers utilisés pour les TRIACs. En haut : boîtiers montés en surface (de l'anglais « Surface Mounted Devices »). En bas : boîtiers traversant le circuit imprimé.	276
<u>Figure 201</u> :	Boîtiers avec IE. a) isolation résine. b) isolation céramique. Les points pour lesquels l'IE est garantie au niveau du boîtier sont représentés en rouge.	276
<u>Figure 202</u> :	Gestion de la puissance dissipée en mode bloqué (P_{OFF}) et conditions de stabilité.	278
<u>Figure 203</u> :	Interrupteur AC à base de deux SCRs tête bêche.	282

<u>Figure 204</u> : Interrupteur AC à base de deux SCRs, le premier à gâchette de cathode (standard) et le second à gâchette d'anode (AGT).....	283
<u>Figure 205</u> : Structure schématique de l'ACS TM : a) schéma électrique équivalent b) architecture Si associée.....	283
<u>Figure 206</u> : SCR et profils de diffusion : sans polarisation (en noir), avec polarisation en forte injection (en vert), avec polarisation et très forte injection (en rouge).....	285
<u>Figure 207</u> : Equivalence SCR (gauche) / diode PIN (droite).....	285
<u>Figure 208</u> : D_a en fonction de la concentration de porteurs n (extrait de [8]).....	286
<u>Figure 209</u> : Représentation graphique de la fonction F_L avec le ratio d/L_a selon [8].	287
<u>Figure 210</u> : Importance de différents mécanismes physiques sur V_T : cas d'un SCR 2,5 kV à $T = 400$ K selon [268] (Cf. texte pour plus de détails).	289
<u>Figure 211</u> : Représentation schématique de la ZA d'un TRIAC : a) ZA non homogène en matière de sensibilité b) ZA équilibrée par ajout de trous de court-circuit supplémentaires.	290
<u>Figure 212</u> : Coupe verticale AB du SCR relatif à la Figure 211a (seul le Si contacté est représenté).	291
<u>Figure 213</u> : Structure SCR à commande Q1 et son découpage en transistors élémentaires.	291
<u>Figure 214</u> : Structure SCR court-circuitée à commande Q1 et son découpage en transistors élémentaires.....	293
<u>Figure 215</u> : Structure SCR court-circuitée à commande Q3 et son découpage en transistors élémentaires.....	294
<u>Figure 216</u> : Structure SCR court-circuitée à commande Q2.....	296
<u>Figure 217</u> : Décomposition du SCR Q2 en transistors élémentaires : a) première phase b) seconde phase de l'amorçage (Voir texte pour la description complète du mécanisme d'amorçage faisant intervenir chacune des deux phases).	297
<u>Figure 218</u> : Structure SCR court-circuitée à commande Q4.....	298
<u>Figure 219</u> : Décomposition du SCR Q4 en transistors élémentaires : a) première phase b) seconde phase de l'amorçage (Voir texte pour la description complète du mécanisme d'amorçage faisant intervenir chacune des deux phases).	299
<u>Figure 220</u> : Phases de recouvrement typiques lors du blocage du TRIAC (selon [7]).	302
<u>Figure 221</u> : TRIAC et courants de porteurs lors de la commutation. Les flèches noires reflètent le courant de déplacement, les flèches bleues le courant associé aux charges accumulées.	303
<u>Figure 222</u> : Dessin de TRIAC à gâchette rectangulaire : a) vue de dessus b) vue de dessous.....	306
<u>Figure 223</u> : Dessin de TRIAC à gâchette circulaire : a) vue de dessus b) vue de dessous.	306
<u>Figure 224</u> : Dessin de TRIAC à gâchette en coin : a) vue de dessus b) vue de dessous.....	307
<u>Figure 225</u> : Dessin de la face avant du TRIAC. Cinq masques sont nécessaires : P_{iso} , N^+ , PS, Passivation et Métallisation.....	308
<u>Figure 226</u> : Dessin de la face arrière du TRIAC. Deux masques sont nécessaires : P_{iso} et N^+	309

<u>Figure 227</u> : Dessin du motif de caractérisation Int ₁ : a) face avant b) face arrière c) zoom sur la zone de contact PS (face avant). Cinq masques sont nécessaires pour la face supérieure: P _{iso} , N ⁺ , PS, Passivation et Métallisation. Un masque est nécessaire pour la face inférieure: P _{iso} . Les dopages P ⁺ supérieur et inférieur sont disposés sur la totalité des deux faces de la puce.	310
<u>Figure 228</u> : Dessin du motif de caractérisation Int ₂ : a) face avant b) face arrière c) zoom sur la zone de contact PS (face avant). Six masques sont nécessaires pour la face supérieure: P _{iso} , P ⁺ , N ⁺ , PS, Passivation et Métallisation. Un masque est nécessaire pour la face inférieure: P _{iso} . Le dopage P ⁺ inférieur est disposé sur la totalité de la surface de la puce.....	310
<u>Figure 229</u> : Dessin du motif de caractérisation Int ₃ : a) face avant b) face arrière c) zoom sur la zone de contact PS (face avant). Cinq masques sont nécessaires pour la face supérieure: P _{iso} , N ⁺ , PS, Passivation et Métallisation. Un masque est nécessaire pour la face inférieure: P _{iso} . Les dopages P ⁺ supérieur et inférieur sont disposés sur la totalité des deux faces de la puce.	311

Liste des annexes

<u>ANNEXE A</u> : Normes CEM	268
<u>ANNEXE B</u> : Comportements spécifiques dans l'avalanche des TRIACs	271
<u>ANNEXE C</u> : Amélioration de l'immunité du TRIAC par des moyens applicatifs.....	273
<u>ANNEXE D</u> : Gestion de la température de jonction (T_j) du TRIAC	274
<u>ANNEXE E</u> : Modélisation de l'avalanche des TRIACs	279
<u>ANNEXE F</u> : Autres interrupteurs bipolaires de puissance pour applications nécessitant la tension AC du secteur.....	282
<u>ANNEXE G</u> : Les mécanismes physiques et électriques en lien avec la ZA du TRIAC	284
<u>ANNEXE H</u> : Dessins du TRIAC P ₀ -PS et des motifs de caractérisation	308
<u>ANNEXE I</u> : Fichiers de simulations SENTAURUS (Synopsys).....	312

Introduction générale

Dans la famille des interrupteurs de puissance électroniques, le TRIAC (TRIode for Alternating Current) n'est probablement pas le composant le plus connu. Les transistors MOSFET (Metal Oxide Semiconductor Field Effect Transistor) et IGBT (Insulated Gate Bipolar Transistor) monopolisent en effet l'attention de la majorité des concepteurs. Néanmoins, dans le domaine des applications connectées directement sur le secteur (électroménager, éclairage, climatisation, chauffage...), le TRIAC s'est largement imposé et ce, depuis plus de cinquante ans. Les densités de puissance qu'il est capable de véhiculer constitue son attrait principal. Des technologies complexes et donc onéreuses ont dû être développées pour que les MOSFET et IGBT puissent compenser cette lacune. A l'inverse, si les IGBT et les MOSFET sont bien implantés, ils le doivent à leur commande en tension, bien plus simple et plus flexible que le pilotage en courant des TRIACs. De fait, interrupteurs MOS et TRIACs offrent des compromis de performances qui à priori se complètent. Leur coexistence semble donc durable.

Malgré sa longévité, le TRIAC reste donc un composant d'intérêt. La compétition régnant entre les différents fabricants de TRIAC en est un indicateur. Gagner en densité d'intégration offrirait sans doute un avantage concurrentiel. Cependant, très peu de développements dédiés TRIAC ont abouti ces dix dernières années. Cette situation trouve son explication. Tout d'abord, compte tenu de sa maturité, le prix de vente du TRIAC a quasiment atteint sa valeur minimale. De fait, la mise en œuvre d'améliorations doit impérativement se solder par l'absence de surcoût. La marge de manœuvre est donc faible pour les équipes de recherche. A l'inverse, sur le plan technique, les défis à surmonter sont énormes. D'un côté, manipuler des courants élevés nécessite de réduire les épaisseurs de plaquette, mais de l'autre, le blocage de tensions élevées requiert un espace suffisant dans le volume du wafer. De plus, l'emploi de plaquettes minces freine les conversions vers des diamètres plus élevés. Tout progrès technologique dans le domaine des TRIACs semble donc à première vue bien mal engagé...

Pourtant, en observant plus précisément les techniques de fabrication du TRIAC, des pistes d'investigations semblent possibles. Premier constat, toute simplification de la structure silicium (Si) engendre une complication de son assemblage et *vice versa*. Deuxièmement, les techniques d'isolation électrique au sein de la puce Si (IE) sont toujours réalisées latéralement du fait de l'emploi systématique de matériau étranger au Si, dégradant ainsi la taille de puce. Le problème est donc posé : rendre verticale l'IE tout en conservant des tenues au blocage supérieures à 600 V et des courants de fuite inférieurs à 10 μA à température ambiante. Bien entendu, il ne faudra pas ajouter de difficulté Front End (Structure Si) et/ou Back end (assemblage).

Au regard des caractéristiques électriques du silicium poreux (PS), il semblerait que nous ayons des éléments de réponse positifs. Le PS est en effet susceptible de présenter des résistivités (ρ_{PS}) et constantes diélectriques relatives (ϵ_{PS}) respectivement plus fortes et plus faibles que le substrat Si de

départ. Il est en règle générale « facile » à former notamment par voie électrochimique et des couches épaisses peuvent être obtenues.

Ces travaux de thèse ont donc pour ambition d'étudier dans le détail les propriétés électriques du PS. On s'intéressera plus particulièrement au PS de type P, plus à même de remplir le rôle d'isolant recherché et plus facilement intégrable dans le procédé de fabrication actuel des TRIACs. Une synthèse des investigations réalisées par le passé, riches mais souvent difficilement comparables les unes par rapport aux autres du fait de la multitude des conditions expérimentales appliquées, a été menée de façon à positionner les propriétés de notre propre PS. La réalisation de premiers prototypes TRIAC à périphérie PS ($P_{\text{G}}\text{-PS}$) a ensuite constitué le second enjeu de ce mémoire. Les contraintes de fabrication, ainsi que les limitations électriques, seront mises en évidence de façon à identifier de possibles opportunités d'évolution et juger de la pertinence industrielle de cette innovation.

De par ses objectifs, cette thèse s'est déroulée en forte collaboration entre le laboratoire GREMAN, spécialisé en fabrication du PS et la société ST Microelectronics, concepteur et fabricant de TRIACs. Ce contexte a engendré un procédé de fabrication mixte où la grande majorité des opérations de diffusion, métallisation et passivation ont été réalisées par ST Microelectronics. Le PS, quant à lui, a été effectué à l'aide des équipements du GREMAN. Cette particularité devra être prise en compte lors de l'analyse des résultats. L'environnement salle blanche du laboratoire ne présente en effet pas le même niveau d'exigence par rapport à celui rencontré en milieu industriel.

Le premier chapitre sera dédié au composant TRIAC. Les applications dans lesquelles il est inséré seront tout d'abord rappelées et les bases de son principe de fonctionnement seront évoquées. Dans un second temps, la structure Si du TRIAC sera commentée. Les notions de périphérie (P_{G}) et zone active (ZA) seront introduites avant de se focaliser sur les spécificités de la P_{G} , garante de la tenue en blocage des TRIACs (mode OFF) et objet principal de ce mémoire. Le mécanisme de l'avalanche, phénomène physique majeur contrôlé par la P_{G} sera ainsi discuté et l'ensemble des terminaisons de jonction potentiellement intégrables sur les TRIACs seront listées. Ces premiers aspects de réalisation nous amèneront fort logiquement à la conception des TRIACs. Seules les spécificités liées au mode OFF du TRIAC (courants de fuite et tenue en tension) seront explicitées dans le détail, néanmoins on s'attachera à mettre en avant les interdépendances existant entre le dimensionnement de la P_{G} et celui de la ZA. Le TRIAC est en effet le siège de compromis entre ses différents modes de fonctionnement, cette image ne doit jamais être perdue de vue. Pour conclure ce chapitre, un état de l'art technologique du TRIAC sera dressé en insistant sur les avantages et les inconvénients de chacune des solutions à ce jour mises en place. Ce portrait nous permettra d'introduire les voies d'optimisation à base de PS qui feront l'objet de cette étude.

Le second chapitre sera quant à lui consacré au PS. Les applications pour lesquelles il a été pressenti seront tout d'abord recensées. Il sera alors possible de mieux matérialiser le potentiel du PS. Bien évidemment, nous nous attarderons plus longuement sur les travaux relatifs au domaine de l'électronique de façon à bien situer notre problématique vis-à-vis des études menées jusqu'ici sur le sujet. La richesse applicative du PS est le fruit de la multitude de formes qu'il est susceptible d'adopter. Une seconde section dans ce chapitre aura donc pour vocation d'apporter plus de visibilité à propos des propriétés physiques du PS. Il sera alors plus aisé d'identifier les formes du PS les plus à même de correspondre à nos besoins, en l'occurrence le micro / méso-PS type P. Une troisième et dernière partie se focalisera sur l'élaboration du PS. Dans notre cas, nous nous concentrerons sur la formation du PS par voie électrochimique, plus appropriée à la réalisation de couches épaisses et à priori plus facilement intégrable dans un procédé de fabrication TRIAC. Toujours dans cette optique, les mécanismes mis en jeu lors de l'élaboration du PS seront également détaillés. Les informations nécessaires à la maîtrise de la croissance du PS dans le cadre de notre application seront ainsi majoritairement couvertes.

Les propriétés diélectriques du PS, à savoir ϵ_{PS} et ρ_{PS} , seront étudiées dans le troisième chapitre de ce manuscrit. La matrice expérimentale (échantillons et leur procédé de fabrication) choisie pour extraire toutes ces informations sera dans un premier temps discutée. Les propriétés physiques des couches de PS formées seront également analysées. Par ailleurs, la caractérisation électrique du PS s'appuiera pour ρ_{PS} sur des relevés courant - tension (I - V) et des mesures de capacité pour ϵ_{PS} . Les principes de ces mesures seront explicités. Les résultats expérimentaux pourront ensuite être présentés. Ils seront systématiquement confrontés aux études majeures publiées sur le sujet. Dans le cas de l'étude portant sur ρ_{PS} , l'interprétation des courbes I - V nécessitera au préalable de discuter les mécanismes de transport mis en jeu au sein de la couche poreuse et aux interfaces avec le substrat et la métallisation. A l'issue de ce chapitre, nous serons en mesure de lier les propriétés physiques et électriques du PS.

Dans un ultime chapitre, les premiers prototypes TRIAC exploitant une P_{G} PS seront présentés. La structure visée sera tout d'abord décrite ainsi que des motifs de caractérisation spécifiquement conçus pour extraire des informations relatives à la couche PS formée : résistance et comportement aux interfaces avec les principaux dopages rencontrés sur le TRIAC. La conception des dispositifs s'articulera autour d'un procédé de fabrication qui sera également commenté avec un accent particulier porté sur les étapes clefs : la localisation du PS et son anodisation. La gestion des contraintes mécaniques apportées par la formation du PS feront également l'objet d'une attention particulière. La caractérisation physique et électrique du PS formé aux terminaisons de jonction du TRIAC sera ensuite entreprise en suivant un schéma d'analyse similaire à celui du troisième chapitre. La nouveauté portera essentiellement sur la révélation des performances en blocage des TRIACs disposant d'une P_{G} PS. Les courbes I - V exploitées à cet effet permettront par la suite de mettre en place une

modélisation macroscopique du PS. Au final, en s'appuyant sur ce modèle, nous serons en mesure de proposer des optimisations visant à accroître le niveau de performance de la P_o-PS.

PREMIER CHAPITRE :
Aspects généraux relatifs au TRIAC et
notions de périphérie.

Le TRIAC est né des investigations relatives aux thyristors (SCR). Dans les années 1950, le SCR de puissance était en effet parfaitement adapté aux applications de puissance fonctionnant sur la tension alternative (AC) du secteur du fait de sa capacité à bloquer des tensions aussi bien positives que négatives. Il ne pouvait être contrôlé qu'en mode direct, cependant un courant de gâchette relativement faible suffisait à le déclencher. Par ailleurs, il était capable de s'auto-entretenir et le simple fait d'inverser les polarisations assurait son ouverture. Grâce à l'avènement du SCR, les circuits de commande auparavant développés pour les transistors de puissance ont été simplifiés, que ce soit en termes de taille ou de coût. Avec l'essor du SCR, très vite les ingénieurs électroniciens de l'époque ont éprouvé le besoin d'un interrupteur bidirectionnel en courant. Il faudra attendre 1963 pour que le TRIAC soit inventé par F. W. Gutzwiller [1].

La conception du TRIAC résulte en fait d'une activité inventive jalonnée par trois étapes. Tout d'abord, R. Aldrich et N. Holonyak ont élaboré le concept d'émetteur court-circuité [2]. L'idée de base consiste à shunter deux dopages N et P de part et d'autre de la plaquette. Ensuite Aldrich et Holonyak ont développé et décrit plusieurs dispositifs bidirectionnels PNPN disposant de deux terminaux de puissance et au moins une électrode de commande voire plus (Cf. Figure 1), amenant ainsi une amélioration sur les caractéristiques des SCRs notamment.

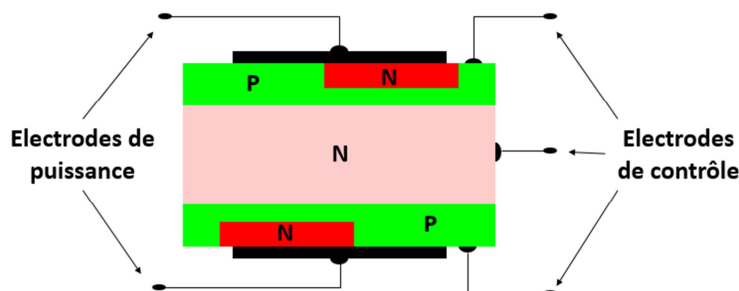


Figure 1: Structure bidirectionnelle PNPN intégrant le concept d'émetteur court-circuité [2].

Dans un second temps, F. E. Gentry et B. R. Tuft ont pensé à déporter la gâchette d'un SCR en ajoutant un caisson N tel que représenté sur la Figure 2 [3]. Il existait en effet à l'époque un besoin pour commander le SCR négativement, c'est à dire de façon complémentaire au SCR classique.

En cumulant les deux idées ci-dessus, Gutzwiller a abouti à la définition de la structure TRIAC telle que représentée sur la Figure 3 avec ses électrodes de puissance A1 et A2 ainsi que sa gâchette (contrôle).

L'architecture du TRIAC n'a pas réellement changé depuis son invention néanmoins technologiquement parlant, de nombreuses avancées ont eu lieu. De plus, si les premiers TRIAC commercialisés en calibre 6 et 10 A efficace étaient uniquement dédiés aux gradateurs de lumière, le panel d'applications couvertes à ce jour est bien plus large. Les contraintes appliquées au TRIAC se

sont donc multipliées éloignant ainsi la possibilité d'un composant universel. L'objectif de ce chapitre sera donc de dresser une vue d'ensemble du TRIAC tel qu'il existe aujourd'hui.

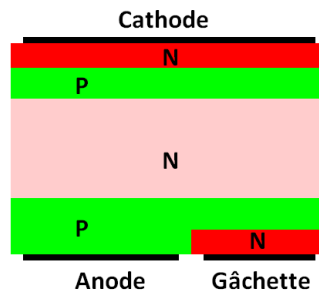


Figure 2 : SCR à gâchette déportée [3].

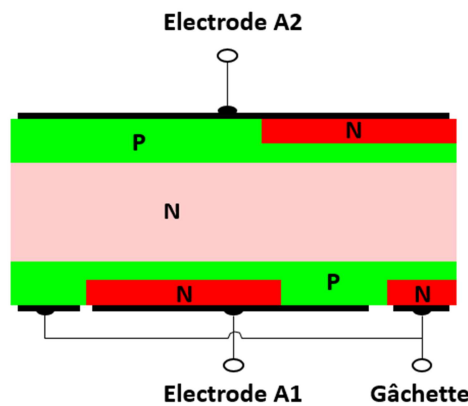


Figure 3 : Structure TRIAC telle que conçue par Gutzwiller en 1963 [1].

Dans une première partie, nous passerons en revue les applications majeures dans lesquelles le TRIAC est implanté comme interrupteur de puissance. Par ailleurs, les réglementations imposent des standards qui seront eux aussi abordés. La connaissance des contraintes engendrées par ces normes est en effet nécessaire afin d'optimiser au mieux la conception des TRIACs.

Le détail des paramètres électriques spécifiques au TRIAC sera ensuite donné. Les quatre régimes caractérisant la fonction TRIAC seront décrits. Il sera alors possible de mieux saisir le rôle du TRIAC dans les applications où il est intégré.

La troisième section de ce chapitre explicitera la structure silicium (Si) du TRIAC. Les notions de périphérie (P_{J}) et de zone active (ZA) seront introduites. Nous pourrons ainsi constater que l'architecture brevetée par Gutzwiller s'apparente complètement à la ZA telle que nous la définissons aujourd'hui. L'avalanche, phénomène physique de prime importance lorsque l'on discute P_{J} , sera également commentée avant d'énumérer la panoplie de solutions existantes pour le TRIAC.

La conception d'une P_{J} de TRIAC ne se résume pas uniquement au phénomène d'avalanche. Nous tenterons donc dans une quatrième section de répertorier les autres mécanismes physiques contribuant

à la tenue en tension et au courant de fuite du TRIAC. Nous profiterons également de cette partie pour mettre en évidence les interdépendances, souvent opposées, qui existent entre P_{G} et ZA .

Une ultime section dressera l'état de l'art technologique du TRIAC. Les principales technologies « Front end » et « Back end » seront ainsi passées en revue et comparées sur la base de critères de valeur préalablement définis. Nous pourrions ainsi constater que la technologie optimum n'existe pas, laissant entrevoir de nouvelles voies d'investigation comme le silicium poreux (PS), matériau clef de notre étude.

1. Applications typiques du TRIAC

Comme son nom l'indique, le TRIAC est un composant de puissance constitué de trois électrodes. Deux d'entre elles sont directement connectées sur la tension AC du secteur (A1 et A2 sur la Figure 4), la troisième (G) étant utilisée pour la commande du dispositif. Plus de détails relatifs à la structure du TRIAC seront donnés dans la partie 3 de ce chapitre. A ce stade, il convient simplement de mentionner que le TRIAC est un composant bidirectionnel en tension et en courant. Autrement dit, il est capable de supporter des tensions et de véhiculer des courants à la fois positifs et négatifs.

Le TRIAC est employé comme interrupteur de puissance pour le contrôle de charges de basse puissance (inférieure à 10kW) puisant leur énergie directement sur le réseau électrique domestique (par exemple 230 V efficace / 50 Hz en Europe).

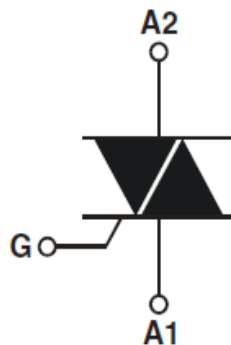


Figure 4 : Symbole électrique du TRIAC.

L'électroménager, l'éclairage et CVC (Chauffage Ventilation Climatisation) constituent les domaines d'utilisation les plus fréquents du TRIAC [4]. Des exemples d'usage sont donnés ci-après afin d'éclaircir le rôle du TRIAC dans ces applications.

1.1 Electroménager

La machine à laver, le réfrigérateur, l'aspirateur, les fours micro-ondes, les perceuses, le fer à repasser sont typiquement des applications dans lesquelles le TRIAC est adopté.

Prenons le cas du réfrigérateur (Figure 5), jusqu'à 6 TRIACs sont intégrés pour piloter des charges de diverses natures :

- Inductive : moteurs de compresseur, ventilateur, valve
- Résistive : résistance de dégivrage
- Diode électroluminescente (DEL) : lampe

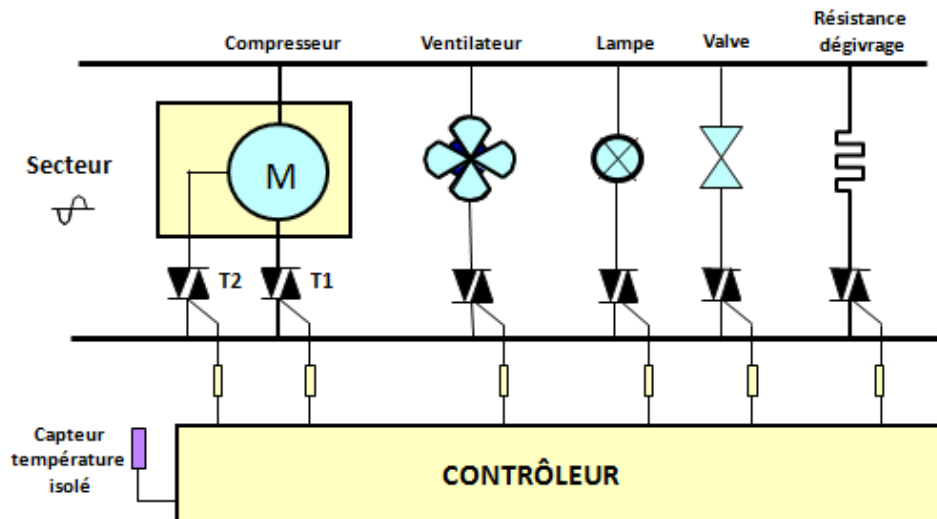


Figure 5 : Schéma de principe du réfrigérateur.

Les charges et leurs TRIACs associés sont connectés en parallèle, la tension secteur se retrouve donc appliquée sur chaque TRIAC. Pour activer une branche du réfrigérateur, le contrôleur envoie un signal sur l'électrode de commande du TRIAC, un courant circule alors à travers la charge. Le TRIAC est utilisé en commande passant / bloqué (ON / OFF).

1.2 Chauffage - Ventilation - Climatisation (CVC)

Dans le domaine CVC, le TRIAC peut être utilisé pour le contrôle ON / OFF de compresseurs dans les climatisations, ou encore de thermostats pour les chauffages.

Le TRIAC peut également être employé pour ajuster la vitesse de rotation d'un moteur, notamment pour des petits ventilateurs de bureau dont la Figure 6a présente le principe de fonctionnement. Le TRIAC est toujours positionné en série avec la charge, le contrôleur le déclenche seulement lorsque la tension crête du secteur est atteinte comme le montre les Figures 6b et c. Le TRIAC est commandé en angle de phase (α), ici 90° . α est ajusté suivant les besoins de l'application. α varie entre 0 et 180° et plus α augmente, plus la puissance délivrée est importante.

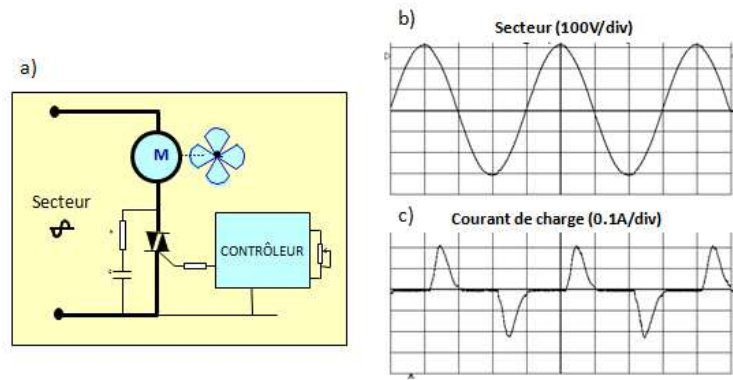


Figure 6 : Ventilateur de bureau : schéma de principe (a), tension secteur appliquée (b), Courant traversant le ventilateur (c).

1.3 Éclairage

L'application principale du TRIAC dans le milieu de l'éclairage est le variateur de lumière. L'intensité lumineuse de la lampe est ajustée par un contrôle en angle de phase du TRIAC comme nous l'avons vu dans le paragraphe précédent. La Figure 7 décrit le schéma de principe d'un gradateur de lumière.

Notons qu'en Europe, le remplacement progressif des lampes à incandescence par des DEL, des LFC (Lampes FluoCompactes) ou encore des halogènes induit un bouleversement dans la conception des variateurs de lumière. Des circuits à base de transistors MOS ou de SCRs tendent à suppléer les solutions classiques à base de TRIAC.

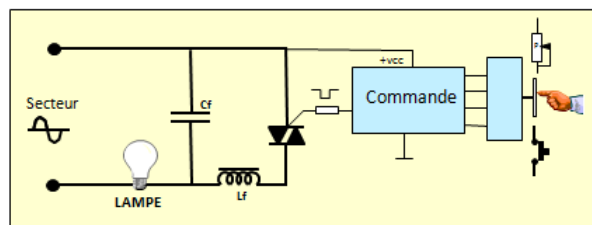


Figure 7 : Schéma de principe d'un variateur de lumière.

1.4 Contraintes normatives : compatibilité électromagnétique (CEM)

L'introduction de l'électronique dans un grand nombre d'applications oblige à prendre en compte les contraintes liées à la CEM [5, 6]. Un appareillage doit être capable de fonctionner correctement lorsqu'il se situe dans un milieu bruyant et de la même façon, il ne doit pas lui-même générer de perturbations.

Ces normes CEM s'appliquent au niveau de l'application, cependant les fabricants de composants, et notamment de TRIACs, se préoccupent de certaines problématiques de façon à mieux guider les concepteurs d'appareillages électroniques. Deux normes sont particulièrement regardées : IEC61000-4-4 et IEC61000-4-5 (Cf. annexe A).

Ces standards CEM imposent au TRIAC plus de robustesse en termes de contrôle et de surcharges en courant et tension. Ce niveau de qualité supplémentaire exigé pour le TRIAC n'est pas sans impact d'un point de vue technologique.

2. Caractéristiques électriques du TRIAC

Le sous-chapitre précédent nous a présenté le TRIAC comme un composant idéal pour le contrôle de charges AC. Le TRIAC est avant tout un interrupteur de puissance. Il se caractérise donc par deux états stationnaires (ON / OFF) et deux états transitoires (ON $\rightarrow$ OFF et OFF $\rightarrow$ ON). Sachant que le TRIAC possède la propriété d'être bidirectionnel courant / tension, il convient de multiplier par deux le nombre de configurations possibles. La Figure 8 synthétise la discussion précédente.

Egalement sur la Figure 8, on notera l'utilisation des symboles « + » et « - » pour distinguer les deux types de polarisation applicables. On parle également de modes direct et inverse en lien avec l'utilisation courante des électrodes du TRIAC (Cf. Figure 4). En choisissant A1 comme électrode de référence, polariser A2 positivement (négativement) par rapport à A1 correspond alors au cas direct (inverse).

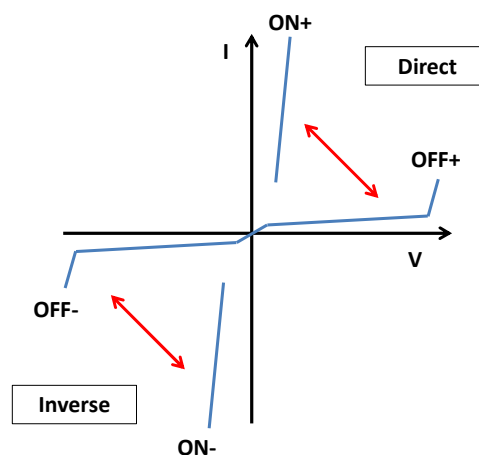


Figure 8 : Caractéristique électrique du TRIAC. L'électrode A1 est prise comme référence.

Les paragraphes suivants s'attacheront à décrire plus précisément les particularités de chacun des états du TRIAC sans distinction entre les deux situations de polarisation, ce qui dans le cadre d'une description électrique se justifie tout à fait. Il est également possible de consulter les références [4, 7, 8, 9 et 10] pour compléter l'ensemble de ces propos de manière beaucoup plus exhaustive.

2.1 Etats bloqués (OFF)

En position ouverte, le TRIAC doit tenir une forte tension tout en limitant le passage du courant. La capacité du TRIAC à disposer de telles propriétés est définie par sa tension d'avalanche V_{BR} (« Breakdown voltage » en anglais) et son courant de fuite I_{xRM} (Cf. Figure 9). On distingue les

polarisations directe et inverse en associant la lettre « x » respectivement aux lettres « D » (de l'anglais « Direct Mode ») et « R » (de l'anglais « Reverse Mode »). V_{xRM} est la tension maximale que le TRIAC est capable de supporter de manière répétitive. Les fabricants de TRIAC spécifient toujours le courant de fuite I_{xRM} à la tension V_{xRM} . V_{xRM} est toujours inférieure à V_{BR} puisqu'au delà de ce niveau de tension, le courant circulant dans le TRIAC croît très vite et peut même s'avérer destructeur en l'absence de contrôle (Cf. paragraphe 2.3.2 et annexe B). Le principe physique de l'avalanche dans un TRIAC sera donné plus en détail dans le paragraphe 3.3.1. Les paramètres I_{BO} et V_{BO} seront commentés dans le cadre du paragraphe 2.3.2.

Si V_{BR} augmente avec la température (T), il en est de même pour I_{xRM} . Lorsque la température de fonctionnement maximale du TRIAC ($T_{j,max}$) est approchée, l'élévation de I_{xRM} tend même à masquer le gain attendu sur V_{BR} . Le comportement de I_{xRM} avec T doit par ailleurs être suivi tout particulièrement au niveau de l'application pour des raisons d'emballement thermique. En effet, l'accroissement de I_{xRM} entraîne nécessairement une augmentation de la température de jonction (T_j) du TRIAC, impactant de nouveau I_{xRM} et ainsi de suite, jusqu'à la destruction du composant. Ce phénomène est discuté plus en profondeur en annexe D.

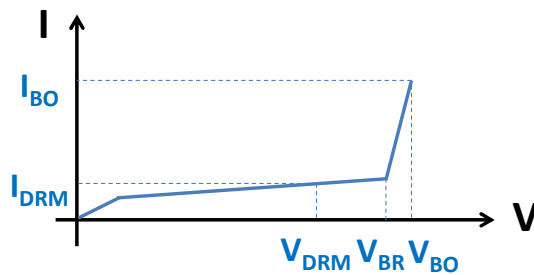


Figure 9 : Caractéristique électrique du TRIAC en mode bloqué (polarisation positive). Les paramètres caractéristiques de l'état OFF du TRIAC sont représentés : V_{DRM} , V_{BR} , V_{BO} , I_{DRM} et I_{BO} .

2.2 Etats passants (ON)

2.2.1 Régime nominal

Contrairement à son état bloqué, en position fermée, le TRIAC est d'autant plus efficace que la chute de tension à ses bornes est faible lorsque des courants importants le traversent. La performance du TRIAC est alors jugée par le couple de paramètres (V_{TM} ; I_{TM}) (Cf. Figure 10). I_{TM} est défini comme étant le courant crête d'une onde sinusoïdale I_T de fréquence f (50 Hz en règle générale):

$$\text{Équation 1.1} \quad I_{TM} = \sqrt{2} \cdot I_{TRMS}$$

$$\text{Équation 1.2} \quad I_{TRMS} = f \cdot \int_0^{1/f} I_T^2(t) dt$$

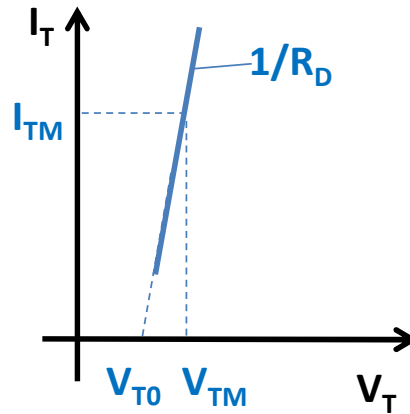


Figure 10 : Caractéristique électrique du TRIAC en mode passant (polarisation positive).

La différence de potentiel V_{TM} entre les bornes A2 et A1 du TRIAC résulte de la circulation d'un courant d'intensité I_{TM} .

A noter que la caractéristique passante du TRIAC est communément approximée par une loi affine [11]:

Équation 1.3 $V_T = R_D \cdot I_T + V_{T0}$

Comme le montre la Figure 10, le paramètre R_D caractérise l'inverse de la pente associée à la droite de conduction et est appelée résistance dynamique. Quant à V_{T0} , il représente la projection de cette même droite sur l'axe des abscisses.

R_D et V_{T0} sont notamment forts utiles pour simplifier le calcul de la puissance dissipée lors de la conduction du TRIAC [12].

L'effet de l'augmentation de T sur la conduction du TRIAC est double. D'un côté R_D augmente et de l'autre V_{T0} diminue. Cette situation est décrite par l'intermédiaire de la Figure 11. La caractéristique ON du TRIAC a été reproduite à l'ambiante en bleu et à T_{j_max} en rouge.

De façon similaire à l'état bloqué, des contraintes d'emballement thermique doivent être prises en compte au niveau de l'application lors de la phase de conduction. A cet effet, les fabricants de TRIAC spécifient ces deux paramètres à T_{j_max} , cas le plus critique (Cf. annexe D).

A noter également que le point de croisement entre les deux courbes de la Figure 11 est généralement choisi par conception supérieur au courant maximal I_{TM} . Les fabricants spécifient alors V_{TM} uniquement à 25°C, cas le plus défavorable. Cette information reste tout de même peu utile, seule une indication sur le dimensionnement du TRIAC est ainsi donnée aux concepteurs de dispositifs utilisant des TRIACs.

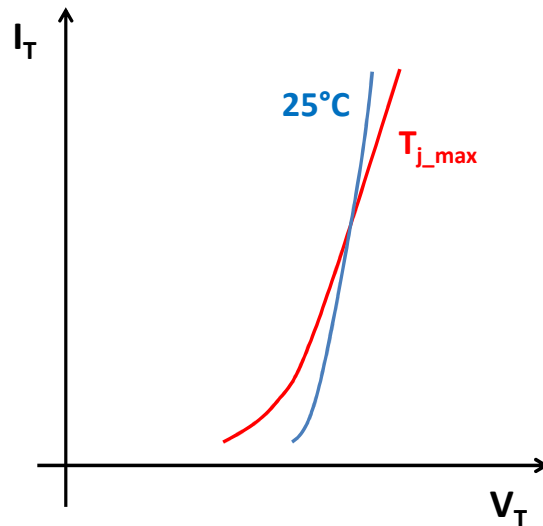


Figure 11 : Effet de la température sur la caractéristique passante du TRIAC (En bleu le comportement à 25°C et en rouge celui à T_{j_max}).

2.2.2 Régime ponctuel

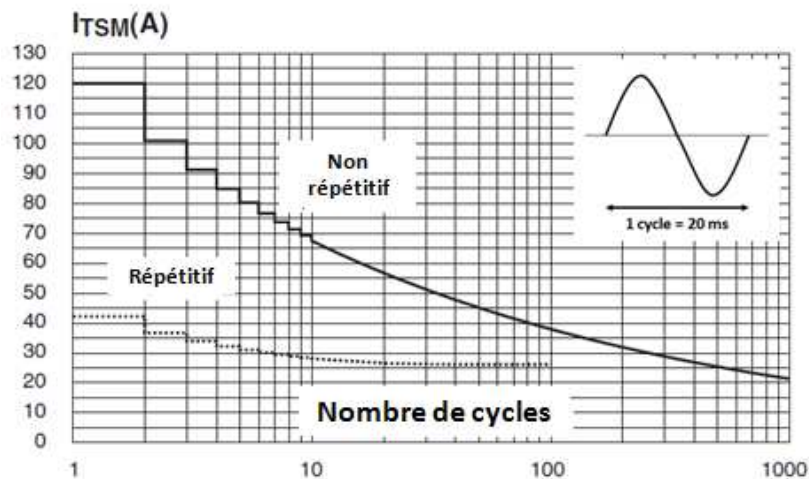


Figure 12 : Evolution du courant I_{TSM} en fonction du nombre de surcharges en courant (Graphe extrait de la spécification du TRIAC BTA12 de la société ST Microelectronics).

Certaines applications imposent au TRIAC des surcharges en courant que ce dernier doit être en mesure de supporter. Cette propriété se caractérise par un courant maximal admissible appelé I_{TSM} . Il est défini sur une unique période d'un signal sinusoïdal, généralement 20 ms. Dans le but de se rapprocher des profils de mission réels du TRIAC, les fabricants peuvent également donner des courbes d'évolution de l' I_{TSM} en fonction du nombre de surcharges. La Figure 12 en montre un exemple issu de la spécification d'un TRIAC BTA12 produit par la société ST Microelectronics. Plus le nombre de cycles augmente et plus la tenue I_{TSM} diminue. Par ailleurs, on distingue deux relevés. Le premier est dit « non répétitif ». L'enchaînement des cycles chauffe le TRIAC parfois bien au-delà de T_{j_max} . L'intensité des pics de courant est néanmoins fixée de façon à ne pas détruire le TRIAC. Ce

type de stress traduit un mode de fonctionnement accidentel. Le niveau de robustesse du TRIAC peut permettre au concepteur la mise en place de solutions de protection adéquates. Par opposition, le second cas de figure est intitulé « répétitif ». Certaines applications peuvent en effet conduire à des situations où les surcharges en courant se reproduisent régulièrement durant la vie du TRIAC. Le contrôle des moteurs et plus généralement des charges inductives constitue un parfait exemple. Dans cette configuration, la succession des cycles ne doit pas entraîner de dépassement de T_{j_max} . En d'autres termes, aucune perte de contrôle du TRIAC n'est autorisée. Il n'est donc pas surprenant d'observer des intensités plus faibles en mode répétitif.

Précisons enfin que la tenue aux surcharges I_{TSM} diminue avec T du fait de l'augmentation de R_D (Cf. paragraphe 2.2.1).

2.3 Etat transitoire OFF → ON

Il existe trois méthodes pour basculer le TRIAC d'une forte à une faible impédance : amorçage par injection d'un courant dans la gâchette, par dépassement de la tension V_{BO} et par l'application d'un transitoire rapide dv/dt . Si le premier cas de figure constitue une commande standard de TRIAC, les deux autres sont généralement considérés comme des comportements parasites dont les effets devront être minimisés au niveau de l'application. Les paragraphes suivants détailleront le principe de chacune de ces solutions. Un focus sera fait sur la vitesse de croissance du courant de puissance (dI_T/dt), phénomène pouvant conduire à la destruction du composant.

2.3.1 Amorçage par gâchette

Le mode d'amorçage le plus utilisé pour un TRIAC consiste à appliquer un courant I_G dans la gâchette (terminal G sur la Figure 4). Deux conditions sont alors nécessaires pour le déclenchement. Premièrement, I_G doit être supérieur à un niveau appelé I_{GT} (« Gate Triggering current » en anglais). Et deuxièmement, I_T doit dépasser le courant d'accrochage I_L (« Latching current » en anglais). Ces deux éléments réunis, le TRIAC s'amorce et reste passant tant que I_T reste supérieur à I_H (« Holding current » en anglais). Une fois l' I_L atteint à travers le TRIAC, I_G n'est plus nécessaire. Les situations commentées précédemment sont schématiquement représentées dans le cadre de la Figure 13. Le point de fonctionnement résulte de l'intersection entre la caractéristique ON du TRIAC et la droite de charge fixée par l'application.

On distingue quatre modes d'amorçage selon le signe des polarisations I_T et I_G (Cf. Figure 14). En choisissant A1 comme électrode de référence, les différents quadrants de déclenchement se définissent de la façon suivante : Q1 ($V_{A2A1} > 0$ et $I_G > 0$) ; Q2 ($V_{A2A1} > 0$ et $I_G < 0$) ; Q3 ($V_{A2A1} < 0$ et $I_G < 0$) ; Q4 ($V_{A2A1} < 0$ et $I_G > 0$).

Le TRIAC peut être commandé de façon continue ou par un pulse sur sa gâchette. Dans ce dernier cas, il est important de noter que la valeur de I_{GT} sera d'autant plus élevée que la durée de l'impulsion sera courte [4].

Le paramètre I_{GT} traduit un amorçage en courant par la gâchette. Similairement à I_{GT} , mais pour un déclenchement en tension cette fois-ci, on définit dans les spécifications TRIAC le paramètre V_{GT} .

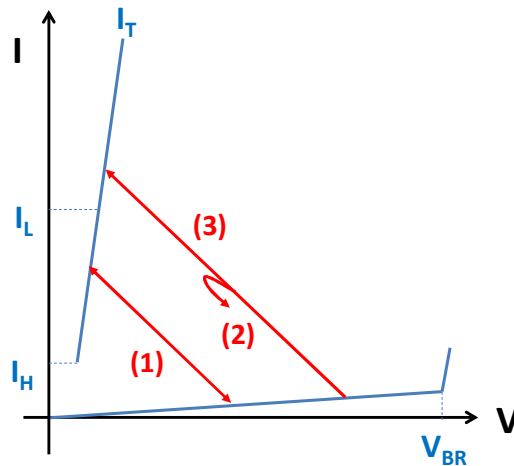


Figure 13 : Amorçage du TRIAC. Situation (1) : $I_T < I_L$ quel que soit I_G , pas d'amorçage. Situation (2) : $I_T > I_L$ et $I_G < I_{GT}$, pas d'amorçage. Situation (3) : $I_T > I_L$ et $I_G > I_{GT}$, amorçage. Les flèches rouges symbolisent la droite de charge.

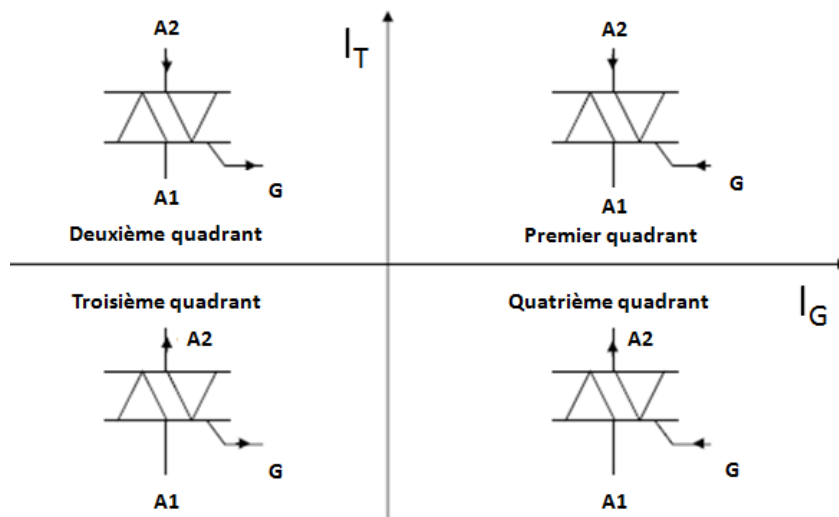


Figure 14 : Quadrants d'amorçage du TRIAC.

L'ensemble des paramètres I_{GT} , I_L , I_H et V_{GT} traduit la sensibilité du TRIAC. Plus leurs valeurs sont faibles et plus le TRIAC est dit « sensible ». La température favorise la sensibilité du TRIAC, obligeant en règle générale les fabricants à définir des valeurs minimales I_{GT} et V_{GT} à T_{j_max} . Ces paramètres sont identifiables dans une spécification sous la dénomination I_{GD} et V_{GD} . Le composant ne

doit donc pas s'amorcer lorsque des signaux parasites d'amplitudes inférieures à I_{GD} ou V_{GD} sont appliqués sur sa gâchette. I_{GD} et V_{GD} sont donnés pour une tension égale au V_{DRM} (ou V_{RRM} en polarisation inverse), cas le plus défavorable puisque le TRIAC sera d'autant plus sensible que la tension à ses bornes sera forte.

2.3.2 Amorçage par tension

Le TRIAC peut également se déclencher lorsque la tension appliquée à ses bornes dépasse un certain niveau de tension dit V_{BO} . Le terme V_{BO} provient de l'anglais « break over voltage », soit tension de retournement. On associe à V_{BO} un courant dénommé I_{BO} (Cf. Figure 9). I_{BO} pourrait facilement être rattaché à la famille des paramètres de sensibilité décrits dans le paragraphe précédent. De fait, il tend à diminuer avec T . V_{BO} se comporte quant à elle de façon très similaire à V_{BR} (Cf. paragraphe 2.1). A noter que ce type de retournement, souvent non désiré, n'est pas toujours simple à gérer que ce soit au niveau du composant ou de l'application (Cf. annexe B).

2.3.3 Amorçage par variation de tension (dv/dt)

On recense un troisième mode d'amorçage lorsque la tension aux bornes du TRIAC varie brusquement. En effet, le TRIAC présente une capacité de jonction (C_j) du fait de sa structure Si et l'application d'un dv/dt génère un courant capacitif I_C circulant entre les électrodes A1 et A2 du TRIAC (Cf. [8] et paragraphe A.2.d.i de l'annexe G):

Équation 1.4 $I_C = C_j \frac{dV}{dt}$

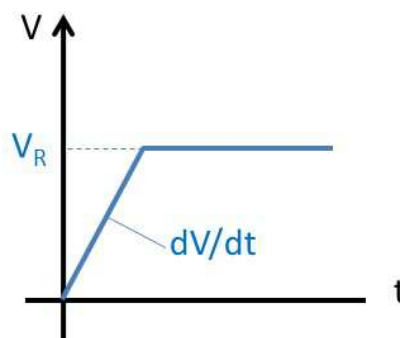


Figure 15 : Forme d'onde appliquée au TRIAC pour caractériser sa tenue aux transitoires dv/dt. V_R est appelée tension réappliquée et reste inférieure à V_{BO} .

I_C peut atteindre une intensité suffisante pour déclencher le TRIAC. Le dv/dt mentionné dans une datasheet correspond à la variation de tension au-delà de laquelle le TRIAC s'amorce. Il est généralement spécifié à T_{j_max} et à une tension réappliquée (V_R) inférieure à V_{BO} de manière à ne pas mélanger les deux mécanismes de retournement du TRIAC (Cf. Figure 15). A noter que plus V_R et T_{j_max} seront élevées et plus l'aptitude du TRIAC à conserver son état OFF sous l'application d'un

transitoire dv/dt sera faible. Néanmoins il est toujours possible d'améliorer l'immunité du TRIAC par des moyens applicatifs (Cf. annexe C).

2.3.4 Problématiques de mise en conduction

Lorsque le TRIAC se déclenche, le courant traversant le TRIAC peut augmenter brusquement. Comme le montre la Figure 16, la mise ON du TRIAC n'est pas immédiate, la propagation de la conduction à travers l'ensemble de la structure peut nécessiter plusieurs microsecondes. Une puissance instantanée doit alors être dissipée sur une fraction de surface, donnant naissance à de possibles points chauds destructeurs (Cf. [4] et paragraphe B.1 de l'annexe G).

Le dI_T/dt est d'autant plus critique qu'il se répète de façon régulière dans l'application. Une fatigue progressive du composant peut alors être mise en évidence. Les fabricants de TRIAC garantissent une tenue en dI_T/dt répétitifs, validée selon des conditions représentatives des applications.

Une façon de s'affranchir des contraintes de dI_T/dt est de déclencher le TRIAC au zéro de tension lorsque l'application le permet [4].

L'impact de la température sur les performances en dI_T/dt est difficile à apprécier. Il est également nécessaire de considérer le courant pic (I_{pp}) que le TRIAC doit supporter. Pour des ondes rapides à faible I_{pp} , la température sera avantagée du fait de l'accroissement en sensibilité du TRIAC (I_{GT}). A contrario, pour des ondes lentes à fort I_{pp} , elle sera nuisible du fait de l'augmentation de R_D .

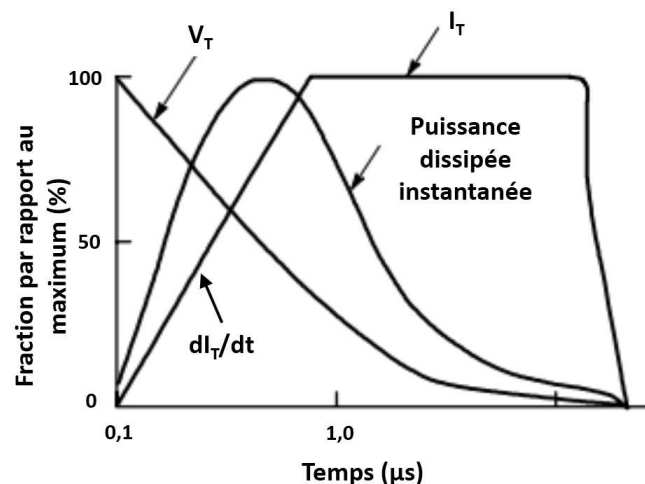


Figure 16 : Formes d'onde à la mise ON du TRIAC : dI_T/dt à l'amorçage.

2.4 Etat transitoire ON → OFF

Lorsque le TRIAC est amorcé, la seule façon de le bloquer est d'annuler le courant qui le traverse par l'intermédiaire de l'alimentation, c'est pour cela que le TRIAC n'est utilisé que pour des applications secteur dans lesquelles le courant passe par zéro toutes les demi-alternances, soit 10 ms pour un signal

50 Hz. De façon plus précise, il suffit d'abaisser I_T sous I_H pour ouvrir le TRIAC. En règle générale, les concepteurs cherchent des I_H faibles (Cf. paragraphe A.2.c de l'annexe G). Des I_H trop élevés sont source de perturbations électromagnétiques, la tension du secteur se réappliquant brutalement aux bornes du TRIAC.

Par ailleurs, au changement d'alternance du signal AC, lorsque la pente de courant est trop forte, le TRIAC peut rester passant de façon non désirée. Dans une spécification TRIAC, on définit le paramètre di/dt_c comme la variation de courant, au passage à zéro, au-delà de laquelle on perd le contrôle du composant.

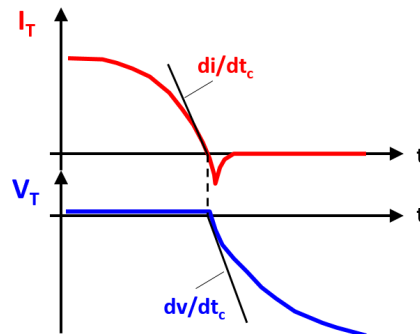


Figure 17 : Formes d'onde typiques caractérisant la commutation ON/OFF du TRIAC.

Le paramètre di/dt_c reflète la faculté de recouvrement des charges injectées dans la structure du TRIAC lors de sa conduction, tout comme on utilise les paramètres T_{rr} ou T_q pour les diodes et les SCRs respectivement (Cf. [4, 8, 13] et paragraphe A.2.d.ii de l'annexe G).

La pente de courant di/dt_c s'accompagne toujours d'une variation en tension dv/dt_c aux bornes du TRIAC (Cf. Figure 17). Le couple (di/dt_c ; dv/dt_c) est imposé par l'application, les cas de commutation les plus rudes sont rencontrés pour des charges inductives, compte tenu du déphasage courant / tension qu'elles imposent [14]. L'augmentation de T engendre une diminution des performances. La valeur de la tension pic réappliquée peut également jouer un rôle non négligeable. De façon analogue au paramètre dv/dt , l'emploi de réseau RC en parallèle du TRIAC facilite son blocage (Cf. annexe B). Une perte de contrôle du TRIAC par di/dt_c entraîne un dysfonctionnement de l'application et possiblement sa destruction (Cf. annexe D).

3. La structure TRIAC

L'ensemble des caractéristiques électriques d'un TRIAC ayant été décrit, la compréhension de l'architecture Si spécifiquement utilisée pour le TRIAC est maintenant plus accessible. Le TRIAC est souvent considéré comme l'association de deux SCRs montés tête bêche (Figure 18), le SCR étant

limité à une conduction unidirectionnelle contrairement au TRIAC. Nous verrons dans les trois prochains paragraphes suivants que cette vision simplifiée nécessite plus d'explications.

Dans un premier temps, nous introduirons les notions de P_{J} et ZA du TRIAC. Cette segmentation de la puce correspond grossièrement aux deux régimes nominaux du TRIAC (Cf. paragraphes 2.1 et 2.2). Une représentation de ZA à l'échelle du Si sera ensuite détaillée. Le lien avec l'amorçage du TRIAC par sa gâchette sera notamment mis en évidence. Enfin, le principe de l'avalanche sera introduit et son impact sur la structure Si en matière de P_{J} sera discuté.

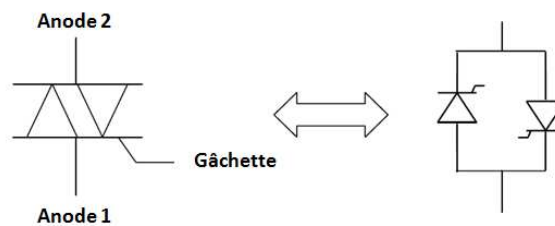


Figure 18 : Schéma équivalent simplifié du TRIAC à base de SCRs.

3.1 Segmentation du TRIAC : notions de périphérie (P_{J}) et zone active (ZA)

Comme brièvement discuté en Figure 18, le TRIAC est souvent assimilé en première approche à l'association de deux SCRs. Ces derniers constituent en effet l'ossature principale du TRIAC.

Le schéma équivalent du SCR s'obtient par l'imbrication de deux transistors NPN et PNP tel que représenté sur la Figure 19. Le collecteur du premier transistor est connecté à la base du second et réciproquement. Cet enchevêtrement traduit le phénomène d'auto-entretien caractéristique de l'état passant du SCR. Après l'application d'un signal sur la gâchette, les deux transistors s'auto-alimentent et atteignent leur régime de saturation garantissant un V_{TM} faible. La gâchette du SCR correspond le plus souvent à la base du transistor NPN, on parle de SCR à gâchette de cathode [7]. Il existe également des SCRs à gâchette d'anode [15] mais leur structure est beaucoup plus proche de celle du TRIAC que du SCR. Notons que la Figure 20 fait apparaître les deux types de SCR.

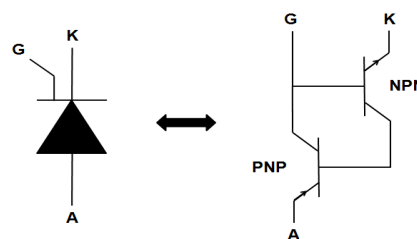


Figure 19 : Schéma équivalent du SCR.

Le schéma équivalent de la Figure 19 ne permet pas véritablement de mettre en évidence l'état bloqué du SCR et donc du TRIAC. Pour décrire complètement la fonction du TRIAC, il est plus juste d'ajouter une fonction de protection en tension (typiquement des diodes spécifiquement conçues pour bloquer de larges tensions en inverse) comme indiqué dans la Figure 20.

Les caractéristiques de conduction du TRIAC sont décrites par la ZA dans laquelle sont intégrés les différents transistors qui composent le TRIAC. Quant aux performances de blocage du TRIAC, elles sont garanties au niveau de la P_U du TRIAC, où l'on retrouve les diodes de protection.

Ces notions de ZA et P_U seront décrites plus précisément dans les paragraphes suivants.

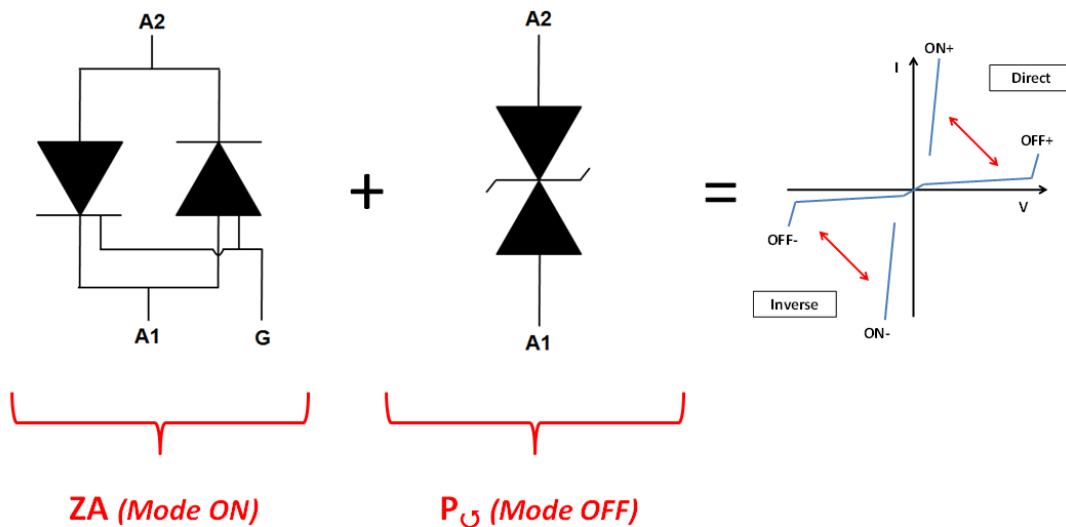


Figure 20 : Schéma équivalent et fonctions du TRIAC.

3.2 Structure silicium (Si) associée à la ZA du TRIAC

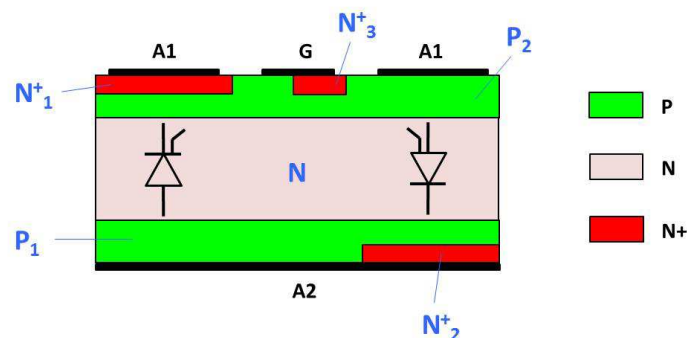


Figure 21 : La structure Si de la ZA du TRIAC. Le substrat N, les diffusions P et N+ sont respectivement représentés en rose, vert et rouge. Le SCR positif (ou direct) comprend les régions $P_1 / N / P_2 / N^+_1$ (à gauche) alors que le SCR négatif (ou inverse) se caractérise par les couches $P_2 / N / P_1 / N^+_2$ (à droite).

D'un point de vue Si, la ZA du TRIAC se compose d'une succession de régions de type N et P, quatre par SCR comme le montre la Figure 21. En appliquant une tension positive sur l'électrode A2 par rapport à A1, le SCR $P_1 / N / P_2 / N^+_1$, situé sur la gauche de la Figure 21, peut devenir passant. En inversant la polarisation, le SCR de droite $P_2 / N / P_1 / N^+_2$ est à son tour capable d'assurer la conduction.

La représentation du SCR positif sous la forme d'un SCR à gâchette de cathode, alors que son homologue négatif présente une gâchette d'anode, est purement symbolique. L'idée consiste simplement à indiquer la présence de la gâchette sur la partie supérieure de la zone active. Le fonctionnement de la gâchette du TRIAC est en effet plus complexe. On constate tout d'abord sur la Figure 21 qu'elle recouvre à la fois des régions N et P, tout comme les électrodes A1 et A2. Cette particularité lui confère la possibilité de commander le TRIAC dans ses quatre modes de déclenchement (Cf. Figure 14). La Figure 22 détaille plus particulièrement le schéma électrique équivalent au niveau de la gâchette en fonction du quadrant considéré, traduisant ainsi les différents mécanismes d'amorçage impliqués.

La diffusion P_2 étant commune à la gâchette G et à l'électrode A1, on retrouve systématiquement une résistance entre les terminaux G et A1. Cette dernière est communément appelée R_{GK} . Conservons les conventions de polarisation définies dans le cadre de la Figure 14, ainsi que les terminologies de la Figure 21 au niveau des couches structurant le TRIAC. Dans le mode Q1, la tension V_{A2A1} aux bornes des électrodes de puissance A2 / A1 est portée par la jonction P_2N et un courant positif I_G est injecté de G vers A1 à travers R_{GK} . La jonction base / émetteur $N^+_1P_2$ du transistor $N^+_1P_2N$ devient passante et le premier transistor du SCR direct se met en marche (Cf. annexe G, paragraphe A.2.b.i). Son auto-entretien est enclenché.

Dans le quadrant Q2, V_{A2A1} reste positive, seul I_G change de signe et traverse R_{GK} de A1 vers G cette fois-ci. Le transistor de gâchette $N^+_3P_2N$ entre alors en fonctionnement dans son régime linéaire dans un premier temps, puis en mode saturé lorsque le niveau d'injection devient conséquent (Cf. annexe G, paragraphe A.2.b.iii). Il alimente ainsi la base du transistor P_1NP_2 , l'amorçage du SCR positif est initié.

L'amorçage dans le quadrant Q3 s'inspire de Q2 avec une inversion de la polarisation V_{A2A1} . Ce passage à une polarisation V_{A2A1} négative simplifie le mécanisme de déclenchement (Cf. annexe G, paragraphe A.2.b.ii). Le transistor de gâchette $N^+_3P_2N$ fonctionne cette fois-ci en mode saturé (sa jonction base / collecteur P_2N ne portant plus la tension V_{A2A1}) et active la base du transistor P_2NP_1 , l'un des deux transistors du SCR négatif. Sa mise en marche est engagée.

Le quadrant Q4 se caractérise par son courant I_G positif et sa tension V_{A2A1} négative. Comme pour le quadrant Q1, I_G polarise la jonction base / émetteur du transistor $N^+_1P_2N$. Ce dernier ne peut cette fois-

ci fonctionner qu'en mode saturé compte tenu de la polarisation V_{A2A1} . Le transistor P_2NP_1 s'active alors uniquement au niveau de la gâchette. La résistance R_{GK} intercalée entre G et A1 vient en effet limiter la mise en marche du transistor de puissance P_2NP_1 . Le SCR inverse finit néanmoins par se déclencher du fait de son second transistor $N^+_2P_1N$, dont la base est alimentée par le transistor de gâchette P_2NP_1 . Le mécanisme d'amorçage est détaillé plus spécifiquement dans le paragraphe A.2.b.i de l'annexe G.

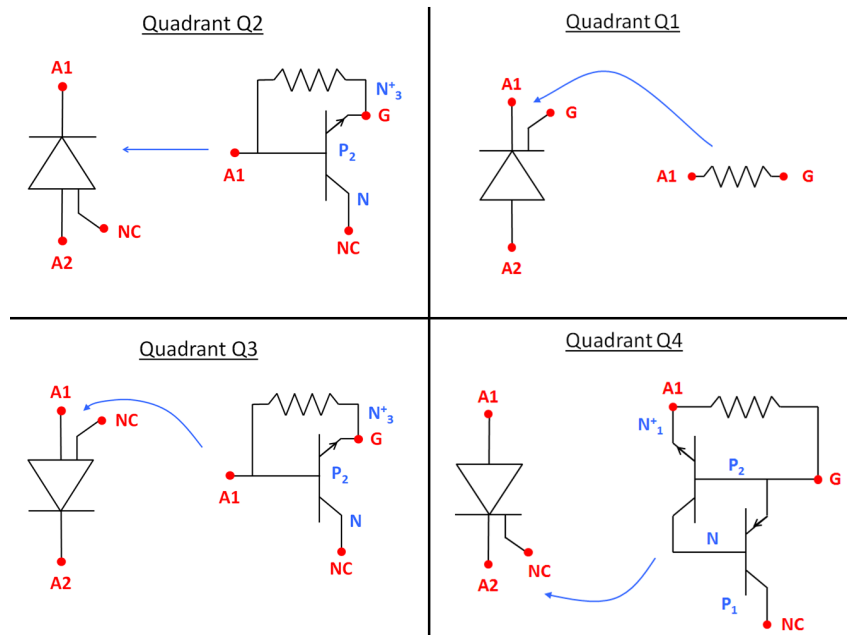


Figure 22 : Fonctionnement de la gâchette en fonction du quadrant d'amorçage et schémas électriques équivalents. L'acronyme « NC » représente une électrode fictive liant les structures de puissance et de commande du TRIAC.

Les mécanismes d'amorçage tels que décrits précédemment s'appuient sur une modélisation électrique de la structure du TRIAC. Les références [7] et [8] quant à elles proposent une description plus « physique ». Une modélisation analytique de tous ces déclenchements par gâchette est également proposée dans l'annexe G.

3.3 Structure Si associée à la P_J du TRIAC, notions d'avalanche

Comme nous l'avons précisé dans le paragraphe 3.1, la P_J du TRIAC doit garantir les performances à l'état OFF du TRIAC. Le terme « périphérie » trouve tout son sens au regard de la Figure 23. Lorsque une tension V_{A2A1} positive (ou négative) est appliquée aux bornes des terminaux de puissance A1 et A2 du TRIAC, la jonction P_2N (ou P_1N) est bloquée. Une zone de charge d'espace (ZCE ou zone de déplétion) se développe de part et d'autre de la jonction [16]. Le déploiement de ce champ électrique (E) selon l'axe y dépend des profils de dopage utilisés. Par ailleurs, les puces de TRIAC ne possèdent bien évidemment pas de dimensions infinies, par conséquent l'extension de E selon les axes x et z est limitée. E est une fonction de la constante diélectrique des matériaux employés. En règle générale, E

est fort au niveau de la P_U . Cette dernière est donc également chargée de préserver les performances du TRIAC après sa découpe. Les notions d'avalanche et de terminaisons de jonction sont alors primordiales pour cerner complètement le rôle des P_U dans un TRIAC et seront traitées respectivement dans les prochains paragraphes 3.3.1 et 3.3.2.

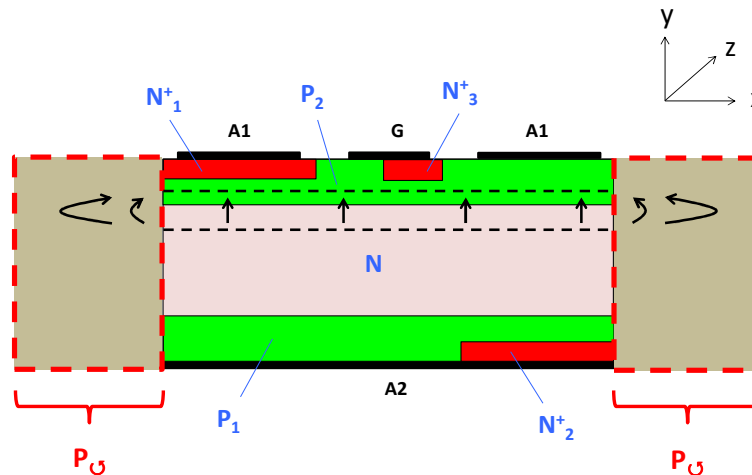


Figure 23 : TRIAC et P_U . On retrouve au centre de la figure la ZA décrite dans la Figure 21. Les pointillés noirs représentent la ZCE résultant de l'application d'une tension positive sur l'électrode A2 du TRIAC, le terminal A1 étant pris comme référence (REF). E est indiqué schématiquement par des flèches noires, il est généralement très intense au niveau des P_U compte tenu du dimensionnel de la puce imposé.

3.3.1 Notions d'avalanche

Les TRIACs sont généralement conçus pour supporter des tensions allant de 600 à 1200 V (basse puissance). L'application de telles tensions aux bornes du TRIAC génère au niveau d'une jonction PN l'apparition d'une ZCE. Lorsque des porteurs libres sont générés dans cette région, notamment par agitation thermique, ils sont très vite expulsés par le champ électrique. La vitesse des porteurs libres augmente avec E comme le montre la Figure 24. Néanmoins, pour E de l'ordre de 1.10^5 à 1.10^6 V/cm, ils atteignent une vitesse maximale, dite de saturation, qui s'élève dans le cas du Si à environ 1.10^7 cm/s.

Dès lors que l'on augmente encore la tension de polarisation, les porteurs libres acquièrent une énergie cinétique suffisante pour générer de nouvelles paires électron / trou suite à leurs interactions avec les atomes du réseau cristallin, ce mécanisme porte le nom d'ionisation par impact. Ces nouveaux électrons et trous sont eux-mêmes accélérés et participent à la création de nouveaux porteurs libres. L'avalanche est atteinte, un courant élevé circule à travers le TRIAC. Le champ électrique associé à la tension d'avalanche est appelé champ critique (E_c).

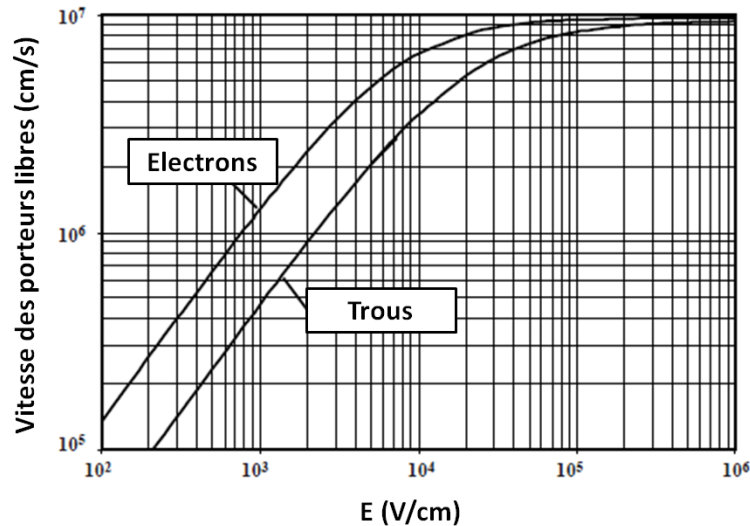


Figure 24 : Vitesse de dérivation des électrons (v_n) et des trous (v_p) dans le Si en fonction de E. Une saturation est observée pour un champ électrique de l'ordre de 1.10^5 à 1.10^6 V/cm.

L'application d'une tension supérieure à V_{BR} aux bornes du TRIAC induit la démultiplication des électrons et trous générés dans la ZCE se développant au niveau de la jonction bloquée du TRIAC (à savoir P_1N ou P_2N si l'on se réfère à la Figure 23). Dans l'avalanche, des courants et tensions élevés peuvent coexister, un échauffement du TRIAC est donc généralement observé. Cette apparition de chaleur peut provoquer la destruction du composant, si elle est localisée sur des zones spécifiques du TRIAC et notamment la P_J . Le choix de la terminaison de jonction détermine en fait le niveau de robustesse du TRIAC vis-à-vis de l'avalanche. Des outils de simulations peuvent par ailleurs faciliter la conception de la P_J (Cf. annexe E). Le paragraphe suivant liste les principales terminaisons discutées dans la littérature.

3.3.2 Terminaisons de jonction

Dans un composant de puissance tel que le TRIAC, l'interruption de la jonction est inévitable. Des effets de bord 2D et 3D apparaissent nécessairement aux extrémités de la jonction comme le montrent les Figures 25a et b. Ces discontinuités engendrent des pertes de performances en avalanche. Les lignes de champ électrique se concentrent au niveau des bords de la jonction. E_c est alors plus rapidement atteint [8]. La Figure 25c présente l'évolution des tensions d'avalanche 2D et 3D (respectivement V_{BR_2D} et V_{BR_3D}) normalisée par rapport à celle d'une jonction plane (V_{BR_1D}) en fonction du rayon de courbure normalisé r_j/W , W étant la largeur de la ZCE. Pour une courbure égale à la largeur de la ZCE ($r_j/W = 1$), on constate que V_{BR_2D} et V_{BR_3D} n'atteignent respectivement que 65 et 50 % de V_{BR_1D} . La minimisation de ces effets de bord nécessite donc l'emploi de terminaisons de jonction dont les principales techniques sont décrites dans les paragraphes suivants.

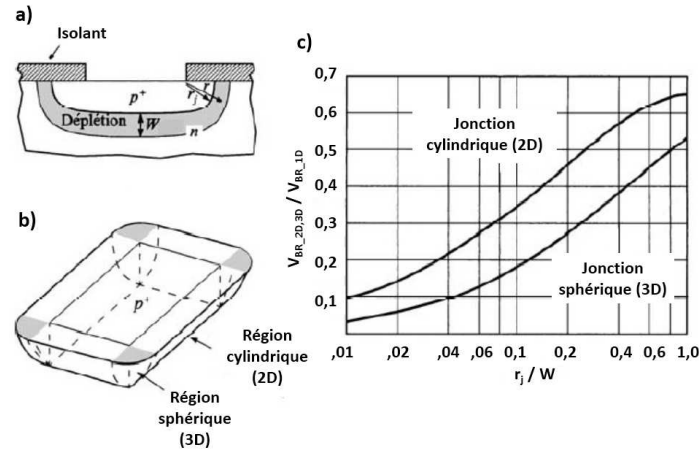


Figure 25 : Tension d'avalanche et effets de bord selon [8]. a) Jonction plane formant une courbure de rayon r_j à son extrémité. b) Visualisation 3D de la jonction plane et mise en évidence des régions cylindriques et sphériques à ses extrémités. c) Tensions d'avalanche 2D et 3D (respectivement V_{BR_2D} et V_{BR_3D}) normalisées par rapport à la tension d'avalanche de la jonction plane (V_{BR_1D}) en fonction du rayon de courbure r_j normalisé par rapport à la largeur de la ZCE (W).

3.3.2.1 Couche de passivation, charges fixes et charges mobiles

Le fonctionnement durable des composants de puissance peut être altéré par la présence de charges mobiles. Ces dernières sont par exemple apportées par les matériaux d'encapsulation [17] ou tout simplement lors de la fabrication, où les solutions chimiques employées riches en alcalins (ions sodium Na^+ ou encore potassium K^+) peuvent contaminer la structure et notamment les oxydes (SiO_2) [18]. Pour garantir la stabilité des performances d'une jonction avec le temps, il est d'usage d'utiliser des couches de passivation comme indiqué sur la Figure 26. Si les charges mobiles sont neutralisées, des charges fixes peuvent néanmoins s'établir à l'interface entre Si et la passivation. Le déploiement de la ZCE est alors modifié.

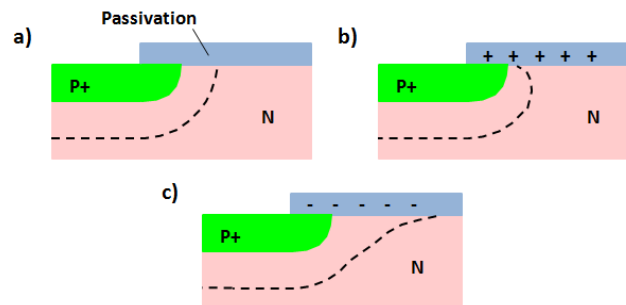


Figure 26 : Passivation de jonction (ici P^+N) et impact sur la ZCE: a) sans charge fixe b) avec charges fixes positives c) avec charges fixes négatives. Par souci de clarté, la ZCE côté P^+ n'a pas été représentée.

En prenant l'exemple d'une jonction P^+N telle que décrite en Figure 26, la ZCE s'étend essentiellement du côté N moins dopé (Figure 26a) et les charges ionisées issues des centres donneurs

(N_D) de la ZCE sont positives. Une interface passivation / Si chargée positivement rend alors inutile l'ionisation des centres N_D . La ZCE se resserre au niveau des extrémités de la jonction (Figure 26b).

A l'inverse, lorsque des charges négatives s'établissent à l'interface passivation / Si, il est nécessaire de libérer des électrons supplémentaires depuis les centres N_D . La ZCE se dilate au niveau des bords de la jonction (Figure 26c).

L'impact du signe des charges serait bien entendu inversé dans le cas d'une jonction N^+P .

Différents types de passivations sont utilisés. Dans le cas des dispositifs Si nécessitant l'utilisation de couches de passivation épaisses, on a souvent recours à des verres et plus précisément des verres au plomb [19]. Des passivations organiques peuvent également être utilisées mais cela reste encore anecdotique aujourd'hui [20].

Pour des jonctions planes, des passivations plus minces suffisent. Les SiO_2 thermiques formés lors de la fabrication des composants sont souvent complétés par des couches de passivations telles que des oxydes déposés par CVD (Chemical Vapor Deposition), citons par exemple les oxydes USG (Undoped Silicate Glass), PSG (Phosphorus doped Silicate Glass) ou encore TEOS (Tetraethyl Ortho Silicate) [19]. Les couches de nitrure (Si_xN_y), de SIPOS (polysilicium dopé oxygène), ainsi que des passivations organiques de type Polyimide, sont également couramment employées [20, 21, 22, 23].

3.3.2.2 Biseautages positif et négatif

Une première technique pour atténuer le champ électrique en bord de puce consiste à retirer de la matière sur les flancs de puce. Toujours à partir de l'exemple de la jonction P^+N , le biseautage est dit positif (Figure 27a) lorsque que l'on retire plus de Si du côté moins dopé (N). A l'inverse, on parle de biseautage négatif (Figure 27b) lorsque Si est majoritairement retiré du côté P^+ .

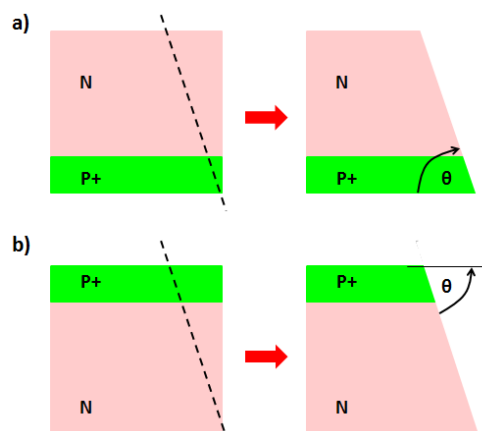


Figure 27 : Biseautages positif (a) et négatif (b). θ caractérise l'angle du biseau.

Dans le cas d'un biseautage positif, le retrait de matière en faveur de la couche de dopage la plus faible engendre une carence en charges ionisées positives (N_D^+), traduite par la surface Q1 sur la Figure 28. Ce déficit doit être compensé par le décalage de la ZCE et la libération supplémentaire d'électrons depuis les centres N_D illustrée par l'aire Q2 sur cette même Figure 28. Il en résulte un élargissement de la ZCE sur le flanc de la jonction et ainsi une atténuation de l'intensité du champ électrique.

Une modélisation de ce comportement est proposée en référence [7]. Les champs électriques de surface résultant d'un biseautage positif (E_{SP}) et sans biseau (E_S), s'expriment l'un par rapport à l'autre en fonction de l'angle du biseau θ selon l'expression 1.5.

Équation 1.5
$$E_{SP} = E_S \frac{\sin\theta}{1+\cos\theta}$$

Une atténuation du champ électrique en surface (E_{SP}/E_S) de 40 % peut être atteinte avec un angle de 45 °. Cette réduction peut suffire à décaler la limitation de l'avalanche au niveau du volume de la jonction.

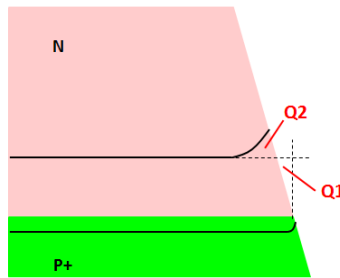


Figure 28 : Déploiement de la ZCE d'une jonction P⁺N en biseautage positif.

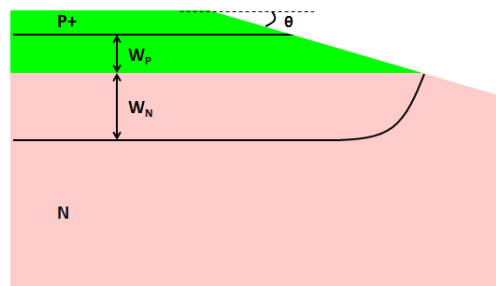


Figure 29 : Déploiement de la ZCE en biseautage négatif : cas d'une jonction graduelle P⁺N et d'un angle de biseau θ faible.

Compte tenu des résultats présentés pour les biseautages positifs, il n'apparaît pas intuitif d'adoucir le champ électrique de surface avec un biseautage négatif (E_{SN}). En effet, le retrait de matière à l'avant de la zone P⁺ induit inévitablement une constriction de la ZCE côté N. Néanmoins, la

combinaison d'un biseau faible avec une jonction P⁺N graduelle constitue tout de même un cas de figure satisfaisant. Cette situation est décrite sur la Figure 29.

Le lien entre E_{SN} et E_S a été établi en fonction de l'angle du biseau θ et des largeurs de déplétion côtés N (W_N) et P (W_P) selon l'expression ci-dessous [7] :

Équation 1.6 $E_{SN} = E_S \frac{W_N}{W_P} \sin\theta$

Avec un angle θ de 2,5 ° et un ratio W_N/W_P de 10, le ratio E_{SN}/E_S peut être réduit de 50 %. Le poids des bords de jonction dans la limitation de V_{BR} est alors affaibli.

Que ce soit en version positive ou négative, les résultats du biseautage donnés dans ce paragraphe restent purement théoriques, puisque la préparation des bords peut générer des défauts limitant les bienfaits de la technique. De plus, pour des raisons de fiabilité, il est fréquent de protéger les flancs de jonction par des couches de passivation. Des charges fixes et/ou des états d'interface peuvent alors perturber le comportement initial (Cf. paragraphe 3.3.2.1).

Précisons également que cette technique de biseautage se limite aux puces de fortes puissances où un wafer donne lieu à une puce unique [24]. Il est en effet difficile, voire impossible avec les techniques actuelles, de réaliser des biseaux avantageux sur un wafer multi-puces.

3.3.2.3 Terminaison MESA

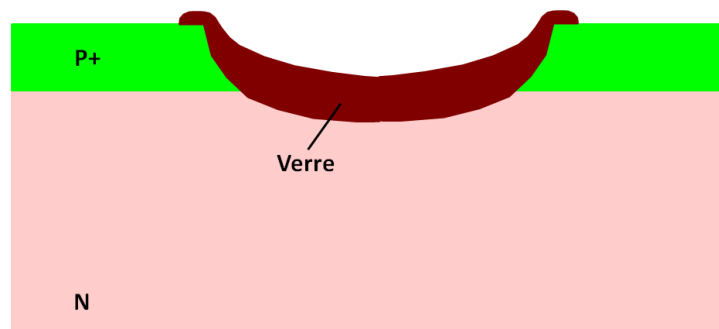


Figure 30 : Jonction P⁺N à terminaison MESA : sillon rempli de verre.

Comme le montre la Figure 30, la terminaison MESA découle de la technique du biseautage négatif présentée dans le paragraphe précédent. On vient en effet graver des sillons dans le Si par voie chimique, généralement des mélanges d'acides fluorhydrique (HF), acétique (acac) et nitrique (HNO₃). Cette technique ne permet donc pas véritablement d'éloigner E_c des extrémités de la jonction. Néanmoins, contrairement au biseautage, elle est simple d'utilisation et s'applique pour des wafers multi-puces. Son utilisation est donc très répandue.

Par ailleurs, en remplissant les sillons par des couches de passivation épaisses, généralement des verres au plomb, il est possible d'obtenir une bonne stabilité des performances. Il convient également d'ajouter que ces verres plombés développent des charges négatives à l'interface verre / Si, permettant ainsi de limiter la constriction de la ZCE côté N (Cf. paragraphe 3.3.2.1).

3.3.2.4 Terminaison à anneaux flottants

L'utilisation d'anneaux flottants entourant la jonction principale est une méthode également pratiquée pour optimiser la terminaison de jonctions planes. Ces compléments de diffusions sont généralement réalisés simultanément à la jonction principale, simplement par un ajustement du masque, de façon à ne pas complexifier le processus de fabrication. Leur nombre est variable, il dépend des performances souhaitées et des profils de diffusion choisis. La Figure 31 illustre ce procédé pour le cas de deux anneaux flottants.

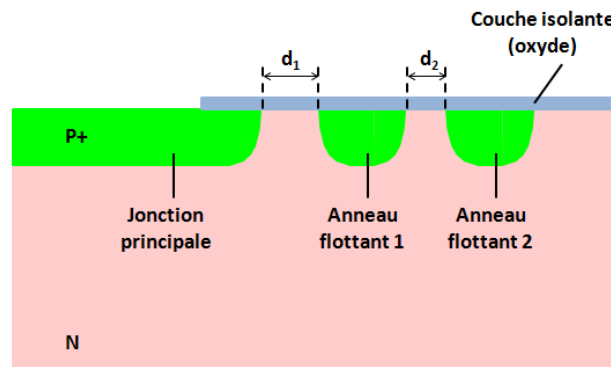


Figure 31 : Terminaison d'une jonction plane P⁺N possédant deux anneaux flottants.

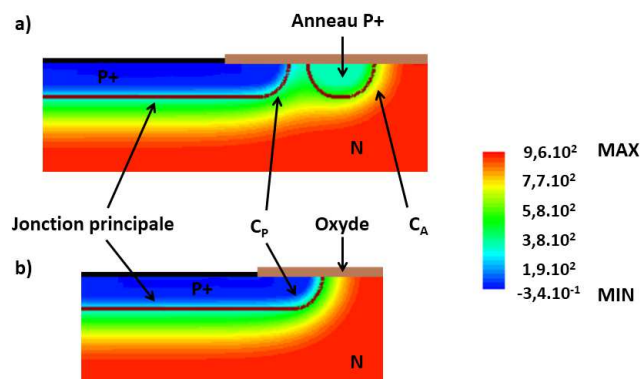


Figure 32 : Cartographies du potentiel électrostatique (en V) d'une jonction P⁺N plane polarisée en inverse, avec (a) et sans (b) anneau flottant. Une tension de 960 V est appliquée aux bornes de la jonction.

Le positionnement du premier anneau avec la jonction principale (d_1), ainsi que le placement des anneaux les uns par rapport aux autres le cas échéant (d_2), est déterminant. L'efficacité de la terminaison repose en effet sur la conception des anneaux flottants. L'exercice est compliqué puisqu'il

nécessite la prise en compte des diffusions latérales et des charges présentes à l'interface Si / couche isolante (par exemple SiO₂).

Le principe de cette terminaison consiste à ajouter un anneau sans contact direct avec la jonction principale, à une distance ni trop courte, ni trop longue de celle-ci, de façon à « attraper » une partie du potentiel de la jonction principale et ainsi relâcher les lignes de champ électrique au niveau des courbures 2D et 3D des jonctions (Cf. Figure 25) [7, 25]. Les représentations du potentiel électrostatique (Cf. Figure 32) et du champ électrique (Cf. Figure 33) permettent d'illustrer plus clairement les phénomènes mis en jeu. Les cartographies opposent en effet les deux cas de la jonction plane polarisée en inverse, avec et sans anneau flottant, lorsqu'une tension de 960 V est appliquée.

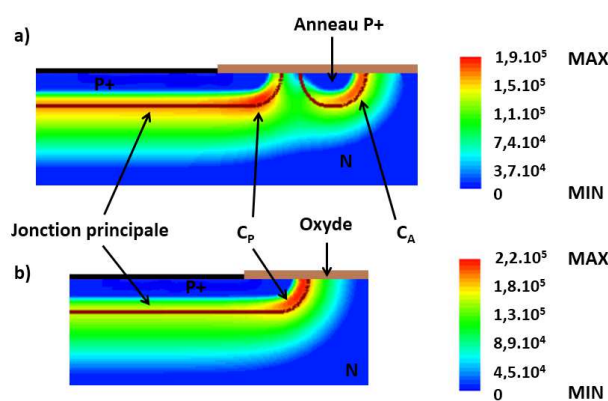


Figure 33 : Cartographies du champ électrique (en V/cm) d'une jonction P⁺N plane polarisée en inverse, avec (a) et sans (b) anneau flottant. Une tension de 960 V est appliquée aux bornes de la jonction.

Sans anneau, les lignes de champ électrique sont fortement resserrées au niveau de la courbure de la jonction principale (C_p), zone limitant la tenue en tension comme il a été expliqué en introduction du paragraphe 2.2.3.2 et sur la Figure 25. Avec l'addition d'un anneau flottant judicieusement positionné, elles se relâchent au niveau de C_p. On retrouve une contraction au niveau de la courbure de l'anneau (C_A) mais l'écartement de l'anneau par rapport à la jonction principale impose une différence de potentiel plus faible au niveau de C_A. Il en découle un champ électrique maximal plus faible et donc une tenue en tension avantageuse pour la structure avec anneau flottant.

L'inconvénient de ce type de terminaison sera néanmoins sa taille, notamment lorsque les jonctions sont profondes, ce qui est souvent le cas dans le domaine des composants de puissance. Le compromis coût / performance conditionnera donc son choix.

3.3.2.5 Extension de la terminaison de jonction (JTE « Junction Termination Extension »)

La technique dite de l'extension de jonction consiste à ajouter une région faiblement dopée (JTE) aux extrémités de la jonction principale comme le montre la Figure 34. Contrairement au cas de l'anneau

flottant, ce dopage additionnel nécessite obligatoirement une opération supplémentaire, généralement une implantation ionique suivie de son recuit d'activation, afin d'ajuster au mieux la quantité de charges nécessaires dans la JTE.

L'efficacité de cette terminaison réside sur la distribution de E tout le long de la JTE. Si le dopage de la JTE est trop élevé, la tenue en tension sera limitée par la courbure 2D/3D de la JTE (Point B sur la Figure 34). A l'inverse, un dopage trop faible induit une déplétion prématurée de la JTE et un claquage au niveau de la jonction principale (Point A sur la Figure 34) [7, 25].

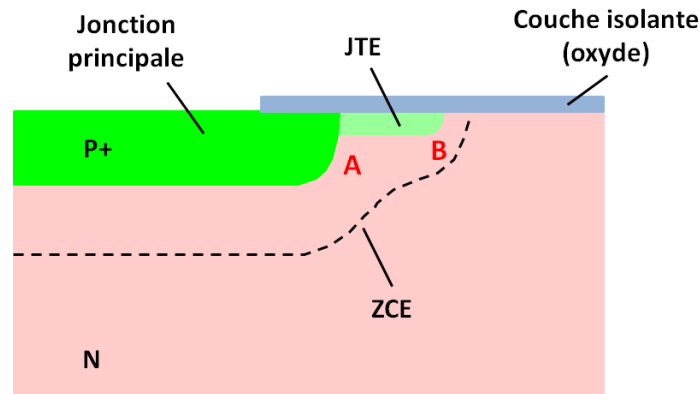


Figure 34 : Terminaison JTE d'une jonction P^+N . Par souci de clarté, la ZCE côté P n'a pas été représentée.

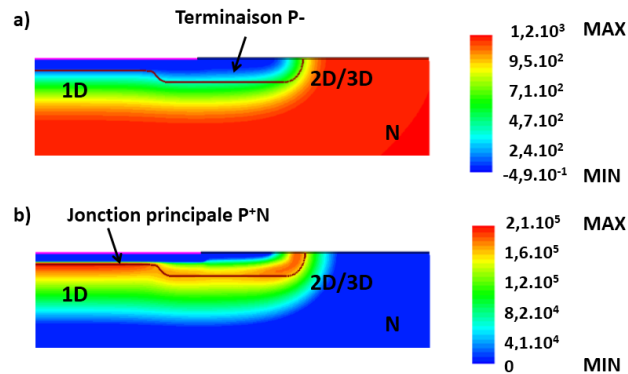


Figure 35 : Terminaison P^- d'une jonction P^+N polarisée sous 1200V: a) cartographie du potentiel électrostatique (en V) b) cartographie du champ électrique (en V/cm).

Dans la pratique, les fabricants de semi-conducteurs de puissance ont plus souvent recours à des périphéries P^- pour accroître les tenues en tension de leur dispositif [26]. La région JTE est remplacée par un dopage P^- plus profond et moins dopé par rapport à la jonction principale. La Figure 35 présente les cartographies relatives au potentiel électrostatique (a) et au champ électrique (b) d'une jonction P^+N polarisée sous 1200 V et terminée selon cette méthode. On constate que l'avalanche n'est plus limitée par les courbures 2D/3D de la jonction principale. Le champ électrique maximal s'établit plutôt au niveau des courbures 2D/3D de la région P^- et de la jonction plane (1D). Cette technique permet une meilleure reproductibilité des résultats.

3.3.2.6 Terminaison dite à plaque de champ (« Field plate »)

Cette technique repose sur le principe décrit en Figure 26c où la présence de charges négatives à l'interface Si / SiO₂ permettait l'extension de la ZCE. En allongeant le contact métallique au-delà des limites de la jonction, tel qu'illustré sur la Figure 36, des charges positives se développent côté Si lorsque la jonction P⁺N est polarisée en inverse.

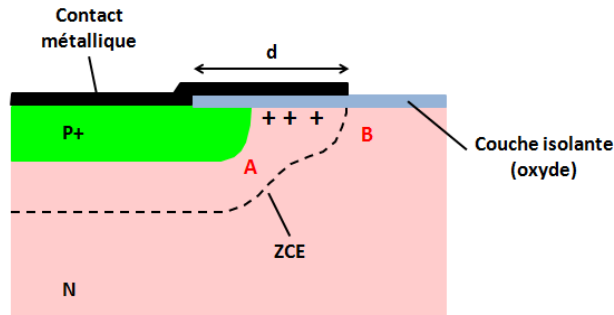


Figure 36 : Jonction P⁺N à plaque de champ. Par souci de clarté, la ZCE côté P⁺ n'a pas été représentée.

L'efficacité de cette terminaison est directement reliée à la longueur de la plaque de champ (distance d sur la Figure 36). Lorsque d est trop étendue, le champ électrique se concentre aux extrémités de la plaque (Point B sur la Figure 36) et limite l'avalanche de la jonction. Si d est trop faible, la terminaison n'apportera aucune amélioration et la tenue en tension sera déterminée par les courbures 2D/3D de la jonction principale (Point A sur la Figure 36) [7, 25, 27].

Une variante de la technique décrite ci-dessus consiste à réaliser l'effet plaque de champ à l'aide d'une couche semi-résistive du type SIPOS positionnée au-dessus d'un oxyde thermique et intercalée entre les contacts Anode et Cathode de la jonction P⁺N (Cf. Figure 37).

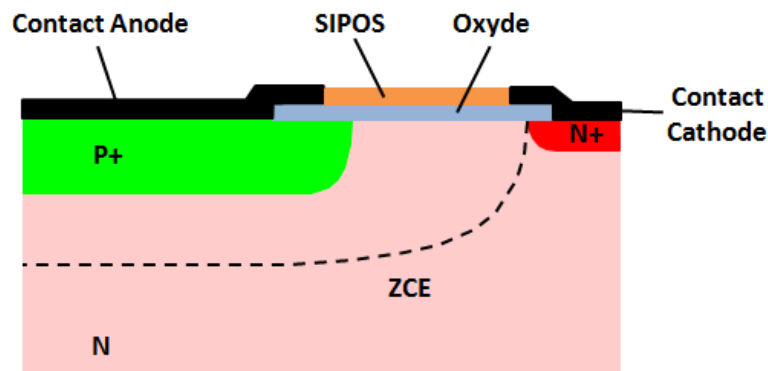


Figure 37 : Jonction P⁺N à plaque de champ semi-résistive. Par souci de clarté, la ZCE côté P⁺ n'a pas été représentée.

Le caractère résistif du SIPOS engendre la circulation d'un courant lorsqu'une polarisation inverse est appliquée entre les électrodes Anode et Cathode. La linéarisation du potentiel au niveau du SIPOS est transmise à l'interface Si / SiO₂, atténuant ainsi le champ électrique de surface [28, 29, 30].

3.3.2.7 Jonction concave

A l'exception du biseautage (et donc du MESA qui en découle), les techniques décrites dans les paragraphes précédents ont été développées suite à la limitation apportée par les courbures convexes (2D/3D) des jonctions planes. Cette problématique peut être surmontée en utilisant des jonctions concaves telles que présentées sur la Figure 38.

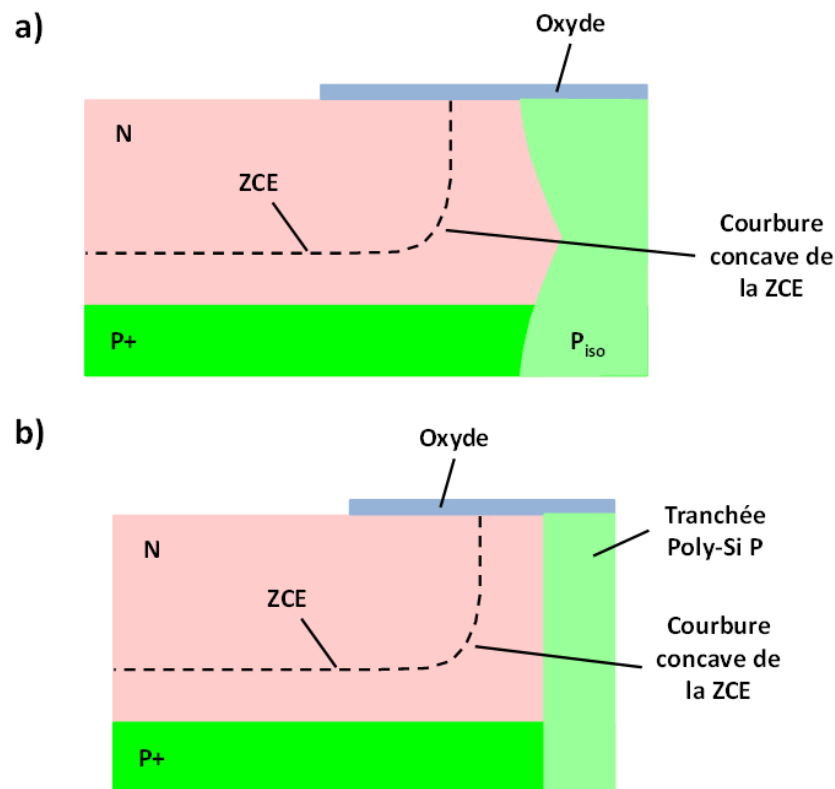


Figure 38 : Terminaison de jonction P⁺N concave : a) avec caissons dopés P traversants (P_{iso}) b) avec tranchées remplies de polysilicium (Poly-Si) dopé P. Par souci de clarté, la ZCE côté P n'a pas été représentée.

Un premier moyen de réalisation consiste à faire diffuser une couche P_{iso} de part et d'autre du wafer. Le raccordement des deux diffusions à mi-épaisseur du wafer confère à la jonction P⁺N sa terminaison concave (Figure 38a). Une couche de passivation, par exemple un oxyde, reste toujours nécessaire pour stabiliser les performances de la jonction. La tenue en tension de la structure est alors contrôlée par la jonction plane et l'impact de la couche de passivation sur le champ électrique de surface (Cf. paragraphe 3.3.2.1).

Une seconde méthode est décrite sur la Figure 38b. Le principe reste le même. Les caissons P_{iso} traversants sont cette fois-ci remplacés par une tranchée remplie de Poly-Si dopé P.

3.3.2.8 Autres terminaisons

Les techniques explicitées dans les paragraphes précédents correspondent aux terminaisons les plus souvent rencontrées dans le domaine des composants de puissance et notamment les TRIACs. De nombreuses autres terminaisons ont également été proposées dans la littérature, s'appuyant la plupart du temps sur les cas de références que nous avons détaillés précédemment. Deux autres solutions méritent tout de même une attention particulière : les terminaisons « tranchée » et « Resurf » (Reduced Surface field).

Concernant la première solution citée, une tranchée profonde est intégrée aux extrémités de la jonction principale. Un dopage P- est ensuite ajouté à partir des flancs de la tranchée qui est finalement remplie par un matériau isolant, généralement de type organique (Cf. Figure 39). Cette terminaison tranchée est en fait une variante de la technique JTE décrite au paragraphe 3.3.2.5. L'extension de la jonction est cette fois-ci non pas réalisée horizontalement mais verticalement. Le dimensionnel de la terminaison est ainsi optimisé [31].

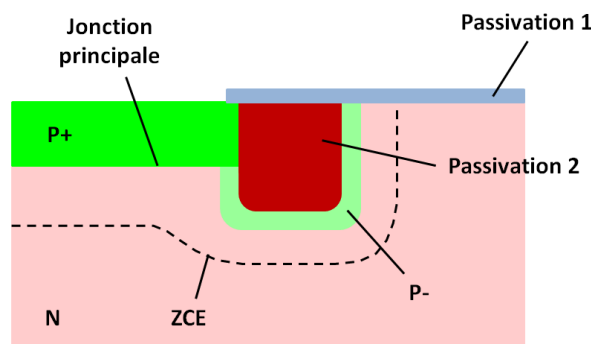


Figure 39 : Terminaison « tranchée » d'une jonction P^+N . Par souci de clarté, la ZCE côté P n'a pas été représentée.

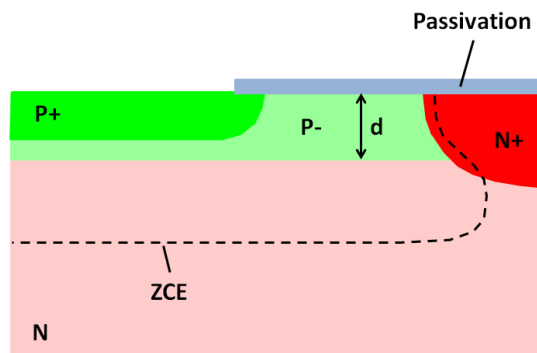


Figure 40 : Terminaison « Resurf » d'une jonction P^+N . Par souci de clarté, la ZCE côté P n'a pas été représentée.

La terminaison « Resurf » se rapproche quant à elle de la terminaison P^- également discutée au paragraphe 3.3.2.5. La structure comporte deux jonctions, une première N^+P^- latérale et une seconde NP^- verticale (Cf. Figure 40). Lorsque la couche P^- est trop profonde (distance d), la tenue en tension est limitée par la jonction N^+P^- . E est alors maximal en surface. Par contre, en affinant judicieusement d , les déplétions des jonctions verticales et latérales s'influencent mutuellement pour obtenir au final des performances d'avalanche intéressantes [32, 33].

4. Notions de base à la conception des P_{J} TRIACs

Le TRIAC est un composant clef dans le domaine du contrôle des charges fonctionnant à partir de la tension AC du secteur. Sa fonction et sa structure de base ont été largement détaillées respectivement dans les sections 2 et 3 de ce chapitre. Précisons néanmoins que le TRIAC n'est pas l'unique dispositif silicium bipolaire capable d'une telle performance, d'autres solutions ont été proposées et sont exploitées dépendamment des besoins des applications. Elles sont listées en annexe F. Le lecteur constatera cependant un fort lien de parenté avec le TRIAC.

Connaissant maintenant les paramètres électriques du TRIAC et son architecture Si, il est possible de discuter les liens qui les unissent, objets de cette quatrième partie. Nous le verrons plus en détail dans le cadre du quatrième chapitre de ce manuscrit mais la vocation principale de notre étude consiste à démontrer la faisabilité d'une P_{J} TRIAC à base de PS (P_{J} -PS). Cette quatrième section sera donc orientée quasi exclusivement sur la tenue en tension et les courants de fuite du TRIAC. La conception de la ZA du TRIAC n'est cependant pas sans effet sur la P_{J} . Premièrement, leur proximité induit inévitablement des interactions entre les deux régions. Deuxièmement, les mécanismes régnant dans chacune des deux zones font bien souvent appel aux mêmes paramètres physiques, créant ainsi des interdépendances. Nous commencerons donc par évoquer brièvement les principales relations existant entre ZA et P_{J} . Puis, en accord avec nos objectifs, nous traiterons de façon aussi exhaustive que possible le sujet des paramètres de blocage du TRIAC ($I_{\text{DRM}}/I_{\text{RRM}}$ et V_{BR}) ainsi que leurs phénomènes physiques associés.

4.1 Interdépendances entre ZA et P_{J}

L'ensemble des mécanismes physiques et électriques contrôlant les paramètres de la ZA du TRIAC est discuté dans le détail en annexe G. Les clefs du dimensionnement des TRIACs sur le plan de son état passant y sont effectivement révélés, ainsi que les spécificités associées à ses régimes transitoires. Dans ce paragraphe, nous nous concentrerons simplement sur les facteurs communs et souvent antagonistes existants entre les deux régions.

Le Tableau 1 liste les quatre paramètres principaux agissant à la fois sur les performances de P_{J} et ZA. Tout d'abord l'épaisseur substrat (d_{sub}), elle est au cœur du compromis définissant les performances en

conduction et en blocage du TRIAC. D'un côté, plus d_{sub} augmente et plus V_{BR} pourra être élevée (Cf. paragraphe 4.2). Mais de l'autre, plus d_{sub} est amincie et plus V_T est faible. Notons également que la commutation di/dt_c ne se retrouve pas avantagée par une élévation de d_{sub} .

La durée de vie des minoritaires, τ_n et τ_p respectivement pour les électrons et les trous, joue également un rôle important sur les deux fronts. En effet, nous le verrons plus en détail dans le paragraphe suivant (Cf. paragraphe 4.2), mais plus τ_n et τ_p sont fortes et meilleurs sont les courants de fuite I_{DRM} et I_{RRM} du TRIAC. La tendance serait identique pour V_T , néanmoins viser des valeurs τ_n et τ_p trop élevées conduit à de fortes limitations au niveau du paramètre di/dt_c .

Par ailleurs, ajouter des trous de court-circuit d'émetteur (ccE) tel que décrit dans l'annexe G, paragraphe A.2.a, s'avère intéressant pour optimiser V_{BR} . Cet artifice permet en effet une diminution des gains NPN constituant le TRIAC (Cf. paragraphe 4.2). Cependant, multiplier ccE engendrera une augmentation des paramètres contrôlant la sensibilité du TRIAC, dont notamment I_{GT} et I_H .

Tableau 1 : Paramètres d'influence communs à P_G et ZA. Seules les oppositions entre P_G et ZA sont ici mises en évidence.

Paramètres	Effet sur la périphérie	Effet sur la zone active
Epaisseur du substrat silicium (d_{sub})	$d_{sub} \uparrow \Rightarrow V_{BR} \uparrow$	$d_{sub} \downarrow \Rightarrow V_T \downarrow$
Durée de vie des porteurs minoritaires (τ_n et τ_p)	τ_n et $\tau_p \uparrow \Rightarrow I_{DRM} / I_{RRM} \downarrow$	τ_n et $\tau_p \downarrow \Rightarrow di/dt_c \uparrow$
Court-circuit d'émetteur (ccE)	$ccE \uparrow \Rightarrow V_{BR} \uparrow$	$ccE \downarrow \Rightarrow I_{GT}$ et $I_H \downarrow$
Dopage des jonctions P_1/N et P_2/N (Dop)	$Dop \downarrow \Rightarrow V_{BR} \uparrow$	$Dop \uparrow \Rightarrow V_T \downarrow$

Un dernier facteur ne doit pas être négligé, les niveaux de dopages P_1 et P_2 (Cf. Figure 21). Plus ils seront bas et plus V_{BR} sera favorisée. Néanmoins, la qualité des contacts ohmiques devient plus compliquée et peut nécessiter l'ajout d'une couche P^+ supplémentaire, compliquant ainsi le procédé de fabrication du TRIAC. De plus, lorsque P_1 et P_2 sont trop faibles, les porteurs minoritaires peuvent disposer de longueurs de diffusion suffisantes pour venir s'y recombiner et ajouter des pertes additionnelles visibles sur V_T .

La revue des quatre facteurs identifiés dans le Tableau 1 montre ainsi clairement que la conception de la P_U et l'optimisation des paramètres I_{DRM} , I_{RRM} et V_{BR} qui en découlent doivent aussi prendre en considération les exigences relatives à ZA.

4.2 Tenue en tension et courant de fuite

Tenues en tension et courants de fuite sont toujours étroitement liés. Le choix de la jonction plane P^+N et la terminaison qui lui est associée conditionnent en premier lieu les performances de blocage du TRIAC (Cf. Figure 35 et paragraphe 2.2.3). Cette affirmation reste vraie, que l'on traite de la jonction supérieure (polarisation directe) ou inférieure (polarisation inverse). Les paragraphes suivants détailleront les différents mécanismes influents.

4.2.1 Courant de fuite d'une jonction PN

Comme le montre la Figure 35, le blocage du TRIAC est assuré par des jonctions PN. Le courant de fuite d'une jonction PN polarisée en inverse explique donc en partie le comportement du TRIAC dans ce domaine. Il existe quatre contributions au courant de fuite d'une jonction PN : un courant de diffusion, des courants de génération surfacique et volumique et enfin un courant de canal (Cf. Figure 41). Ces dernières seront explicitées dans les prochains paragraphes. Un accent particulier sera porté sur leurs dépendances avec la température et la tension.

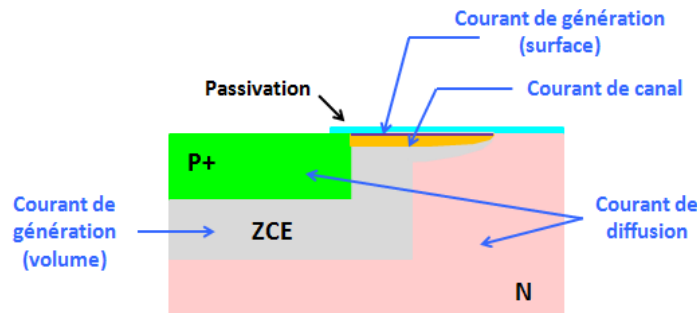


Figure 41 : Répartition géographique des origines du courant de fuite.

4.2.1.1 Courant de diffusion

On distingue tout d'abord les courants de diffusion (I_{diff}). En référence à la Figure 41, I_{diff} trouve naissance de l'injection parallèle de trous et d'électrons respectivement de N vers P^+ et de P^+ vers N. I_{diff} s'exprime sous la forme [8]:

$$\text{Équation 1.7} \quad I_{diff} = I_{diff0} \left[\exp\left(\frac{q.V}{k.T}\right) - 1 \right]$$

L'équation 1.7 fait appel à la charge des porteurs q , la constante de Boltzmann k et le courant de saturation I_{diff0} .

I_{diff} est contrôlé par les propriétés des porteurs minoritaires, c'est-à-dire des trous dans la région N et des électrons dans la région P^+ . Concrètement cela se traduit dans l'expression de I_{diff0} qui fait apparaître les concentrations à l'équilibre des minoritaires (n_{p0} et p_{n0}), leurs coefficients de diffusion (D_n et D_p) ainsi que leurs longueurs de diffusion (L_n et L_p) :

$$\text{Équation 1.8} \quad I_{diff0} = \frac{q \cdot D_n \cdot n_{p0}}{L_n} + \frac{q \cdot D_p \cdot p_{n0}}{L_p}$$

I_{diff0} est également fonction de T mais ne dépend pas de la tension appliquée :

$$\text{Équation 1.9} \quad I_{diff0} \propto T^\alpha \cdot \exp\left(-\frac{E_g}{k \cdot T}\right)$$

Dans l'équation 1.9, α est une constante et E_g le gap du Si.

En régime inverse, le terme exponentiel de l'équation 1.7 devient négligeable et le courant de diffusion se simplifie selon 1.10.

$$\text{Équation 1.10} \quad I_{diff} \approx I_{diff0}$$

4.2.1.2 Courant de génération volumique

La génération de porteurs (I_{gen}) dans la ZCE participe également au courant de fuite (Cf. Figure 41) [7, 8, 36]. Dans le cas du Si où le gap est indirect, les transitions dominantes entre les bandes de conduction et de valence s'effectuent par l'intermédiaire de pièges situés dans la bande interdite. La statistique de Shockley Read Hall décrit ce type de mécanisme. Plus précisément, le taux de génération / recombinaison U traduit la différence entre les taux de capture et d'émission des porteurs transitant par ces centres en situation de non équilibre. Pour un type de piège donné, il est défini par l'expression 1.11.

$$\text{Équation 1.11} \quad U = \frac{\sigma_n \cdot \sigma_p \cdot v_{tn} \cdot v_{tp} \cdot N_t \cdot (p \cdot n - n_i^2)}{\sigma_n \cdot v_{tn} \left[n + n_i \cdot \exp\left(\frac{E_t - E_i}{k \cdot T}\right) \right] + \sigma_p \cdot v_{tp} \left[p + n_i \cdot \exp\left(\frac{E_i - E_t}{k \cdot T}\right) \right]}$$

L'équation 1.11 fait appel à la densité de pièges dans la bande interdite N_t , aux densités d'électrons n et de trous p , à l'énergie des pièges E_t , aux sections de capture dans les pièges pour les électrons σ_n et les trous σ_p , aux vitesses thermiques des électrons v_{tn} et des trous v_{tp} , à la concentration intrinsèque des porteurs n_i et enfin au niveau de Fermi intrinsèque E_i .

Lorsque les porteurs sont en concentration inférieure à celle correspondant à la situation d'équilibre, autrement dit lorsque $n \ll n_i$ et $p \ll n_i$, ce qui est le cas dans la ZCE, l'équation 1.11 se simplifie sous la forme donnée par l'équation 1.12.

Équation 1.12 $U = -\frac{n_i}{\tau_g}$

Le dénominateur τ_g correspond au temps de génération des porteurs des pièges situés dans la bande interdite vers les bandes de conduction et de valence du semi-conducteur. Il s'exprime tel que :

Équation 1.13 $\frac{1}{\tau_g} = \frac{\sigma_p \cdot \sigma_n \cdot v_{tn} \cdot v_{tp} \cdot N_t}{\sigma_n \cdot v_{tn} \cdot \exp[(E_t - E_i)/k.T] + \sigma_p \cdot v_{tp} \cdot \exp[(E_i - E_t)/k.T]}$

La durée de vie des porteurs minoritaires (τ_{n0} et τ_{p0} respectivement pour les électrons injectés dans une zone P et les trous dans une zone N) est fonction de N_t , σ_n , σ_p , v_{tn} et v_{tp} selon les deux relations suivantes :

Équation 1.14 $\tau_{n0} = \frac{1}{\sigma_n \cdot v_{tn} \cdot N_t}$

Équation 1.15 $\tau_{p0} = \frac{1}{\sigma_p \cdot v_{tp} \cdot N_t}$

En combinant les équations 1.13 et 1.14 dans 1.15, τ_g peut également s'écrire selon la formule suivante :

Équation 1.16 $\tau_g = \tau_{p0} \cdot \exp[(E_t - E_i)/k.T] + \tau_{n0} \cdot \exp[(E_i - E_t)/k.T]$

Au final, I_{gen} se formule selon l'expression ci-dessous :

Équation 1.17 $I_{gen} = q \cdot A \int_0^{W_D} U \cdot dx = -\frac{q \cdot n_i \cdot A \cdot W_D}{\tau_g}$

Les termes A et W_D représentent respectivement la surface et la largeur de la ZCE.

Cette dernière formule 1.17 peut être résolue à l'aide de méthodes de résolution numériques (Outil Sentaurus proposé par la société Synopsys par exemple) dans lesquelles différents modèles de durée de vie des porteurs minoritaires sont accessibles en fonction du dopage, de T et de E, facilitant ainsi l'accès à I_{gen} .

4.2.1.3 Courant de génération surfacique

Malgré la présence d'une couche de passivation à la surface de la jonction PN, des états d'interface positionnés dans la bande interdite du Si sont présents et génèrent un courant de génération supplémentaire (I_{gens}) (Cf. Figure 41) [7, 8, 35].

De façon analogue à I_{gen} , I_{gens} s'exprime tel que :

Équation 1.18 $I_{gens} = q \cdot L_s \int_0^{W_D} U_s \cdot dy$

L_s et U_s correspondent respectivement à la circonférence de la jonction et au taux de génération / recombinaison de surface.

U_s s'obtient de façon similaire à U (Cf. Équation 1.11) en définissant S_n et S_p les vitesses de recombinaison respectivement des électrons et des trous telles que :

Équation 1.19 $S_n = N_{st} \cdot v_{tn} \cdot \sigma_n$

Équation 1.20 $S_p = N_{st} \cdot v_{tp} \cdot \sigma_p$

N_{st} représente la densité surfacique des centres de génération / recombinaison situés à une énergie E_{st} dans la bande interdite.

En notant respectivement p_s et n_s les densités de trous et d'électrons à proximité de la surface, U_s prend alors la forme donnée par l'équation 1.21.

Équation 1.21
$$U_s = \frac{S_n \cdot S_p (p_s \cdot n_s - n_i^2)}{S_n [n_s + n_i \cdot \exp(\frac{E_{st} - E_i}{k.T})] + S_p [p_s + n_i \cdot \exp(\frac{E_i - E_{st}}{k.T})]}$$

Des modèles spécifiques de S_n et S_p sont applicables dans les outils de résolution numérique, notamment en fonction du dopage, de façon à prendre en compte ces phénomènes d'interface.

4.2.1.4 Courant de canal

Une jonction mal passivée entraîne la formation d'un canal en surface du fait de la présence de charges fixes ou de la migration d'ions durant le fonctionnement de la jonction. Dans le cas de la Figure 41, la présence de charges négatives à l'interface Si / passivation induit le développement de trous côté Si. Prenons le cas de la Figure 41 et de sa région N faiblement dopée, un canal prend naissance et facilite la circulation des trous le long de l'interface. Ce courant de surface I_{can} résulte donc du mécanisme de recombinaison / génération de porteurs dans le canal (1) ou dans la ZCE à proximité du canal (2) [34, 35].

Dans le cas (2), le courant de fuite I_{can} s'exprime de façon strictement identique à l'équation 1.17 donnée dans le paragraphe 4.2.1.2. Dans le cas (1), on montre que I_{can} s'écrit sous la forme :

Équation 1.22
$$I_{can} = W_I \cdot L_S \cdot q \left(\frac{D_p \cdot p \cdot n_i}{\tau_0} \right)^{1/2} \left(\frac{q \cdot V}{k.T} \right)^{1/2}$$

W_I représente la largeur du canal et τ_0 la durée de vie des trous dans le canal (plus généralement la durée de vie des porteurs en excès dans le canal).

4.2.2 Effets de gain

L'avalanche du TRIAC est également impactée par les transistors NPN et PNP qui le composent. Des gains trop élevés peuvent conduire à des tenues en tension affaiblies [7].

Considérons le SCR positif de la Figure 21 (le raisonnement sera évidemment transposable au SCR négatif). Lorsque son électrode A2 est polarisée négativement par rapport à A1 (Figure 42a), il est en situation de blocage inverse. Plus précisément, la tension est portée par la jonction P₁N. Un courant de génération I_{gen} prend naissance dans la ZCE. Notamment, un courant d'électrons issu de I_{gen} nourrit la base du transistor P₂NP₁. Un courant additionnel proportionnel au gain de ce transistor ($I_{A1} \cdot \alpha_{PNP}$) traverse donc également la structure. La loi de Kirchhoff devant être respectée, nous pouvons alors écrire :

Équation 1.23 $I_{A2} = I_{A1} = I_{gen} + I_{A1} \cdot \alpha_{PNP}$

Après simplification, l'expression 1.23 se transforme sous la forme 1.24. Ajoutons que le gain du transistor NP₂N⁺₁ a été supposé trop faible pour amener une contribution significative.

Équation 1.24 $I_{A2} = I_{A1} = \frac{I_{gen}}{1 - \alpha_{PNP}}$

L'équation 1.24 nous indique que le courant transitant dans le TRIAC peut rapidement s'élever si le gain du transistor P₂NP₁ s'approche de l'unité.

Plus précisément, la condition d'avalanche $\alpha_{PNP} = 1$ peut être affinée en détaillant le gain du transistor. Ce dernier se décompose en effet sous la forme générale [7]:

Équation 1.25 $\alpha = \alpha_T \cdot \gamma_E \cdot \gamma_C$

Le terme α_T représente le coefficient de transport de la base, γ_E l'efficacité d'injection de l'émetteur et γ_C l'efficacité de collection du collecteur.

γ_E exprime la proportion du courant d'émetteur injecté dans la base, α_T mesure la capacité des porteurs injectés à rejoindre le collecteur à travers la base et enfin γ_C traduit le transport des porteurs dans le collecteur. Lorsque la jonction base / collecteur est faiblement polarisée en inverse, γ_C avoisine l'unité. En accentuant la polarisation, γ_C se retrouve amplifié par le phénomène de multiplication par avalanche (caractérisé par le coefficient de multiplication M tel que décrit dans l'annexe E) de telle sorte que $\gamma_C = M$.

Au final, la condition d'avalanche prend la forme :

Équation 1.26 $\alpha_{PNP} = \gamma_E \cdot \alpha_T \cdot M = 1$

γ_E ne varie pas en fonction de la tension appliquée, ce n'est évidemment pas le cas ni pour M (Cf. annexe E) ni pour α_T . En effet, plus la tension appliquée croît, plus la largeur de la base se réduit et donc plus α_T augmente [7]. Le coefficient α_T du transistor P_2NP_1 peut donc peser suffisamment de telle sorte que la tension d'avalanche inverse du SCR positif apparaisse plus précocement.

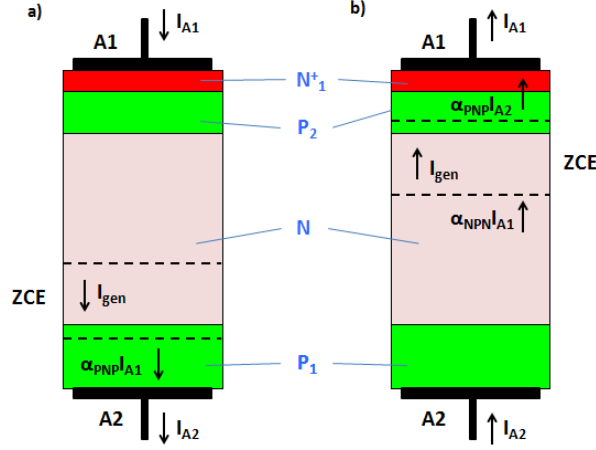


Figure 42 : Blocage du SCR positif du TRIAC : a) polarisation inverse b) polarisation directe.

En régime de blocage direct, l'électrode A2 est maintenant polarisée positivement par rapport à A1 et la tension est tenue par la jonction P_2N (Cf. Figure 42b). Dans cette configuration, les deux transistors P_1NP_2 et N^+P_2N sont actifs et l'équation 1.23 devient :

$$\text{Équation 1.27} \quad I_{A2} = I_{A1} = I_{gen} + I_{A1} \cdot \alpha_{PNP} + I_{A2} \cdot \alpha_{NPN}$$

De l'égalité 1.27, on déduit donc les expressions de I_{A1} et I_{A2} (Cf. équation 1.28).

$$\text{Équation 1.28} \quad I_{A2} = I_{A1} = \frac{I_{gen}}{1 - \alpha_{NPN} - \alpha_{PNP}}$$

Au final, à partir de l'équation 1.28 et en décomposant les gains des transistors tel que décrit par l'équation 1.25, la condition d'avalanche s'écrit :

$$\text{Équation 1.29} \quad \alpha_{NPN} + \alpha_{PNP} = [(\gamma_E \cdot \alpha_T)_{NPN} + (\gamma_E \cdot \alpha_T)_{PNP}]M = 1$$

Notons que dans l'équation 1.29, les coefficients de multiplication M des deux transistors ont été considérés comme égaux puisque la ZCE leur est commune.

En blocage direct, les gains des deux transistors P_1NP_2 et N^+P_2N , ainsi que M , conditionne l'avalanche. De ce fait, la tenue en tension directe du SCR positif est généralement plus faible que son équivalent en régime inverse. Sachant que le TRIAC est constitué de ses deux SCR positif et négatif

montés en antiparallèle, ses tenues en tensions seront systématiquement diminuées par les blocages en régime direct de ses deux SCRs.

Tel que discuté dans le cadre du paragraphe 4.1, des améliorations sont possibles mais elles ne sont pas sans effet. Sans modifier les profils de jonction initiaux, augmenter l'épaisseur substrat et/ou réduire la durée de vie des porteurs permet de récupérer une partie des performances escomptées en diminuant le coefficient de transport α_T des transistors. En contrepartie, les paramètres de conduction seront dégradés. La seconde solution engendre également une élévation des courants de fuite (Cf. paragraphe 4.2.1.2). De plus, l'efficacité d'injection des émetteurs des transistors NPN peut être volontairement affaiblie en court-circuitant judicieusement les régions N^+ (émetteur) et P (base) (Cf. paragraphe A.2.e de l'annexe G).

4.2.3 Effet « reach through »

L'effet « reach through » se produit lorsque les ZCE de deux jonctions, l'une en inverse, l'autre en direct, se rejoignent. La Figure 43 présente le cas du SCR positif du TRIAC lorsque celui-ci est polarisé en direct. Deux alternatives sont possibles. La première (Figure 43a) se produit lorsque l'épaisseur du substrat N et/ou son dopage sont trop faibles. Dans ce cas de figure, la ZCE de la jonction P_2N (en inverse) vient se confondre avec celle de la jonction P_1N (en direct). La tension aux bornes du SCR positif conduisant à cette situation est nommée « reach through voltage » (V_{RT}) et s'exprime selon la formule [8, 37]:

$$\text{Équation 1.30} \quad V_{RT} = \frac{q.N_D}{2.\epsilon_s} L_N^2 - L_N \left(\frac{2.q.N_D}{\epsilon_s} (V_{bi} - V_1) \right)^{1/2}$$

N_D représente le dopage du substrat (type N), L_N son épaisseur, ϵ_s la constante diélectrique du semi-conducteur, V_{bi} la tension de diffusion et V_1 la fraction de polarisation présente sur la jonction P_1N en direct.

L'équation 1.30 suppose que les jonctions P_1N et P_2N sont symétriques. Elles présentent ainsi des V_{bi} identiques.

On définit la tension de bande plate (V_{FB}) au niveau de la jonction P_1N lorsque $V_1 = V_{bi}$. V_{FB} est ainsi définie selon la formule :

$$\text{Équation 1.31} \quad V_{FB} = \frac{q.N_D.L_N^2}{2.\epsilon_s}$$

Lorsque la tension de polarisation dépasse V_{RT} , des trous sont injectés dans la ZCE à partir de la jonction P_1N par effet thermoélectronique et le courant augmente exponentiellement au sein de la structure selon l'équation 1.32.

Équation 1.32 $J = A^* \cdot T^2 \cdot \exp\left(-\frac{q(V_{FB}-V)}{4 \cdot k \cdot T \cdot V_{FB}}\right)$

A^* correspond à la constante de Richardson.

Le champ électrique maximal E_m atteint au niveau de la jonction P_2N est alors inférieur à E_c .

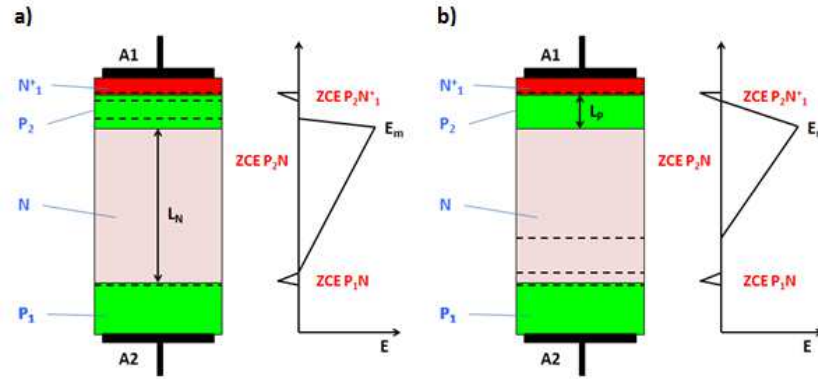


Figure 43 : Illustrations de la limitation de la tenue en tension directe du SCR positif du TRIAC par effet « reach through » : a) déplétion complète de la région N b) déplétion complète de la région P_2 .

La seconde situation (Figure 43b) apparaît lorsque la région P_2 est trop courte et/ou non suffisamment dopée. L'expression de V_{RT} associée à cette configuration prend alors la forme [7] :

Équation 1.33 $V_{RT} = \frac{q}{2 \cdot \epsilon_s} \frac{N_A(N_A + N_D)}{N_D} L_P^2$

N_A et L_P représentent respectivement le dopage et la largeur de la région P_2 , N_D caractérise toujours le dopage du substrat N.

Les deux situations décrites pour le SCR positif du TRIAC s'appliquent bien entendu au SCR négatif.

L'effet « reach through » est donc un élément à prendre en compte dans la conception du TRIAC. Il est en effet nécessaire de maîtriser l'étalement du champ électrique au sein du TRIAC si l'on veut maximiser les performances de blocage pour les profils de diffusion choisis.

4.2.4 Effet de l'assemblage

Le montage de la puce TRIAC sur son embase cuivre (Cu) et/ou l'encapsulation de cette dernière peut perturber la répartition des lignes de potentiel au sein de la structure et par conséquent influencer sur les performances de courant de fuite et de tenue en tension du TRIAC. Les P_j doivent être choisies de façon à minimiser la présence du champ électrique en bord de puce. De plus, les couches de passivation doivent être aussi imperméables que possible aux contaminants ioniques présents dans les matériaux d'encapsulation.

Malgré ces précautions, plusieurs mécanismes peuvent tout de même conduire à un vieillissement prématuré du TRIAC et notamment altérer sa tenue au blocage [17, 38].

Des stress d'origine thermomécanique peuvent par exemple générer des chemins préférentiels de migration des charges à travers l'encapsulant. En effet, compte tenu de la différence de coefficient de dilatation thermique entre Si et la résine du boîtier, des variations de température engendrent l'apparition de contraintes à l'interface entre les deux matériaux pouvant aboutir à la formation de défauts.

Des effets hygroscopiques pourraient conduire au même résultat. Puce et boîtier ayant une capacité d'absorption de l'humidité différente, des forces trouvent naissance à l'interface et sont susceptibles de l'endommager.

Les deux mécanismes cités ci-dessus sont également connus pour détériorer les performances thermiques des boîtiers [39]. Or si l'aptitude du TRIAC à évacuer la chaleur est affaiblie, des risques d'emballement thermique deviennent possibles (Cf. annexe D).

La migration des charges est normalement bloquée par les couches de passivation. Cependant, ces dernières peuvent être fragilisées par des passages abrupts de marche de métallisation ou d'oxyde. Elles peuvent aussi être endommagées lors de la mise en boîtier.

Par ailleurs, tout en conservant l'imperméabilité des passivations, l'accumulation de contaminants ioniques ou la formation de groupes polaires à l'interface puce / résine peut suffire à déformer les lignes de champ électrique et perturber le comportement du TRIAC [40].

Les propriétés du TRIAC dans son mode de fonctionnement OFF ne sont donc pas seulement conditionnées par les seuls choix faits au niveau du Si. Une attention particulière doit être portée sur les possibles interactions entre puce et boîtier.

5. État de l'art technologique du TRIAC

Les sections précédentes ont traité de l'environnement applicatif du TRIAC puis des aspects théoriques entourant sa structure. Des notions de conception ont également été données. Ces discussions restent néanmoins stériles sans y associer des informations technologiques. Les prochains paragraphes s'attacheront donc à donner une vision plus concrète du TRIAC. Auparavant, nous définirons les critères de valeur du TRIAC. Bon nombre de paramètres caractérisant le TRIAC évoluent en effet dans des directions souvent opposées. La situation deviendrait inextricable sans l'existence de ces indicateurs de performance. Cette réflexion permet également d'optimiser les technologies et de développer de nouveaux axes de recherche. Le PS s'inscrit dans cette démarche. Cette thématique sera discutée en toute fin de partie.

5.1 Les critères de valeur du TRIAC

Chaque utilisateur de TRIACs porte son propre regard sur la performance du TRIAC. L'application et les contraintes qu'elle impose conditionnent bien entendu le jugement. Il est tout de même possible de définir cinq grands critères de valeur pour le TRIAC communs à chaque application. Ces indicateurs aident les concepteurs à résoudre les compromis de performances et à orienter les choix des fabricants de TRIAC.

Le premier critère est T_{j_max} . Elle impacte la quasi-totalité des paramètres caractéristiques du TRIAC. Les propos tenus dans le cadre de la seconde section de ce chapitre ont systématiquement insisté sur les évolutions avec T . Elle conditionne également la fiabilité structurelle exigée lors de l'état OFF du TRIAC. Plus T_{j_max} est élevée et plus la durée de vie du composant est raccourcie à technologie équivalente. L'essai le plus caractéristique de la fiabilité de la puce TRIAC en blocage est l'HTRB (de l'anglais High Temperature Reverse Bias). Les jonctions en inverse du TRIAC sont soumises à un stress en tension et porté à T_{j_max} . Les courants de fuite et tenues en tension doivent rester insensibles aux conditions HTRB appliquées aussi longtemps que possible. T_{j_max} influe également sur la fiabilité de la ZA, nous en discuterons dans les lignes qui suivent.

La robustesse du TRIAC constitue le second indicateur de performance. L'aptitude du TRIAC à supporter des surcharges de type I_{TSM} , di/dt à l'amorçage ou encore IEC61000-4-5 (Cf. paragraphe 1.4.3) constitue un gage de qualité pour les concepteurs. Des essais fonctionnels sont systématiquement définis afin d'éprouver les TRIACs en accord avec les profils de mission des applications.

La liberté de contrôle des états transitoires selon les besoins de l'application représente un troisième élément de choix du TRIAC. On parle ici du compromis sensibilité / immunité discuté dans le détail dans l'annexe G, paragraphe A.2. Pour résumer, les performances en fermeture / ouverture du TRIAC sont le plus souvent contrôlées par les mêmes paramètres physiques et géométriques mais selon des tendances qui s'opposent. A noter également que les divergences seront d'autant plus marquées que la T_{j_max} du produit sera élevée. La faculté du TRIAC à conserver son état OFF, lorsqu'il est soumis aux salves de tension modélisées par la norme IEC61000-4-4 (Cf. paragraphe 1.4 et annexe A), s'inscrit également dans ce registre. L'application de cette succession de salves transitoires s'apparente en effet à une tenue en dv/dt . Cette similitude est d'autant plus vraie que les concepteurs placent en parallèle du TRIAC une capacité (communément appelée X_2) ou une protection en tension (type varistance) de façon à limiter l'amplitude de la tension réappliquée aux bornes du TRIAC.

Le boîtier dans lequel est montée la puce TRIAC figure également dans la liste des points clefs du TRIAC. Les caractéristiques d'assemblage confèrent en effet au TRIAC à la fois ses performances thermiques et d'IE par rapport au circuit électrique dans lequel il est embarqué (Cf. annexe D).

Différents essais de fiabilité sont implémentés par les fabricants pour stimuler les interfaces puce / boîtier : THB (de l'anglais Temperature Humidity Bias), TCT (de l'anglais Thermal Cycling Test) ou encore PCT (de l'anglais Pressure Cooking Test). Le vieillissement de la résistance thermique (R_{TH}) et la fiabilité de la ZA sont également testés par des essais de fatigue thermique. Ces derniers reproduisent les périodes d'échauffements et de refroidissements du TRIAC par une succession de périodes ON / OFF. La qualité des joints puce / boîtier (et donc la R_{TH}), l'occurrence de phénomène d'emballement thermique (Cf. annexe D), le dimensionnement de la ZA sont ainsi évalués. Le résultat de ces essais de fatigue thermique est bien entendu dépendant de T_{j_max} .

Enfin, nous ne devons pas oublier la tenue en tension, essentiellement matérialisée dans les spécifications TRIAC par les paramètres V_{DRM} et V_{RRM} plutôt que V_{BR} . Néanmoins, ils sont étroitement liés. De par sa fonction d'interrupteur de puissance, le TRIAC doit en effet être capable de bloquer au minimum les tensions V_{DRM} et V_{RRM} pour lesquelles il a été conçu. Dans le cas contraire, son régime OFF ne serait plus assuré, entraînant un dysfonctionnement, voire la destruction de la charge contrôlée. Dépendamment des exigences de l'application, des niveaux de 600, 800, 1200 V, voire plus seront requis. Cette fonction doit évidemment être garantie dans le temps. A cet effet, des essais HTRB et THB sont systématiquement implémentés par les fabricants de TRIAC.

5.2 Les technologies majeures

5.2.1 Technologie Si (Front End)

On dénote trois grandes technologies Front End de TRIAC basse puissance. En règle générale, la technologie porte le nom de la protection périphérique choisie.

La première est représentée sur la Figure 44. Il s'agit de la technologie DOUBLE MESA. On y retrouve les notations de la Figure 21 au niveau des couches de diffusion. Le substrat N de départ présente une résistivité de l'ordre de 30 à 50 $\Omega.cm$ selon la tension souhaitée. Les diffusions P_1 et P_2 sont obtenues par dépôt / diffusion ou implantation / diffusion de bore, gallium ou encore aluminium. Elles combinent généralement au minimum deux étapes de dopage successives de façon à garantir une tenue en tension suffisante au niveau de la jonction avec le substrat (dopage plus faible $\approx 1.10^{15}/cm^3$) et un contact ohmique suffisant (dopage plus fort $\approx 1.10^{19}/cm^3$). Pour ces étapes, aucune photolithographie n'est nécessaire. En ce qui concerne les profils N^+ , on recherche de très fortes concentrations (de l'ordre de $1.10^{20}/cm^3$). Par conséquent, le procédé le plus utilisé consiste à déposer localement un verre dopé phosphore $POCl_3$ suivi lui aussi d'une étape de diffusion. La périphérie choisie est ici de type MESA (Cf. paragraphe 3.3.2.3). Des sillons sont donc gravés dans le Si par voie chimique. Ces derniers sont ensuite remplis de verre. Une métallisation à base de nickel (Ni) et/ou d'aluminium (Al) selon le type de connectique choisi est ensuite déposée.

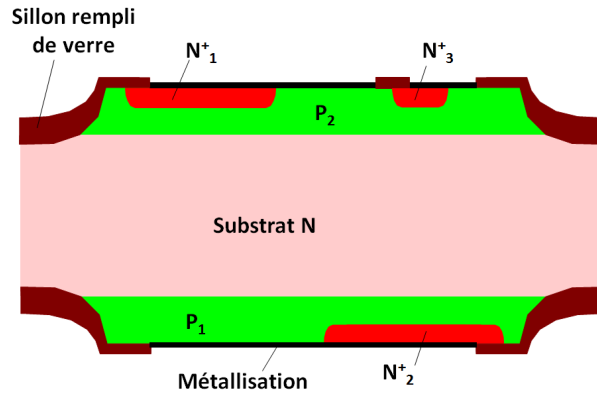


Figure 44 : Technologie DOUBLE MESA.

La seconde technologie est dite « PLANAR ». Elle tire son nom de l'absence de sillons gravés dans le Si. Il en résulte un choix de protection périphérique spécifique. Tout d'abord, la diffusion P_2 doit être impérativement localisée par des techniques de photolithographie standard. On notera dès lors que la difficulté de localiser le gallium limite son emploi. En règle générale, le bore est le dopant le plus utilisé. Dépendamment des profils de diffusions appliqués et des tensions souhaitées, on se satisfera de la tenue 2D/3D de la jonction (Cf. introduction du paragraphe 3.3.2) ou on aura recours à une terminaison de type « field plate » (Cf. paragraphe 3.3.2.6) ou anneau flottant (Cf. paragraphe 3.3.2.4) ou encore JTE (Cf. paragraphe 3.3.2.5). Au niveau de la jonction P_1N , une jonction concave (Cf. paragraphe 3.3.2.7) est adoptée. Un mur d'isolation P_{iso} a en effet été ajouté sur les flancs de la puce. Cette étape est réalisée par dépôt ou implantation de bore et/ou d'Al suivi(e) de très longues diffusions (plusieurs centaines d'heure à plus de 1200 °C). Les concentrations de dopage relatives à ZA ainsi que la métallisation restent par ailleurs similaires à la technologie DOUBLE MESA.

A propos des couches de passivations employées pour la technologie PLANAR, deux variantes sont possibles. La première consiste à déposer une couche semi-isolante (généralement de type SIPOS, Cf. paragraphe 3.3.2.1) directement sur Si, les oxydes thermiques générés lors des différentes diffusions auront été retirés au préalable (Cf. encadré PL1 sur la Figure 45). La seconde tire profit de la présence de ces oxydes (Cf. encadré PL2 sur la Figure 45). L'interface SiO_2 / Si est reconnue comme une excellente passivation, très peu génératrice de courant de fuite, sous réserve de maîtriser les états d'interface. Sous l'action de la polarisation, ces derniers se chargent, un canal se forme et engendre des chemins de conduction en surface. Pour se prémunir de cet effet, un « stop channel » est ajouté. Il est généralement réalisé simultanément avec les autres diffusions N^+ .

On distingue une troisième et dernière technologie intitulée TOP GLASS. Comme le montre la Figure 46, elle correspond en fait à un cas particulier de la technologie PLANAR avec la variante de passivation N°1. La diffusion P_2 n'est ici pas localisée. De fait, des sillons remplis de verre ont été insérés de façon à garantir l'IE entre les deux faces du TRIAC.

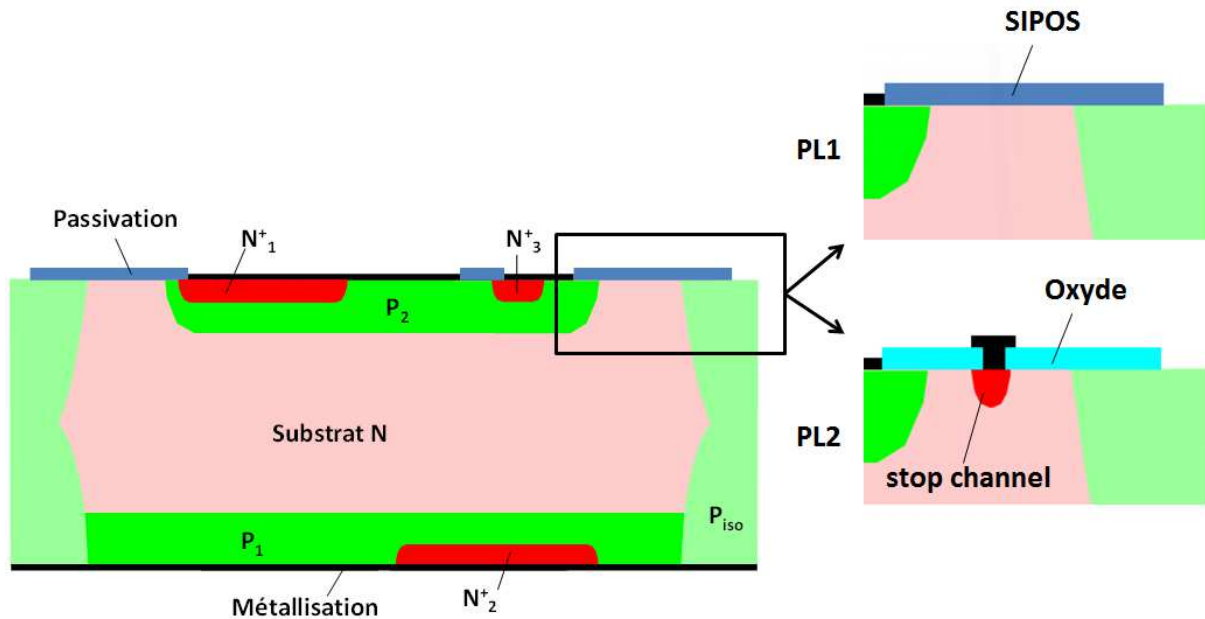


Figure 45 : Technologie PLANAR et ses deux variantes de passivation (Cf. texte pour plus de détails).

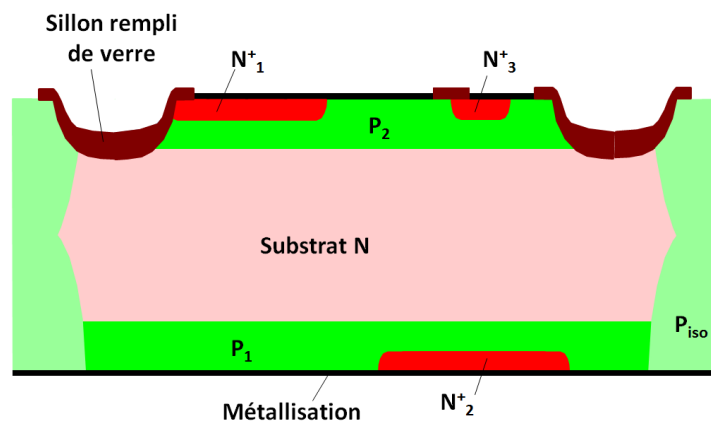


Figure 46 : Technologie TOP GLASS.

5.2.2 Technologies d'assemblage (Back End)

Un procédé d'assemblage comprend grossièrement la séparation des puces de la plaquette Si, le soudage de la puce sur son embase (« Die attach »), la fixation des connectiques (« Bonding »), le moulage dans la résine et la finition des pattes du boîtier. Chaque étape nécessite une expertise bien précise. Ce paragraphe a seulement pour vocation de pointer les éléments variables de la chaîne d'assemblage qui peuvent avoir un impact sur les performances du TRIAC. Dans cette optique, les deux étapes de « Die Attach » et de « Bonding » nécessitent quelques commentaires.

Lorsque l'on discute TRIAC et « Die Attach », on parle essentiellement aujourd'hui de deux techniques : pâte à souder (Figure 47) et brasage tendre (Figure 48). La première présente l'avantage de ne mouiller que sur les contacts cuivrés et nickelés. Des poudres métalliques (principalement à base de SnPbAg ou SnPbSb) sont mélangées avec un liant organique (communément appelé « flux »). On

vient alors déposer quelques gouttes entre les deux surfaces à souder et le tout est recuit pour ne conserver qu'une couche métallique homogène à l'interface. La pâte à souder permet aussi bien de sceller la puce sur sa palette que de fixer des clips, tous les deux étant de nature cuivrée (Cf. Figure 47).

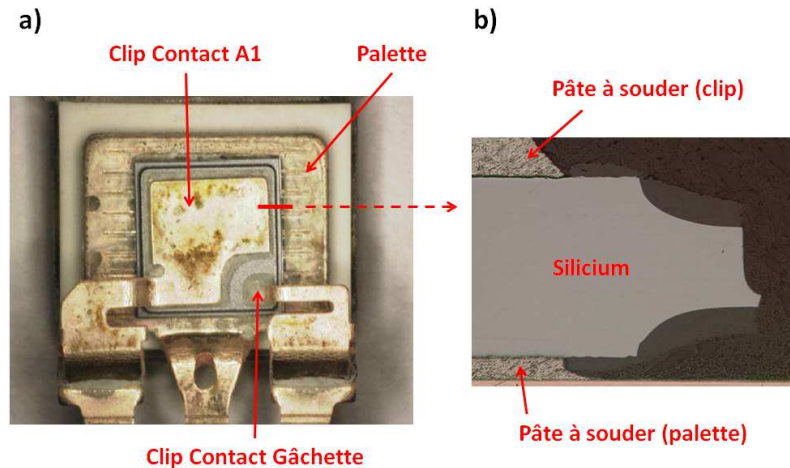


Figure 47 : Fixation puce par pâte à souder et connectiques « clips » : a) vue de dessus b) coupe verticale.

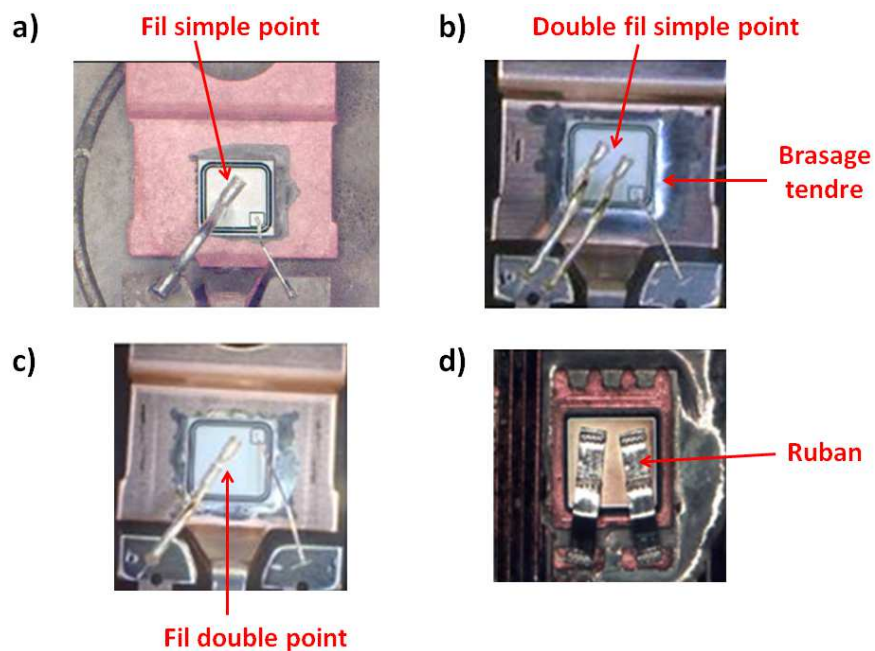


Figure 48 : Fixation puce par soudure souple et connectiques fils : a) fil simple point b) double fil simple point c) fil double point d) rubans.

S'agissant du brasage tendre, on ne l'utilise que pour souder la puce sur sa semelle. La puce est positionnée sur du métal en fusion (de même nature que la pâte à souder) préalablement déposé sur la palette. Dans cette configuration, il est bien entendu impossible de localiser la soudure (Cf. Figure 48).

Concernant l'étape de « Bonding », nous avons déjà cité le clip (Cf. Figure 47). Il existe également les fils. Les matériaux utilisés sont Al, Au (or) ou encore Cu. Ils sont fixés par thermo-compression (écrasement mécanique du fil sous l'action de la chaleur) ou par voie thermosonique (formation d'une bille fondue mise en contact avec la surface à connecter). Les fils Al présentent des diamètres plus élevés et sont de fait plus couramment utilisés dès que l'ampérage du TRIAC s'élève. Contrairement au clip, la dissipation de chaleur par les fils est quasi inexistante. On relève tout de même quelques améliorations en doublant les fils et/ou les points d'impact, ou encore en utilisant des rubans (Cf. Figure 48).

5.3 Comparatif technologique

Le coût des technologies n'a pas été discuté jusqu'ici, néanmoins son rôle est toujours déterminant dans les choix technologiques opérés. Le coût constitue donc bien évidemment un élément directeur dans le comparatif technologique proposé dans les lignes qui suivent.

La technologie DOUBLE MESA a été déclinée en deux versions correspondant aux techniques d'assemblage adoptées. Nous distinguerons donc les TRIACs DOUBLE MESA Clips (DMC) et DOUBLE MESA fils (DMF). Dans les deux cas, le joint puce / semelle est assuré par de la pâte à souder. Certains fabricants proposent en plus un assemblage à piédestal pour renforcer l'IE de la face arrière (Cf. Figure 49). Leurs points forts se situent tout d'abord d'un point de vue Front End. Elles sont en effet faciles à mettre en œuvre, le nombre de masquages a été réduit au strict minimum, les temps de cycles de fabrication sont courts et aucune couche diffusée n'est limitée par l'épaisseur du substrat. Par ailleurs, la localisation du contact A2, découlant de la terminaison MESA et de l'IE imposée par l'assemblage, offre une possibilité supplémentaire pour ajuster, par conception, le compromis sensibilité / immunité. Cet avantage est malheureusement souvent compensé par l'emploi de procédés de diffusion sommaires, générateur de dispersions sur les paramètres électriques. Un avantage propre à la technologie DMC est sa dissipation thermique efficace et donc sa capacité à manipuler des forts courants. D'un autre côté, le choix des clips complexifie l'assemblage et limite l'offre des boîtiers disponibles. De ce point de vue, la technologie DMF offre les performances inverses. Du fait de leur passivation verre, DMC et DMF présentent des courants de fuite plutôt élevés, pouvant nécessiter des dispositions particulières lorsque T_{j_max} doit s'élever. Sur le même principe, leur robustesse en surtension reste controversée. En effet, des imperfections à l'interface verre / Si peuvent engendrer une localisation de l'avalanche et donc un point chaud sur des zones inappropriées. Ces défauts pourraient notamment naître de la différence de coefficient de dilatation thermique entre Si et le verre durant la vie du produit. Par contre, indépendamment de sa technologie, le TRIAC se retourne rapidement dès lors que la tension appliquée dépasse V_{BO} (Cf. paragraphe 2.3.2). L'énergie mise en jeu, et possiblement destructive, est alors véhiculée sous la forme d'un dI_T/dt (Cf. paragraphe 2.3.4) plutôt que d'une surtension.

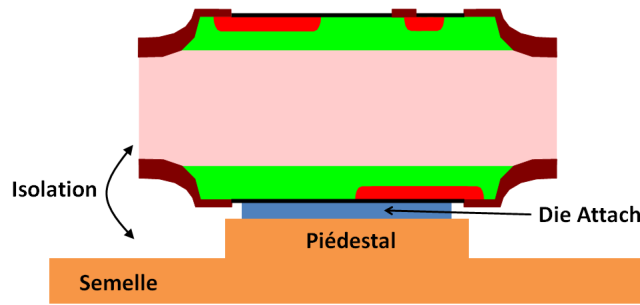


Figure 49 : Assemblage TRIAC DOUBLE MESA avec un piédestal.

Nous avons également séparé la technologie PLANAR en deux du fait de la nature des passivations utilisées (Cf. paragraphe 5.2.1). S'agissant de la technologie PLANAR PL2, elle pourrait ne présenter que des atouts si le coût ne venait pas apporter des limites. Ainsi, on ne l'assemble que par fils et brasure souple, limitant sa robustesse thermique. Par ailleurs, la présence des puits d'isolation (P_{iso}) pose plusieurs problèmes. Tout d'abord, le procédé de fabrication est plus long et plus lourd à mettre en œuvre. L'épaisseur du substrat doit aussi être minimisée afin de garantir le raccordement des profils P_{iso} . Cela favorise les performances en conduction mais limite les objectifs de tenue en tension. De plus, les plaquettes se voilent plus facilement compromettant leurs traitements postérieurs. Le réglage sensibilité / immunité est également plus compliqué du fait de la présence de transistors parasites et de l'absence de contacts localisés côté A2 (Cf. Figure 50). Heureusement, le recours à de l'implantation ionique et des techniques de contrôle de durée de vie des porteurs minoritaires compensent le plus souvent ces effets. Enfin, les expansions latérales de dopage associées à P_{iso} et l'introduction du stop channel allonge la P_{cs} . La technologie PL2 reste tout de même une référence en matière de courant de fuite et sa robustesse en surtension est reconnue du fait de son claquage uniforme le long des jonctions bloquantes. De plus, la grande majorité des boîtiers de puissance sont accessibles.

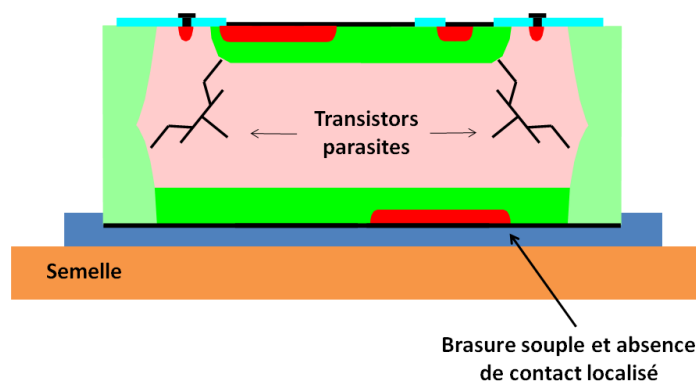


Figure 50 : Technologie PLANAR N°2 (PL2) et transistors parasites.

La technologie PLANAR PL1 présente des caractéristiques proches de son homologue. On dénote des courants de fuite et une robustesse en surtension moins avantageux du fait des courants induits à

travers la passivation semi-résistive. Par contre, l'absence de stop channel raccourcit avantageusement le dimensionnement de la P_{G} .

Tableau 2 : Comparatif technologique. Les symboles « + », « 0 » et « - » traduisent respectivement un jugement positif, neutre et négatif.

Technologies	Critères de valeurs						
	Tension	Tj	Robustesse		Contrôle	Choix boîtier	Coût
			Thermique	Electrique			
Double MESA Clip (DMC)	+	-	+	-	0	-	+
Double MESA Fil (DMF)	+	-	-	-	0	0	+
Top Glass (TG)	0	-	-	-	0	+	0
Planar type 1 (PL1)	0	0	-	0	+	+	0
Planar type 2 (PL2)	0	+	-	+	+	+	-

Comme nous l'avons évoqué dans le paragraphe précédent, les technologies TOP GLASS (TG) et PL1 sont construites selon le même schéma. La séparation de P_{iso} et P_2 est assurée par des sillons sur TG et par une photolithographie au niveau de P_2 sur PL1. Cette spécificité engendre pour TG des courants de fuite approchant ceux de DMC et DMF. Par ailleurs, TG pourrait bénéficier d'une structure de coût plus avantageuse par rapport à PL1, mais des aspects de voile de plaquette la limite à des substrats de diamètre maximal 125 mm contre 150 mm pour l'ensemble des autres technologies.

Au final nous pouvons synthétiser ce comparatif technologique TRIAC au travers du Tableau 2 : la technologie parfaite n'existe pas !

5.4 Le silicium poreux (PS) comme terminaison de jonction

Le TRIAC apparaît aujourd'hui sur les marchés comme un composant mature, en d'autres termes une commodité. Pour répondre aux besoins de leurs nouvelles applications, les concepteurs composent avec les avantages et inconvénients des technologies actuelles, dans un souci permanent de limiter leurs coûts.

Néanmoins les applications évoluent. Elles exigent une robustesse accrue, tant électrique que thermique, gage de qualité. Elles demandent des $T_{j_{\text{max}}}$ plus élevées de façon à réduire la taille des dissipateurs thermiques. Elles requièrent toujours plus d'immunité (norme IEC61000-4-4) sans pénaliser le circuit de commande (I_{GT}).

Gagner en densité d'intégration sans dégrader les performances actuelles est une réponse à la problématique posée ci-dessus. Néanmoins, dans le domaine de la puissance, il n'est jamais simple de miniaturiser tout en manipulant le même niveau d'énergie.

Le PS ouvre de nouvelles perspectives. Ses propriétés diélectriques lui confèrent du potentiel comme terminaison de jonction adaptée aux périphéries TRIAC. Des premières études ont en effet démontré des résultats d'IE intéressants dans le domaine des circuits intégrés. Le paragraphe 1.2 du chapitre 2 donnera plus de détails. La Figure 51 présente la structure visée dans le cadre de notre étude. Elle s'inspire de la technologie TG, mais la séparation entre P_{iso} et P_2 est cette fois-ci réalisée par l'insertion de zones poreuses formées à partir de P_{iso} (Cf. chapitre 4, paragraphe 1.1). L'IE obtenue entre les deux faces du TRIAC est donc verticale, on pourrait alors prétendre à une réduction intéressante des tailles de puces. Par ailleurs, contrairement à son homologue TG, cette terminaison semble accessible pour des diamètres de plaquettes de 150 mm, sachant par ailleurs que la formation des caissons PS peut facilement être rendue symétrique en cas de problématique de tenue mécanique des wafers. Au final, des gains Front End importants sont donc attendus.

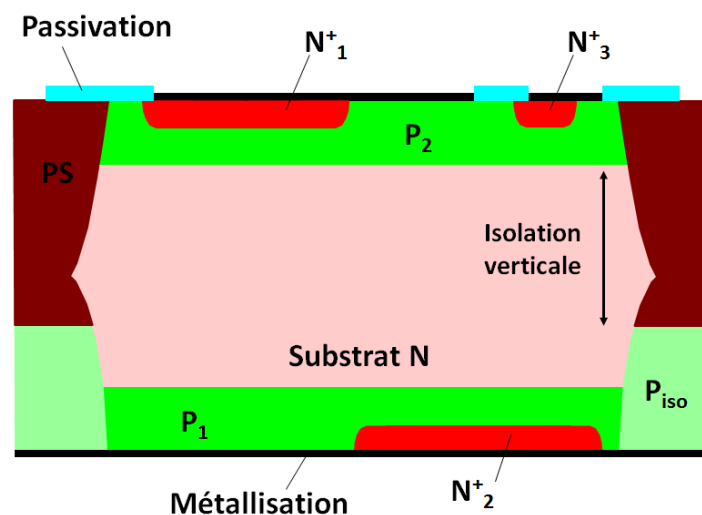


Figure 51 : Périphérie TRIAC à base de PS.

Cependant, l'apport du PS ne se concrétisera que dans la mesure où la stabilité de ses performances seront démontrées, ce qui à ce jour n'est pas le cas et a limité son envol dans les domaines de l'électronique et l'optoélectronique (Cf. chapitre 2, partie 1). De plus, son intégration dans un procédé de fabrication TRIAC complet complique certainement la situation. En effet, compte tenu de sa complexité morphologique (Cf. chapitre 2, partie 2), le matériau PS reste finalement méconnu sur l'ensemble des plans électrique, mécanique et thermique. Les prochains chapitres tenteront d'amener des premiers éléments de réponse.

6. Conclusion

Dès lors qu'une fonction d'interrupteur de puissance est requise pour contrôler des charges puisant leur énergie directement sur des tensions AC, le TRIAC s'affirme comme le meilleur candidat. Il est en effet facile à commander, il est bidirectionnel en courant et en tension, il est disponible dans une multitude de boîtiers et enfin il reste bon marché. Le TRIAC est ainsi très bien implanté dans les domaines de l'électroménager, de l'éclairage et du chauffage. Toutes ces applications sont grand public et de fait elles sont assujetties à des normes. Le TRIAC n'y échappe pas, notamment dans le domaine de la compatibilité électromagnétique (CEM). Les réglementations évoluant avec le temps, ces standards ont contribué à l'évolution du TRIAC vers plus de robustesse et de fiabilité.

La conception d'un TRIAC fait appel à différents mécanismes physiques que nous avons cherché à répertorier dans ce chapitre. Un accent tout particulier a été porté sur la région périphérique du TRIAC où siègent les phénomènes d'avalanche et de courants de fuite, responsables en grande partie de la tenue en blocage du TRIAC. La P_{GJ} a fait l'objet de la majeure partie des développements relatifs aux TRIACs depuis son invention. De fait, un recensement complet des architectures étudiées (i.e. les terminaisons de jonction) a été proposé. Cet engouement pour la P_{GJ} ne doit pas faire oublier le rôle de la ZA. Elle contrôle en effet les performances en conduction du TRIAC. De plus, nous avons mis en exergue l'existence de plusieurs facteurs électriques et physiques, communs aux deux parties du TRIAC, mais agissant de façon opposée. Ces antagonismes imposent des compromis à définir en fonction des besoins des applications.

A ce jour, trois grandes technologies Front End sont proposées par les divers fabricants de TRIACs : DM, TG et PL. On en dénombre autant au niveau du Back End : clip, fil et ruban. Toutes les combinaisons Front End / Back End sont imaginables, cependant bien souvent un frein financier vient limiter leur exploitation. Si les performances électriques sont plutôt à l'avantage de PL, son coût impose un assemblage fil généralement moins robuste d'un point de vue thermique. A l'inverse, la simplicité de fabrication de DM à l'échelle du Si, au détriment de la maîtrise de ses paramètres électriques, lui autorise un assemblage plus complexe tel que le clip. Bref, la technologie idéale n'existe pas encore.

Innover dans le domaine des composants de puissance et notamment des TRIACs, composant exploité depuis plus de cinquante ans, reste une tâche ardue. La réflexion peut s'orienter selon deux axes : gagner en densité d'intégration sans détériorer les paramètres électriques et thermiques du TRIAC, ou bien offrir un niveau de performances extrême (i.e. simplifier l'usage du TRIAC dans son application) avec un coût plus élevé. Dans le milieu de l'électronique, le TRIAC dispose d'une image de commodité, la seconde solution suppose donc non seulement de parvenir à développer des points d'amélioration, mais aussi à terme, de convaincre les concepteurs. Nous avons donc opté pour la

première alternative en utilisant le PS comme constituant clef des périphéries TRIAC. La facilité à le former à partir des procédés de fabrication usuels du TRIAC, ainsi que ses propriétés diélectriques déjà reconnues, laissent entrevoir un potentiel intéressant. La maîtrise du matériau reste néanmoins compliquée, notamment sur le plan électrique. Des premières études se sont en effet confrontées à cette problématique infructueusement. Nous essaierons ainsi dans le prochain chapitre de mieux comprendre les subtilités du PS sur le plan structurel, berceau de ses propriétés électriques. L'inspection des applications dans lesquelles il a (ou a été) pressenti nous aidera également à mieux visualiser ses propriétés, avantages et inconvénients.

SECOND CHAPITRE :

Le silicium poreux pour des applications composants de puissance.

Le silicium poreux (PS) est une forme texturée du silicium (Si) comprenant des pores et des cristallites. La multitude de formes, de dimensions qu'il est susceptible d'adopter lui attribue des caractéristiques uniques. Citons notamment sa très large surface développée, le contrôle de la taille de ses pores, sa réactivité chimique ainsi que sa compatibilité avec les méthodes de fabrication classiques de la microélectronique. Son histoire encore récente n'a probablement pas révélé tout son potentiel.

Comme bon nombre de découvertes, le PS fût décelé « par hasard » à l'issue d'une étude d'électropolissage dans une solution d'acide fluorhydrique (HF) menée par Uhler en 1956. Sous certaines conditions électrochimiques, une couche brunâtre, assimilée à l'époque à un dérivé d'oxyde de silicium (SiO_2), est formée à la surface de l'échantillon [41]. Quelques années plus tard, Turner puis Memming *et al.* réitèrent l'expérience [42, 43]. Leurs deux études, axées sur la dissolution anodique du Si, caractérisent le basculement entre le régime d'érosion et la formation d'un film amorphe superficiel. Sans encore le nommer, la formation du PS devient donc plus précise. Il fait également l'objet de premières analyses et Memming *et al.* mettent en évidence sa nature poreuse. Malgré ces avancées, le PS tardera à s'immiscer parmi les centres d'intérêt de la communauté scientifique. Dans les années 1970 et 1980, l'exploitation du rapport surface / volume élevé du PS (jusqu'à $1.10^3 \text{ cm}^2/\text{cm}^3$), notamment pour former des couches épaisses d'oxyde donnera lieu aux premières applications du PS. Il faudra véritablement attendre le début des années 1990 pour voir le PS asseoir une certaine notoriété, suite au nouveau rôle qu'il confère au Si dans le domaine de l'optoélectronique. Deux publications seront en effet déterminantes. Tout d'abord, Canham met en évidence la propriété de photoluminescence (PL) du micro-PS à température ambiante et l'explique par des phénomènes de confinements quantiques [44]. Parallèlement, Lehmann *et al.* imputent ces effets quantiques à un élargissement du gap du semi-conducteur rendu poreux [45]. Il apparaît alors possible de contrecarrer le gap indirect du Si. Dès lors, les articles orientés PS prolifèrent. Les problématiques de stabilité chimique et mécanique, ainsi que la faiblesse des rendements des diodes électroluminescentes (EL) à base de PS freineront son élan en optoélectronique. Cependant, de nouvelles thématiques ont su émerger en capitalisant sur les atouts du PS et en s'affranchissant des difficultés passées, poursuivant ainsi la prospérité du PS comme centre de recherche.

La première partie de ce chapitre sera donc consacrée au recensement des domaines d'applications majeurs dans lesquels le PS est ou a été impliqué. Une focalisation particulière sera faite sur l'exploitation de techniques d'isolation électrique (IE) ayant recours directement ou indirectement au PS.

Afin de mieux cerner la diversité structurelle offerte par le PS, nous nous concentrerons dans un second temps sur la description des propriétés physiques du PS. Une classification de la morphologie et de la taille des pores sera donnée et la notion de porosité ($P\%$) sera introduite.

Dans une ultime section, nous discuterons la technique d'élaboration du PS à partir de laquelle l'ensemble de nos échantillons a été confectionné, à savoir la dissolution du Si par anodisation. Les mécanismes de formation du PS seront explicités. Nous verrons que chaque type de morphologie résulte d'un processus physico-chimique bien défini, avec comme facteurs principaux le type (N ou P) et le dopage du substrat initial (ρ_{Si}). Des précisions seront également apportées au niveau de l'initiation des pores et la présence de couches superficielles. Nous nous attarderons enfin sur le suivi de la croissance du PS avant de discuter les différents types de conception de cellules électrochimiques.

1 Applications du PS

1.1 Les grands domaines d'application du PS

1.1.1 L'électronique

Historiquement, l'électronique est la première discipline ayant cherché à exploiter les propriétés du PS. Il est par exemple employé comme substrat fortement résistif pour l'intégration de composants passifs radiofréquences (RF). Le développement de courants de Foucault dans le PS se trouve ainsi diminué [46, 47, 48, 49]. Toujours sur ce thème de l'IE, mais cette fois-ci en régime continu (DC), d'autres structures construites à partir du PS ont été proposées. Nous reviendrons plus spécifiquement sur ce point dans le paragraphe suivant (Cf. paragraphe 1.2). L'exploitation des pores du PS, conjuguée à leur remplissage par des métallisations adéquates, offre également la possibilité de réaliser des connexions sous forme de via traversants conducteurs [48, 50, 51, 52], de contacts enterrés [53] ou encore de contacts profonds [54]. Par ailleurs, en tirant profit du rapport surface / volume élevé du PS, des capacités fortes densités ont été imaginées [55, 56]. Enfin, la variété des textures offerte par le PS a permis d'envisager des dispositifs de puissance type GTO (Gate Turn Off thyristor) et SIT (Static Inductive Thyristor) disposant de configurations innovantes au niveau de leurs gâchettes [57].

1.1.2 L'optoélectronique et la photonique

Les propriétés EL du PS ont fortement contribué à l'essor du PS. Notamment, la possibilité d'intégrer sur un même substrat la source lumineuse et la puce de contrôle semblait très prometteuse [58]. Néanmoins, comme il a été mentionné en introduction de ce chapitre, faute de fiabilité et de rendements suffisants, ces architectures sont en voie d'abandon. Les recherches persistent tout de même dans le milieu de l'imagerie médicale où la PL du PS reste intéressante (Cf. paragraphe 1.1.6). Le PS a de nouveau connu un regain d'intérêt dans le domaine, suite à l'émergence des cellules photovoltaïques. Il joue en effet un triple rôle dans ces applications : couche superficielle anti-réflexion [59, 60], réflecteur de Bragg [61] et piège à impureté (« gettering ») [62]. En marge des

sujets cités ci-dessus, la faculté d'agencer les pores du PS, en choisissant judicieusement les conditions d'anodisation, rend aussi possible la confection de cristaux photoniques et de guides d'onde [63, 64, 65].

1.1.3 Microsystèmes (MEMS)

Les MEMS affectionnent le PS principalement pour trois raisons. Tout d'abord, les pores du PS peuvent disposer d'un rapport d'aspect très élevé (*i.e.* un rapport longueur sur surface traduisant une forte anisotropie de forme) [66, 67]. Deuxièmement, contrairement aux SiO₂ classiquement employés, le PS permet d'accéder à des couches sacrificielles très épaisses [68, 69]. Et enfin, le PS peut être utilisé comme membrane [70, 71]. Ces attraits du PS ont ainsi donné naissance à différents dispositifs comme par exemple des anémomètres [69], des bolomètres [69], des micro-pompes [72], des sondes micro-fluidiques [71] ou encore des micro-filtres à particules [70]. Toujours dans des perspectives d'applications MEMS, un quatrième avantage du PS peut également être mentionné : sa capacité à isoler thermiquement. Certains micro-mécanismes nécessitent en effet une protection thermique pour assurer leur bon fonctionnement. Newby *et al.* ont ainsi montré qu'il était possible de réduire considérablement la conductivité thermique du PS en l'irradiant par des ions lourds à fortes énergies [73].

1.1.4 Source et stockage d'énergie

Dans le domaine des micro-piles à combustible (source d'énergie), le PS est utilisé comme couche de diffusion de gaz ou membrane ionique [74, 75, 76, 77, 78, 79]. Il peut également constituer un élément de base dans la réalisation des électrodes des micro-batteries (stockage d'énergie) [80]. Notons par ailleurs que l'étude de nouveaux semi-conducteurs poreux texturés, tels que le titane, qui une fois gravé par voie électrochimique forme des nanotubes de TiO₂, ouvre de nouvelles voies dans ces applications de conversion d'énergie [81, 82].

1.1.5 Capteurs

Les propriétés optiques et physiques du PS étant extrêmement sensibles à l'environnement extérieur, de nombreux prototypes de détecteurs de gaz (monoxyde de carbone, dioxyde de soufre, ammoniac... [83, 84]), de vapeurs (solvants, eau... [85, 86, 87, 88]), de molécules à des fins biologiques [89] ou militaires [90] ont été proposés. Certains types de capteurs cherchent également à exploiter les propriétés thermiques du PS [90].

1.1.6 Biomédical

Le PS est également connu pour être un matériau biocompatible et biodégradable. Sa structure unique et facilement fonctionnalisable, ses propriétés optiques et thermiques, ont ainsi donné lieu à une multitude d'applications biomédicales [91]. A titre d'exemples, nous pouvons citer la bio-imagerie

[92, 93], la vectorisation médicamenteuse [94, 95], la culture cellulaire [96, 97], le filtrage moléculaire [98], les thérapies photo-dynamiques [99], photo-thermiques [100] ou encore ultrasoniques [101].

1.2 Focalisation sur les applications d'isolation électrique (IE)

Le paragraphe précédent a permis de mettre en exergue l'étendue des applications impliquant le PS. Nous allons maintenant nous focaliser sur le lien entre l'IE en régime DC et le PS, thématique clef de ce mémoire. Les travaux les plus pertinents seront ainsi passés en revue de façon à bénéficier d'une vue aussi claire que possible des investigations et réalisations menées jusqu'ici dans le domaine. Nous verrons alors que les solutions présentées s'appuient le plus souvent sur les propriétés physiques du PS pour atteindre l'IE. Très peu d'études ont en effet cherché à exploiter directement les propriétés électriques du PS.

1.2.1 Technologie IPOS (Insulation by Porous Oxidized Silicon)

La technologie IPOS a été en premier lieu réfléchi par Pogge *et al.* en 1975 [102]. Elle a néanmoins été essentiellement étudiée et développée par Watanabe *et al.* [103] les années qui suivirent la divulgation du concept. Il s'agit d'une technologie bipolaire orientée circuit intégré. Des îlots de PS oxydés sont utilisés pour isoler les différents transistors les uns par rapport aux autres. Deux procédés ont été mis au point. Le premier dit « N-type » est illustré schématiquement sur la Figure 52. Des plaquettes épitaxiées N sur P⁻ sont utilisées comme point de départ. De façon à localiser les caissons poreux (Ca_PS), une couche de nitrure (Si_xN_y) est déposée. L'anodisation est ensuite effectuée sous illumination, suivie d'une étape d'oxydation. Et enfin, des techniques conventionnelles de la microélectronique permettent de réaliser les derniers dopages (N⁺ et P), ainsi que les contacts électriques des dispositifs. Dans le cas de la Figure 52, un transistor bipolaire NPN avec ses contacts émetteur (E), base (B) et collecteur (C) a été représenté.

Le second procédé est appelé « P-type ». Il diffère de son homologue « N-type » par le fait que des puits P⁺ sont diffusés avant anodisation. La sélectivité en fonction du dopage de la gravure électrochimique permet ensuite de s'affranchir d'une étape de masquage pour former les Ca_PS. L'enchaînement des étapes de fabrication est donné dans la Figure 53.

A partir de la méthode « N-type », Watanabe *et al.* ont obtenu des tensions d'isolation (V_{iso}) de 210 V. En suivant le procédé « P-type », Nakajima *et al.* [104] ont rapporté des V_{iso} de l'ordre de 130 - 150 V. Dans les deux cas, des courants de fuite plus élevés d'environ un ordre de grandeur ont été mesurés comparativement aux technologies classiques, où les IE sont assurées par des puits diffusés en lieu et place des Ca_PS (Cf. Figure 53 avant la phase d'anodisation). Ajoutons enfin que l'étape d'oxydation du PS est très critique. Dans son étude relative à une structure « P-type », Teng mentionne de sérieuses difficultés pour obtenir un oxyde performant [105]. A ses yeux, la gestion de la porosification d'un profil de diffusion graduel ne serait pas compatible avec une bonne qualité de l'oxyde. Nakajima *et al.*

discutent également les problématiques à surmonter au niveau de l'étape d'oxydation du PS. Ils semblent avoir atteint des résultats satisfaisants en pratiquant deux anodisations successives et distinctes, puis en ajoutant un recuit de pré-oxydation effectué à basse température, avant la phase d'oxydation proprement dite.

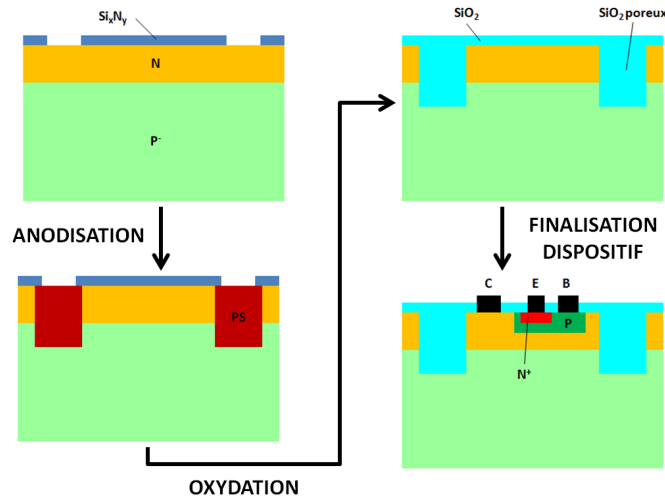


Figure 52 : Procédé de fabrication associé à la technologie IPOS selon la méthode dite « N-type ». Un transistor bipolaire NPN est intégré [103].

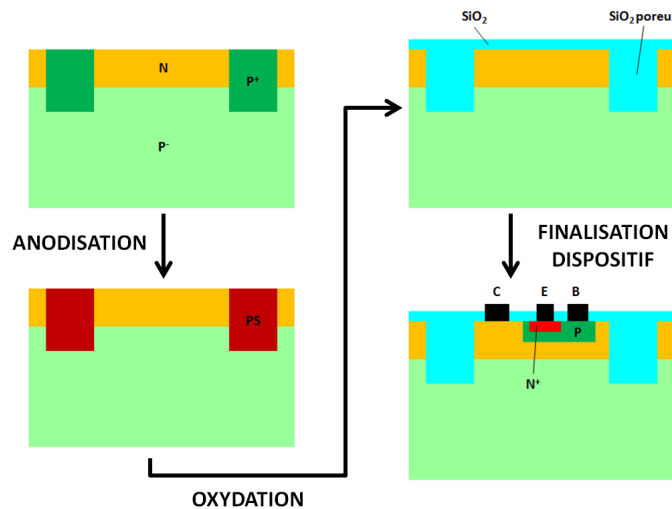


Figure 53 : Procédé de fabrication associé à la technologie IPOS selon la méthode dite « P-type ». Un transistor bipolaire NPN est intégré [103].

1.2.2 Technologie FIPOS (Full Insulation Porous Oxidized Silicon)

La technologie FIPOS a été proposée par Imai *et al.* en 1983 [106]. Elle peut être rattachée à la famille des technologies dites « SOI » (Silicon On Insulator). Elle se focalise sur l'intégration de structure CMOS (Complementary Metal Oxyde Semiconductor) de hautes performances pour applications numériques. Par rapport à son homologue SOI conventionnelle, elle s'appuie sur deux briques clefs : une implantation protons pour la formation de niveaux donneurs et l'emploi du PS oxydé. La

Figure 54 décrit plus précisément les étapes du procédé de fabrication. Une couche de Si_xN_y est tout d'abord déposée sur un substrat de type P (a). Une étape de photolithographie classique permet ensuite de localiser des puits P^+ par une implantation bore suivie d'un recuit de diffusion (b). Après retrait de la résine, la totalité de la plaquette est bombardée par des protons (H^+), le nitrure ne bloquant pas H^+ . Un recuit faible température (T), de l'ordre de 400 - 500 °C inverse les régions P mais conservent les dopages P^+ suffisamment concentrés (c). Une réaction électrochimique est alors implémentée et convertit le Si de type P en PS (d). Enfin, le PS est oxydé. Cette étape annihile les dopages H^+ puisque des températures supérieures à 700 °C sont employées et les îlots N retrouvent leur type P d'origine (e). Les dispositifs CMOS sont ensuite intégrés selon les méthodes usuelles.

Les résultats de V_{iso} entre les îlots P n'ont pas été divulgués par les auteurs. Compte tenu des applications visées, des tensions V_{iso} légèrement supérieures à 5 V suffisent.

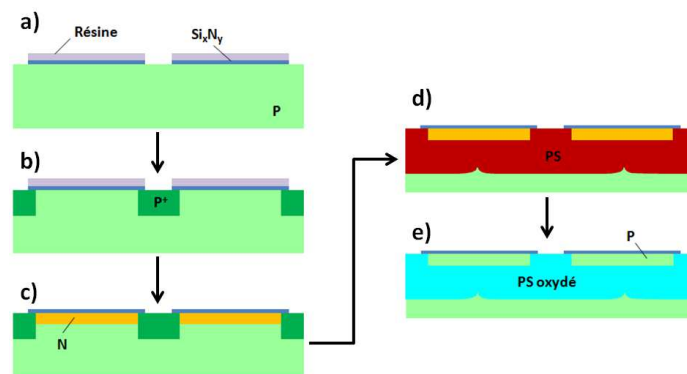


Figure 54 : Procédé de fabrication associé à la technologie FIPOS [106].

1.2.3 Autres technologies SOI (Substrate On Insulator) à base d'IE à l'aide du PS

Antérieurement à la technologie FIPOS, d'autres procédés de fabrication SOI s'appuyant sur l'utilisation du PS ont été proposés. Ils requièrent tous l'emploi de couches épitaxiées. Les solutions identifiées par Watanabe *et al.* sont données dans les Figures 55, 56 et 57 [107]. Un quatrième précepte, issu d'une étude menée par Pogge *et al.*, est schématisé sur la Figure 58 [102].

La première proposition de Watanabe *et al.* (Cf. Figure 55) consiste à former un profil N^+ à la surface d'un substrat de type N. Un film isolant, pouvant être du PS oxydé, recouvre ensuite l'ensemble (a). Des sillons sont alors gravés (b) et une couche de type P est épitaxiée (c). Il convient de préciser que la gravure de la pellicule diélectrique et du Si nécessite l'usage d'une (voire plusieurs) couche(s) protectrice(s) additionnelle(s) non représentée(s) sur la Figure 55. L'étape suivante consiste à amincir le substrat N jusqu'à atteindre le fond des sillons (d). On vient enfin former une épaisse couche de PS par anodisation et une oxydation assure l'IE finale des îlots N (e). Notons également qu'aucun masquage n'est requis pour la formation du PS. Les auteurs s'appuient en effet sur la sélectivité de la gravure PS en fonction du dopage.

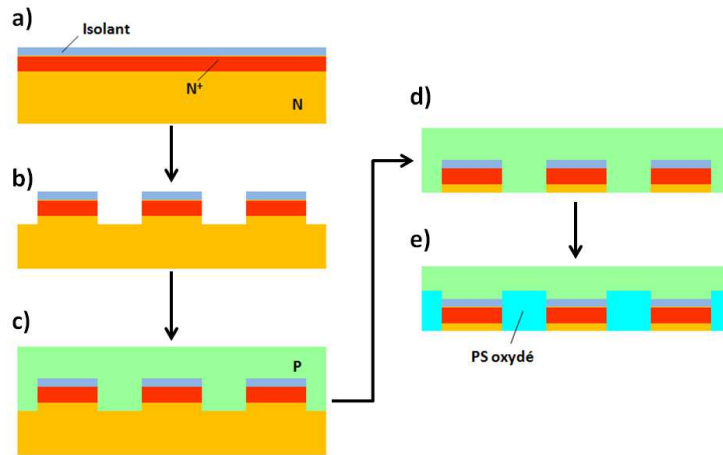


Figure 55 : Variante de technologie SOI à base de PS selon une première proposition de Watanabe *et al.* [107].

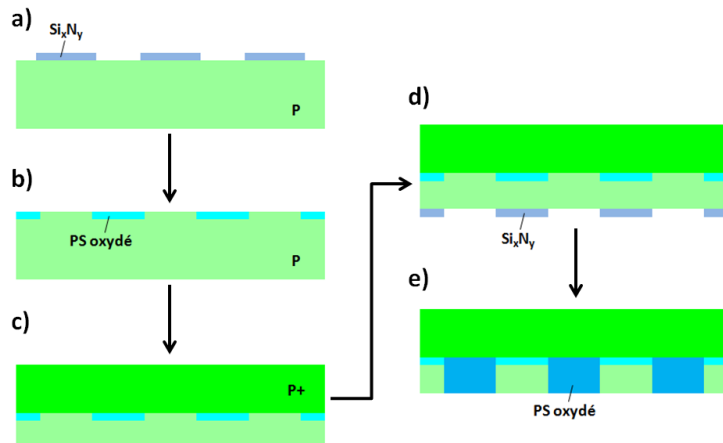


Figure 56 : Variante de technologie SOI à base de PS selon une seconde proposition de Watanabe *et al.* [107].

Watanabe *et al.* ont aussi suggéré l'élaboration de structures SOI sur la base d'un substrat P (Cf. Figure 56). Un premier film Si_xN_y est en premier lieu déposé sélectivement à la surface de la plaquette (a). Puis des premiers Ca_PS sont formés par voie électrochimique et oxydés (b). Une épaisse couche P^+ est alors épitaxiée et le substrat P est aminci (c). Un second dépôt Si_xN_y est ensuite localisé, mais cette fois-ci sur la face arrière du wafer (d). Une deuxième anodisation assure enfin la formation du PS qui une fois oxydé assurera l'IE complète des îlots P (e). Cela n'a pas été spécifié sur la Figure 56 mais la localisation du nitrure nécessite l'usage d'une technique similaire à celle illustrée sur la Figure 54.

Un troisième et dernier procédé, que l'on retrouve également dans une analyse plus générale de Bean *et al.* [108], a également été proposé par Watanabe *et al.* (Cf. Figure 57). Des sillons sont tout d'abord gravés dans un substrat N (a). Un profil N^+ est ensuite diffusé (b) et un film de PS oxydé est

implémenté (c). Une couche de polysilicium (Poly-Si) est ensuite déposée par épitaxie (d). Le substrat N est alors aminci jusqu'à effleurement du PS de manière à garantir l'IE des îlots N (e).

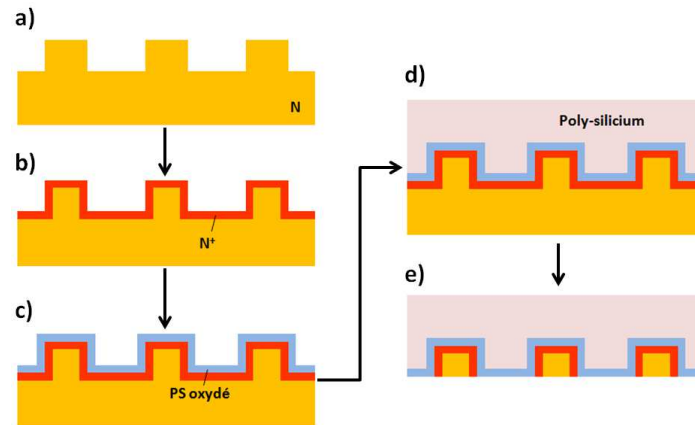


Figure 57 : Variante de technologie SOI à base de PS selon une troisième proposition de Watanabe *et al.* [107].

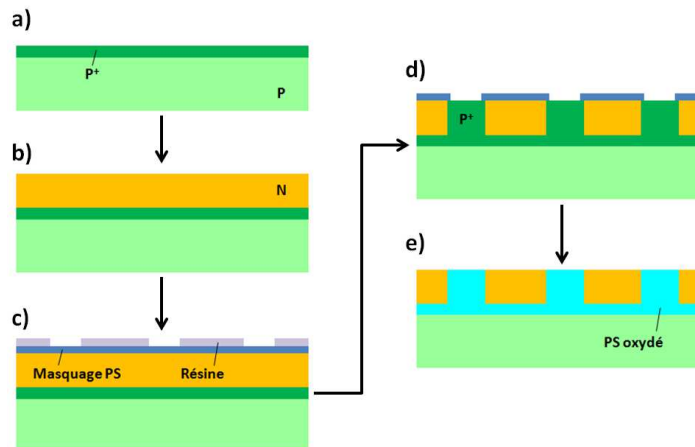


Figure 58 : Variante de technologie SOI à base de PS selon une proposition de Pogge *et al.* [102].

Une variante construite à partir de la technologie FIPOS d'Imai *et al.* (Cf. Figure 54) et du second procédé de Watanabe *et al.* (Cf. Figure 56), a été étudiée par Pogge *et al.* (Cf. Figure 58) [102]. Une plaquette de type P est dans un premier temps dopée P^+ en surface (a). Une couche N épaisse est ensuite épitaxiée (b). La formation de Ca_PS localisés nécessite ensuite un double dépôt : masquage PS et résine classique (c). Le matériau de protection PS peut être du nitrure comme discuté jusqu'ici. D'autres alternatives seront plus longuement commentées dans le cadre du chapitre 4, paragraphe 1.4.1. Les techniques de photo-lithographie usuelles permettent alors de réaliser les ouvertures requises. Un dopage P^+ est préalablement diffusé en prenant soin d'ajuster la durée du recuit de façon à assurer le raccordement des deux couches P^+ (d). Dès lors, le PS peut être formé par anodisation, puis oxydé (e). La sélectivité de la gravure PS en fonction du dopage permet d'assurer l'IE des îlots N.

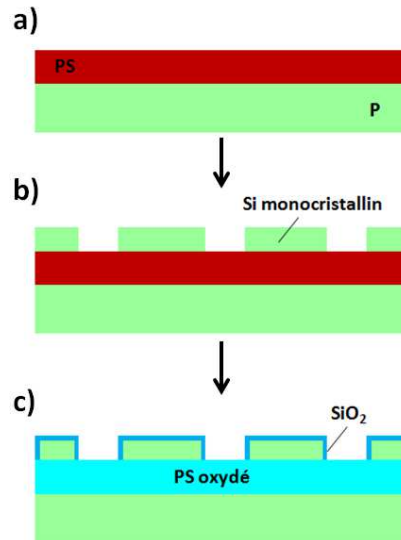


Figure 59 : Variante de technologie SOI à base de PS selon une proposition de Frye *et al.* [109].

Les investigations relatives à la technologie FIPOS et aux différentes variantes discutées précédemment ont conduit Frye *et al.* à développer une dernière configuration présentée sur la Figure 59 [109]. Une couche de PS est formée à partir d'un substrat de type P (a). Du silicium monocristallin (Mono-Si) recouvre ensuite le PS. Les auteurs mentionnent plusieurs techniques pour réaliser cette opération, notamment par CVD (Chemical Vapor Deposition), par épitaxie ou encore par fusion laser. Le Mono-Si est ensuite localisé de façon à définir les futurs motifs à intégrer (b). La gravure du Mono-Si est poursuivie en profondeur dans le PS pour faciliter son oxydation (c). Une pellicule de SiO₂ recouvre également les îlots P, cette particularité favorise leur protection jusqu'à la formation des dispositifs finaux.

Il convient de mentionner que l'ensemble des architectures discutées dans ce paragraphe n'ont pas fait l'objet de mise en œuvre publiée par les différents auteurs. Il ne s'agit ici que de concepts brevetés.

1.2.4 Technologie ELTRAN (Epitaxial Layer TRANSfer)

Les plaquettes ELTRAN, développées par la société CANON, sont rattachées aux technologies dite BESOI (Bond and Etch back SOI). Deux wafers dits « seed » et « handle » sont en effet collés l'un sur l'autre. Plus précisément, la méthode de fabrication combine le procédé BESOI avec une croissance épitaxiale sur PS [110].

A propos du « seed » wafer, il est construit à partir d'un substrat de type P sur lequel une double couche de PS est formée en variant judicieusement la densité de courant (J_{ano}) lors de l'anodisation. Cette spécificité est nécessaire pour contrôler le stress interne du PS, nous y reviendrons par la suite. Un exemple issu de [110] est donné en Figure 60. Deux couches PS1 et PS2 sont en effet visibles, PS2 possède des pores de diamètre deux à trois fois plus élevés comparativement à PS1.

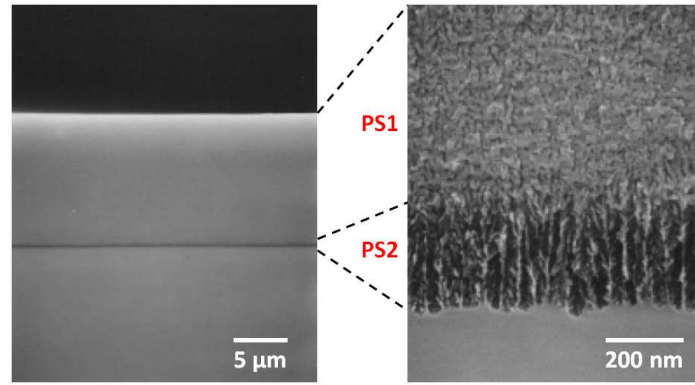


Figure 60 : Vues MEB (Microscope Electronique à Balayage) du procédé PS double couche nécessaire à la fabrication des plaquettes ELTRAN (extraites de [110]).

Une première oxydation sèche à 400 °C est ensuite effectuée. Il en résulte le développement d'un oxyde de 2 à 3 nm d'épaisseur sur les parois des pores. Cette étape est impérative pour permettre au PS de supporter des traitements hautes températures sans modification de sa structure. Un recuit compris entre 1000 et 1100 °C est alors entrepris sous atmosphère hydrogène (H_2) dans un réacteur épitaxie CVD. Durant cette phase, une pré-injection de Si par le biais de silane (SiH_4) est opérée de façon à faciliter la fermeture des pores à la surface de la plaquette (Cf. Figure 61).

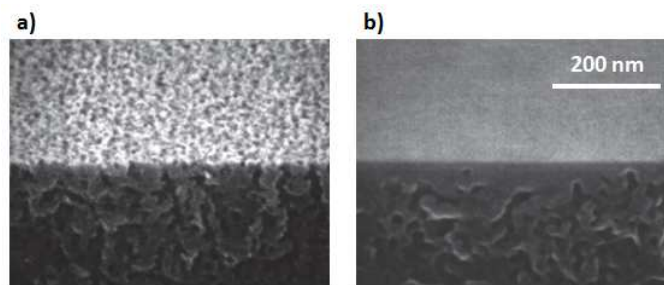


Figure 61 : Vues MEB de la couche PS superficielle (PS1) avant (a) et après recuit H_2 et pré-injection SiH_4 (b) (extraites de [110]).

La surface du PS est ainsi prête pour la croissance épitaxiale exécutée entre 900 et 1000 °C. Une fois déposée, la couche est oxydée. Le SiO_2 résultant, dit BOX (Buried OXide), constituera la clef de voûte de l'IE des plaquettes ELTRAN. Le wafer « seed » est alors terminé.

La Figure 62 schématise la fin du procédé de fabrication ELTRAN. Après nettoyage, les deux wafers « seed » et « handle » sont collés. Une première adhésion s'opère facilement sous l'effet des forces de Van der Waals. Un traitement thermique sera ensuite nécessaire pour former des liens covalents et renforcer ainsi la liaison entre les deux plaquettes. Un jet d'eau pressurisé et focalisé sur le PS est alors appliqué pour séparer de nouveau la plaquette. La disjonction au niveau de l'interface PS est favorisée par les contraintes mécaniques régnant au niveau de la double couche PS. A l'issue de cette opération,

une pellicule de PS reste fixée sur le substrat SOI. Une solution HF : H₂O₂ (eau oxygénée) : H₂O (eau) est alors employée pour la retirer. Cette gravure est sélective entre le Si et PS, l'intégrité de la couche SOI est ainsi préservée. Un ultime recuit sous hydrogène est finalement entrepris afin de planariser la surface de la plaquette. Comme le montre la Figure 63, sans ce traitement, la rugosité de la plaquette en sortie de gravure PS serait trop importante et dégraderait les performances des dispositifs CMOS intégrés dans la couche SOI.

Un autre avantage du procédé de fabrication ELTRAN est la réutilisation du wafer « seed » pour la fabrication d'un nouveau wafer SOI. Seul un retrait du film PS restant en surface doit être réalisé. Cette astuce permet de réduire les coûts de production et représente un atout pour la technologie ELTRAN. Le succès et l'expansion du marché des applications SOI requierent en effet plus de compétitivité sur le plan financier.

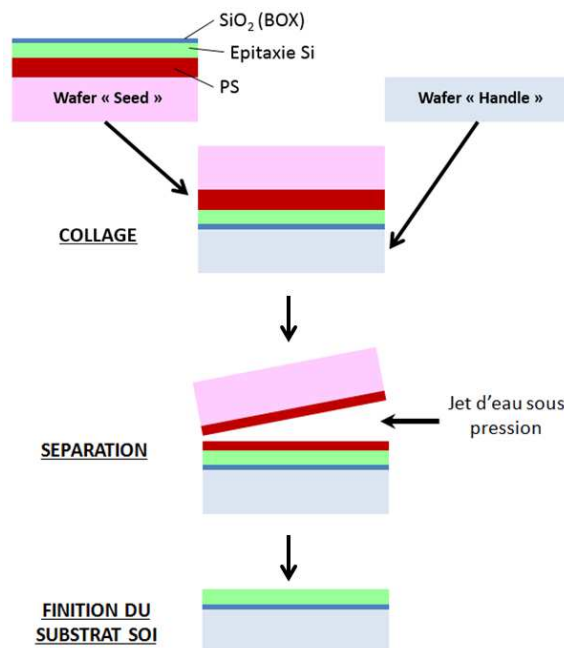


Figure 62 : Finalisation du procédé de fabrication ELTRAN : collage des deux wafers « seed » et « handle », séparation au niveau de la couche PS et finition du wafer SOI [110].

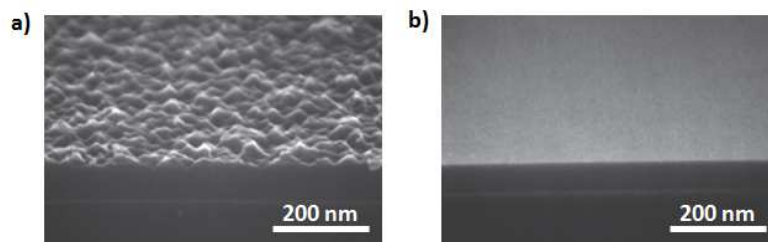


Figure 63 : Vues MEB de la surface de la plaquette ELTRAN obtenue après séparation et gravure du PS avant (a) et après (b) traitement thermique de planarisation sous hydrogène (extraites de [110]).

1.2.5 Réalisation de profils de dopage profonds à partir du PS

L'utilisation de dopages profonds est fréquente dans les procédés de fabrication TRIAC. L'emploi de tels profils de part et d'autre de la plaquette permet de former des murs, généralement de type P^+ (P_{iso}), isolant électriquement et mécaniquement la zone active du TRIAC des bords de puce. P_{iso} résulte habituellement de recuits de diffusion à la fois longs et hauts en température ($> 1200\text{ }^{\circ}\text{C}$). Ces traitements thermiques engendrent une dégradation de la cristallinité des substrats. Pour pallier cette limitation, Déhu a alors proposé de réaliser ces caissons P_{iso} en faisant intervenir le PS [111].

Déhu a ainsi mis au point le procédé de fabrication des couches P_{iso} présenté sur la Figure 64. Tout d'abord un SiO_2 thermique est formé sur un substrat N (100) de résistivité $40 - 50\ \Omega\cdot\text{cm}$. Une étape de photolithographie permet ensuite de définir les ouvertures qui correspondront aux régions P_{iso} (a). La gravure PS est locale. Le masquage PS est réalisé par une couche de Poly-Si déposée puis photolithographiée pour englober totalement SiO_2 . Une distance x doit être respectée entre SiO_2 et Poly-Si (b). Lors de l'anodisation, le PS se développe en effet latéralement (Cf. par exemple les Figures 147 et 150 du chapitre 4). Si x est trop faible, SiO_2 est attaqué par l'électrolyte (un mélange $\text{HF} : \text{H}_2\text{O} : \text{Ethanol}$) et finit par se décoller. La réaction électrochimique est alors entreprise en alternant le sens du courant de façon à former le PS de part et d'autre de la plaquette (c). Au final, le PS traverse quasiment l'épaisseur du wafer, à savoir $350\ \mu\text{m}$. Les opérations suivantes consistent tout d'abord à retirer le Poly-Si sur les deux faces, puis à enrichir d'un dopant type P la surface de la plaquette et les parois des pores. A cet effet, un pré-dépôt de bore à partir d'une source liquide BBr_3 est effectué pendant une heure à $1050\text{ }^{\circ}\text{C}$. A noter que le bore diffuse très difficilement à travers SiO_2 , de fait seules les régions Si nues seront dopées. Une redistribution du bore sous oxygène à $1200\text{ }^{\circ}\text{C}$ conclut enfin le procédé. Avec un recuit de 32 h seulement, les caissons P_{iso} sont formés et isolent la plaquette (d). Notons également que cette ultime opération favorise la tenue mécanique des wafers vis-à-vis des prochains traitements qu'ils devront subir.

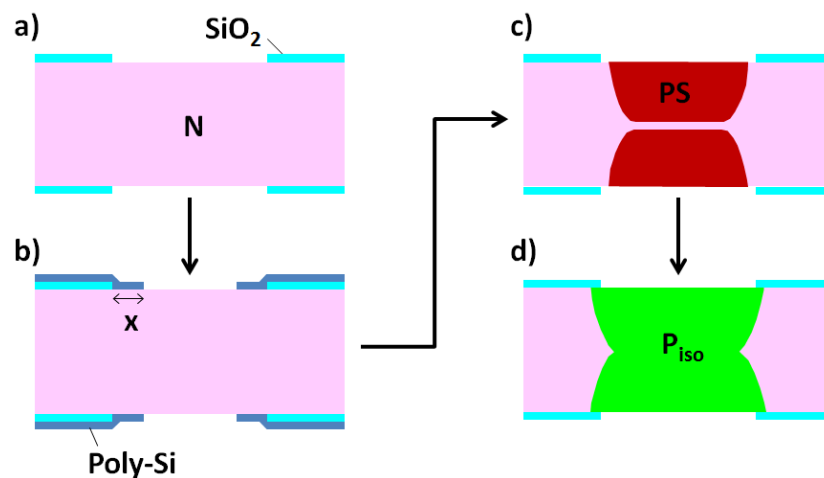


Figure 64 : Utilisation du PS pour la réalisation de caissons diffusés P_{iso} (selon [111]).

Des travaux similaires ont été menés par Astrova *et al.* ainsi que Amato *et al.* [112, 113]. On notera néanmoins que les techniques d'imprégnations des pores en dopant ont différé suivant les études. Amato *et al.* ont employé une solution d' AlCl_3 mélangée à de l'eau et de l'éthanol. Des jonctions PN de l'ordre de 100 μm ont ainsi été rapportées, et ce pour un budget thermique de seulement quelques heures à 1250 °C. De leurs côtés, Astrova *et al.* ont testé deux configurations correspondant à deux types de dopage différents. Premièrement, à partir d'un mélange de H_3BO_3 et d'alcool (1 % en volume), ils ont obtenu des jonctions PN de 150 μm pour une couche PS d'épaisseur 120 μm et un recuit de distribution de 3 h à 1250 °C. Dans le cadre d'une seconde expérimentation, et dans le but de former des dopages N^+ profonds dans un substrat N, le PS tel que décrit ci-dessus est imbibé en phosphore par une solution de H_3PO_4 avec une teneur en alcool de 10 % en volume. En opérant un recuit de 5 h à 1250 °C, la réalisation de couches N^+ de 200 μm a ainsi été démontrée.

L'intérêt des procédés de fabrication considéré dans ce paragraphe doit cependant être modéré. Aucune évaluation électrique, notamment pour les murs P_{iso} , n'a en effet été rapportée par les différents auteurs.

1.2.6 Passivation et PS

Pour une structure de type thyristor ou TRIAC réalisée en technologie DOUBLE MESA (Cf. Figure 44, chapitre 1), Salucha *et al.* ont étudié la possibilité d'utiliser le PS comme couche de passivation et de piégeage d'impuretés (effet « getter ») [114].

Le détail des expérimentations menées par Salucha *et al.* est illustré sur la Figure 65 représentant deux puces TRIAC adjacentes. Le chemin de découpe est indiqué par des tirets noirs. La légende des différentes couches impliquées dans la réalisation du TRIAC est donnée en haut à droite de la figure. A partir d'un substrat N dans lequel les dopages N^+ et P ont été diffusés, des sillons (MESA) sont gravés (a). Dans le fond de ces MESA, le PS est ensuite réalisé par voie électrochimique (b). Les mécanismes de formation du PS seront commentés plus en profondeur dans la suite de ce chapitre (Cf. paragraphe 4). Néanmoins, la technique employée ici et notamment étudiée par Coudron *et al.* [115] ainsi que Badel *et al.* [116] ne fera pas l'objet d'un paragraphe dédié dans ce mémoire. Il est donc intéressant à ce stade de préciser que la formation du PS fait appel à l'injection d'une jonction PN polarisée en direct. Compte tenu de la topographie de la structure, cette méthode apparaît en effet bien appropriée et assure un film PS suffisamment épais (plusieurs μm). Aucune information n'est toutefois donnée sur la morphologie du PS. Les auteurs ont alors envisagé deux configurations. Dans le but d'exploiter le PS comme une passivation, ce dernier est maintenu dans le fond de sillon puis recouvert par un verre $\text{SiO}_2 / \text{PbO} / \text{Al}_2\text{O}_3 / \text{B}_2\text{O}_3$ (c). Au préalable, le PS aura été recuit 1 h à 550 °C et sous H_2 . Ce traitement thermique confère au PS un rôle de « getter ». La seconde alternative consiste à ne réaliser que le recuit de « gettering » et donc de retirer le PS avant le dépôt du verre (d, e). Au final, un

gain de 200 V sur la tenue en tension de la jonction est observé en cumulant les deux effets passivation et « getter » du PS, chacun des deux artifices pesant à hauteur de 50 % sur les résultats. Les auteurs mentionnent toutefois comme inconvénient une oxydation spontanée et donc un vieillissement accéléré du PS. Pour s'affranchir de ces difficultés, ils recommandent alors d'oxyder partiellement ou totalement le PS.

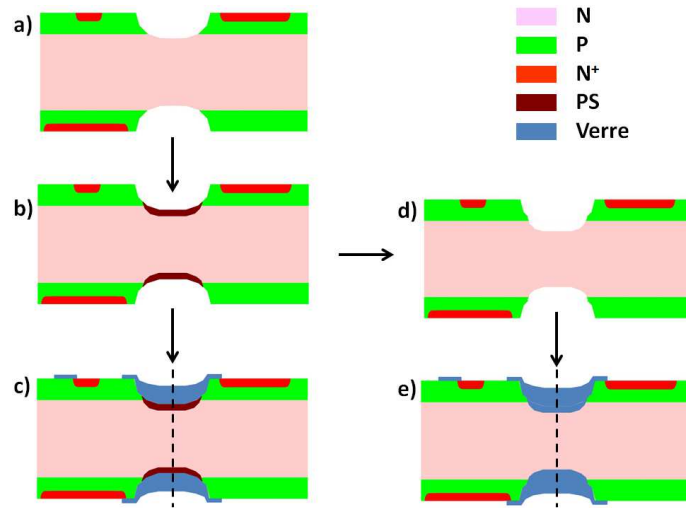


Figure 65 : Passivation (a, b, c) ou effet getter (a, b, d, e) apporté par la formation d'une couche de PS dans le fond des sillons d'un TRIAC DOUBLE MESA selon [114]. Le chemin de découpe séparant deux puces adjacentes est indiqué en pointillé noir.

1.2.7 Tranchées d'isolation

L'utilisation de tranchées isolantes (TI) est largement répandue dans le domaine des technologies de circuits intégrés, un exemple est donné en référence [117]. L'usage de TI a également été suggéré pour la terminaison de dispositifs électroniques de puissances (Cf. Figure 39, chapitre 1). Les TI autoriseraient également la suppression des diffusions P_{iso} longues et onéreuses, mais néanmoins nécessaires à l'IE des TRIACs réalisés en technologie PLANAR (Cf. Figure 45, chapitre 1) [118]. Les TI présentent généralement une grande verticalité, nécessitant l'emploi de techniques de gravures physico-chimiques dites DRIE (Deep Reactive Ion Etching). Ces procédés sont coûteux. Des méthodes alternatives ont ainsi été proposées notamment à partir du PS.

H. Foell *et al.* proposent ainsi de tirer profit de la possibilité de former du PS à partir d'un substrat N peu dopé [57]. Plus précisément, lorsque le substrat N est orienté selon la direction (100), il est possible de former localement une matrice de pores ordonnés. La technique, par ailleurs bien détaillée dans la référence [52], est schématisée sur la Figure 66. Dans un premier temps, une couche de SiO_2 est déposée sur le substrat (a). Cet oxyde est localement retiré après une étape de photolithographie (b). Les sites d'initiation de propagation des pores sont ensuite gravés dans le Si à l'aide d'une solution alcaline telle que l'hydroxyde de potassium (KOH) ou de tétraméthylammonium (TMAH).

Une matrice de micro-pyramides inversées est ainsi formée à la surface du substrat (c). Lors de l'anodisation, les pores du PS se développent alors préférentiellement à partir des aspérités volontairement créées (d). La Figure 67 est une coupe verticale MEB illustrant un réseau typique de pores résultant du procédé de la Figure 66 (a, b, c et d). En plongeant enfin la structure dans une solution de KOH, le Si inter-pore se désintègre pour ne former qu'une seule et unique tranchée telle que prévue par Foell *et al.* (e). L'efficacité de ce procédé reste néanmoins très contestable. Des effets de surgravure PS apparaissent en effet quasi-systématiquement aux bords du masque (indiquées par des ovales rouges sur la Figure 66) et endommagent la forme de la TI.

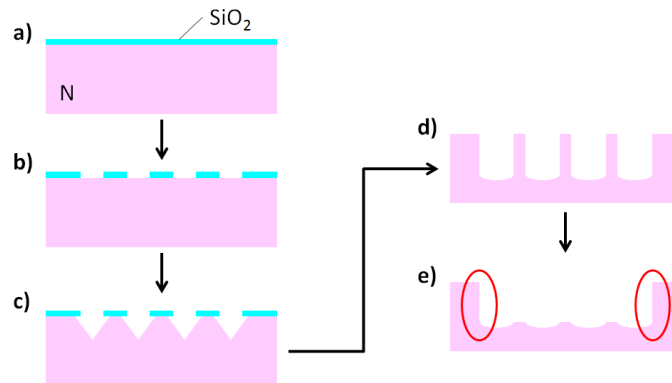


Figure 66 : Procédé de formation d'une matrice de pores ordonnés et localisés sur un substrat N fortement résistif et orienté (100) (étapes a, b, c et d selon [57] et [52]) et réalisation d'une TI (étape e selon [57]).

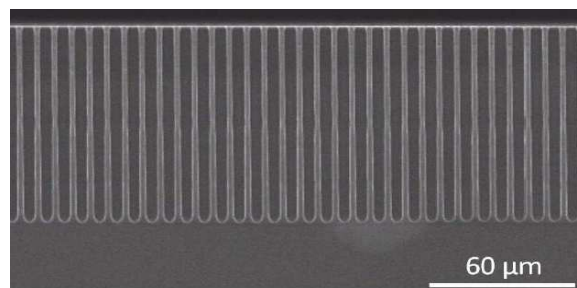


Figure 67 : Coupe verticale MEB d'une matrice de pores ordonnés résultant du procédé de fabrication décrit Figure 66 (extraite de [52]).

Toujours sur la base d'une exploitation judicieuse du PS, Gautier *et al.* ont développé une seconde technique pour produire des TI dans un substrat N [119]. Pour ce faire, ils ont eu recours à un dopage P réalisé par thermomigration de l'aluminium (Al) (technique dite « TGZM » pour Thermal Gradient Zone Melting [120]). La Figure 68 décrit schématiquement le procédé de fabrication utilisé. Un dopage Al (type P) est tout d'abord réalisé dans un substrat N par TGZM (a). La forme géométrique du profil, fortement anisotrope, est typique de ce procédé. On notera également la présence de Poly-Si sur la partie haute du mur P. Ce Poly-Si est également intrinsèque au dopage TGZM. Une seconde étape consiste ensuite à convertir les régions P en PS à l'aide d'une réaction électrochimique (b). La

sélectivité de la gravure PS permet de conserver le substrat N intact. A noter également que la présence de Poly-Si ne perturbe pas l'opération. Les propriétés physiques des couches PS issues du Si et du Poly-Si sont néanmoins différentes [120]. Pour terminer, une gravure du PS par une solution alcaline de type KOH est entreprise et conduit à la formation des TI (c). La Figure 69 illustre un cas de TI typiquement obtenu à partir de ce procédé de fabrication.

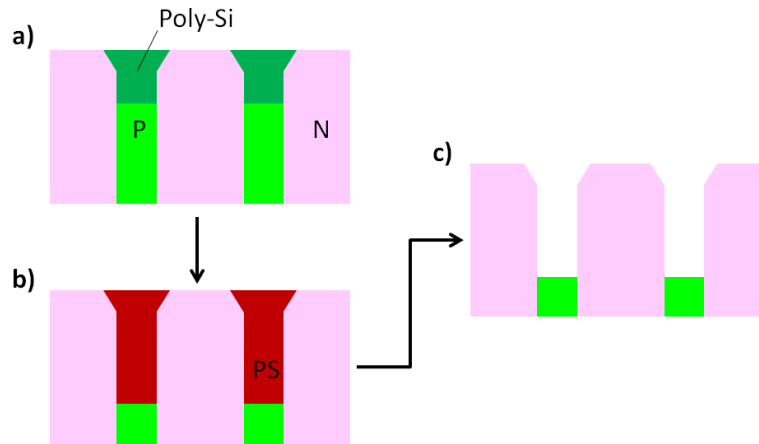


Figure 68 : Procédé de fabrication de TI dans un substrat N à partir d'un dopage P TGZM porosifié selon [119].

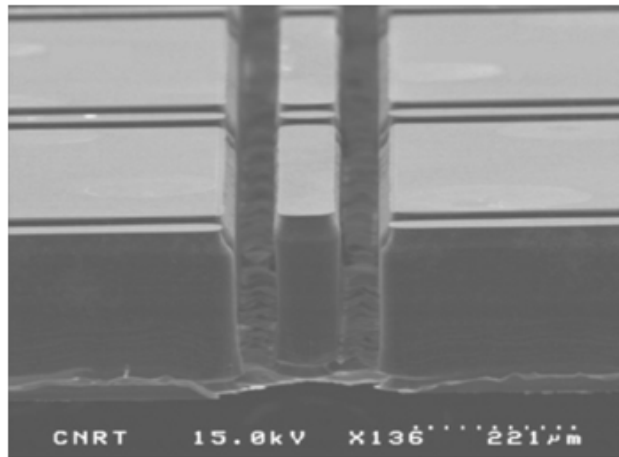


Figure 69 : Coupe verticale MEB de TI résultant du procédé de fabrication décrit sur la Figure 68 (extraite de [119]).

Pour conclure ce paragraphe, les deux méthodes décrites ci-dessus sont plus rapides, plus faciles à mettre en œuvre et de fait meilleur marché par rapport à leur homologue DRIE. En contrepartie, leur mise en œuvre nécessite des dopages bien spécifiques (type et résistivité). Ce manque de flexibilité limite donc leur utilisation à des structures bien précises. A ce jour, aucune application n'a été rapportée à propos du TRIAC.

2. Propriétés physiques du PS

Un aperçu global des applications dans lesquelles le PS est pressenti a été donné en première partie de ce chapitre, avec évidemment une focalisation sur les applications électroniques d'IE, objectif premier de ce mémoire. Afin de mieux comprendre le potentiel du PS, cette seconde section sera dédiée à la présentation de ses propriétés physiques. La multiplicité des formes que peut prendre le PS lui confère toute sa richesse mais aussi toute sa complexité.

2.1 Classification dimensionnelle des pores

La classification selon les normes de l'IUPAC (International Union of Pure and Applied Chemistry) catégorise un matériau poreux selon la dimension du diamètre de ses pores (d_{pores}) [121]. En règle générale, d_{pores} présente un ordre de grandeur similaire à la taille des cristallites. Cette classification se présente comme suit :

- Silicium micro-poreux (micro-PS) : $d_{\text{pores}} \leq 2 \text{ nm}$
- Silicium méso-poreux (méso-PS) : $2 \text{ nm} < d_{\text{pores}} < 50 \text{ nm}$
- Silicium macro-poreux (macro-PS) : $d_{\text{pores}} \geq 50 \text{ nm}$

La Figure 70 montre quelques exemples correspondant aux trois catégories de PS. Le micro-PS dispose d'une texture diffuse et interconnectée (a). La morphologie du méso-PS reste également branchée mais cette fois-ci avec une disposition généralement colonnaire (b). Enfin, le macro-PS présente dans la plupart des cas des pores bien orientés et relativement rectilignes (c).

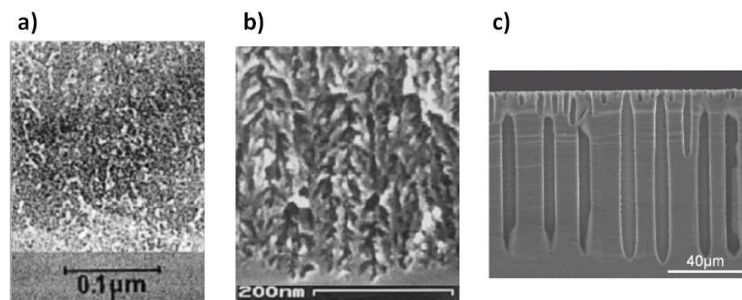


Figure 70 : Les catégories de PS : a) micro-PS (Vue MEB extraite de [122]), b) méso-PS (vue MEB extraite de [123]), c) macro-PS (vue MEB extraite de [52]).

Les variations morphologiques des pores du PS seront plus détaillées dans le prochain paragraphe. A ce stade, on retient seulement que sur la base de la taille des pores, il est déjà possible de différencier le PS et pour les yeux les plus avertis, d'anticiper ses propriétés.

2.2 Morphologies du PS

Au-delà du dimensionnel, la morphologie du PS se caractérise également par la forme, l'orientation, le type de branchage, le remplissage des pores et la variation de leur morphologie avec la profondeur. Ces paramètres varient avec les conditions de gravure, la nature de l'électrolyte, l'orientation et le dopage du substrat Si. (Cf. chapitre 3) A partir de ces six traits de caractéristiques, X.G. Zhang propose une seconde classification du PS matérialisée par la Figure 71 [124, 125].

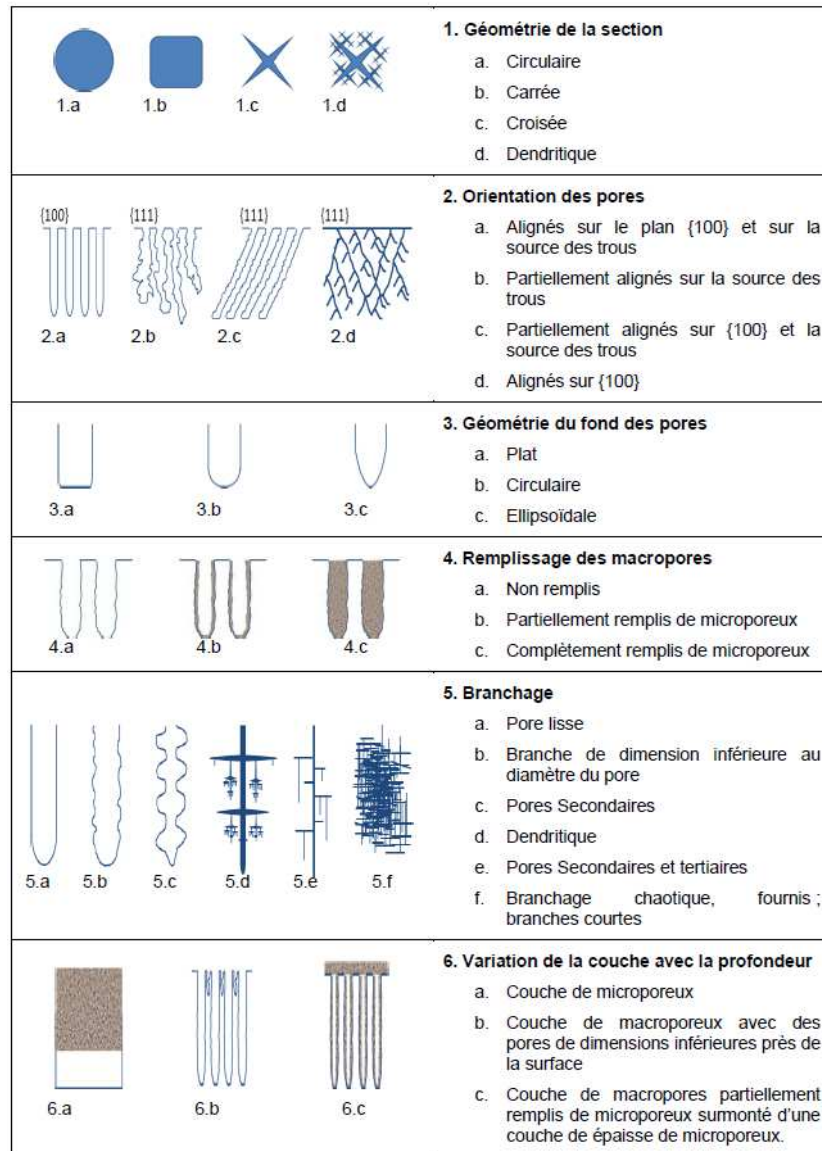


Figure 71 : Caractéristiques morphologiques du PS selon X. G. Zhang [124, 125].

La forme du pore principal peut-être circulaire, carrée, croisée ou dendritique (1a, 1b, 1c, 1d). Ce type de géométrie se rencontre généralement dans les macro-pores. Ces derniers sont vides (4.a), ou bien partiellement voire complètement remplis de micro-PS (4.b, 4.c) voire de méso-PS. Une même couche poreuse peut comprendre différentes morphologies. S'il est en effet possible d'obtenir une couche

homogène de micro-PS (6.a), il est également courant d'observer une couche macro-poreuse surmontée d'une couche micro-poreuse (6.c) ou simplement juxtaposée à des pores de plus petites tailles, notamment en surface (6.b).

D'autre part, les pores peuvent être plus ou moins branchés (5.a, 5.b, 5.c, 5.d, 5.e, 5.f). Un enchevêtrement chaotique en branches courtes (5.f) est typique du micro-PS alors qu'une paroi lisse (5.a) se rencontre exclusivement sur les macro-pores.

Par ailleurs, aucune direction n'est privilégiée dans le micro-PS alors qu'une gravure préférentielle du PS est souvent observée dans le méso ou le macro-PS (2.a, 2.b, 2.c, 2.d). L'orientation peut suivre les plans cristallographiques du Si ou bien simplement le sens du courant des trous responsables de la réaction d'anodisation (cf. paragraphe 4). La même remarque peut être établie au niveau de la forme du fond des pores (3.a, 3.b, 3.c).

2.3 Notions de porosité ($P_{\%}$) et de densité du PS (d_{PS})

La $P_{\%}$ est définie comme le rapport entre le volume total des pores (V_p) et le volume du PS (V) :

Équation 2.1
$$P_{\%} = \frac{V_p}{V}$$

Trois gammes de $P_{\%}$ sont la plupart du temps proposées: basse, moyenne et élevée, avec des pourcentages de vide respectivement de 0 à 30 %, de 30 à 70 % et de 70 à 100 % [126]. Le macro-PS s'inscrit en règle générale dans un éventail de $P_{\%}$ faibles à moyennes, alors que le micro-PS bénéficie quant à lui de plus fortes valeurs. A titre d'exemple, Cullis *et al.* [127] ont obtenu une couche macro-poreuse marquée par $P_{\%} = 4$ % à partir d'un Si de type N et avec $\rho_{Si} = 0,3 \Omega.cm$. Ils ont réalisé l'anodisation dans un électrolyte HF : éthanol en appliquant 10 mA/cm² pendant 5 min. Aux antipodes de cette première étude, Canham *et al.* [128] ont publié la confection d'un film micro-PS se caractérisant par $P_{\%} = 97$ %. Pour ce faire, ils ont employé un substrat de type P et de résistivité 0,03 $\Omega.cm$. La réaction électrochimique s'est déroulée dans un électrolyte HF : éthanol en imposant $J_{ano} = 50$ mA/cm² pendant 5 min. La préparation d'un tel échantillon suppose des techniques de rinçage et de séchage particulières. A défaut, en éliminant l'électrolyte contenu dans les pores, des contraintes mécaniques sont libérées et engendrent l'éclatement du PS.

A partir de la $P_{\%}$, il est ensuite possible de déduire la densité du PS connaissant celle du Si massif (2,33 g/cm³) :

Équation 2.2
$$d_{PS} \left(\frac{g}{cm^3} \right) = 2,33(1 - P_{\%})$$

Par ailleurs, la $P_{\%}$ d'un échantillon PS peut être déterminée par une analyse gravimétrique [129]. Cette méthode destructive tire profit de la dissolution rapide du PS dans des solutions aqueuses et basiques

telles que KOH ou TMAH. Elle est tout à fait adaptée à l'évaluation de la $P_{\%}$ du micro / méso-PS, dont les couches ne sont pas trop fines et/ou leurs surfaces ne sont pas trop faibles. Nous y reviendrons plus spécifiquement à propos des mesures relatives à nos propres spécimens (Cf. chapitre 3, paragraphe 1.5). Néanmoins, il convient de préciser que cette technique présente quelques limitations. Tout d'abord, il est impossible de discerner des gradients de $P_{\%}$, seule une valeur moyenne sur la couche complète peut être déduite. De plus, dans le cas de structures macro-poreuses, la gravure du PS est impossible à mettre en œuvre car elle n'est pas suffisamment sélective par rapport au Si.

La $P_{\%}$ du PS peut également être obtenue à partir de la méthode SLIM (Spectroscopic Liquid Infiltration Method) [129]. Elle consiste à s'appuyer sur des mesures de réflectance. Un premier spectre est obtenu en plaçant l'échantillon dans l'air, puis un deuxième en remplissant les pores par un liquide dont l'indice de réfraction est connu. En superposant les résultats avec un modèle de Bruggeman 2D (Cf. chapitre 3, paragraphe 3.3.1.2), la $P_{\%}$ peut être extraite. Cette technique présente l'avantage d'être non destructive. Elle permet aussi d'évaluer la $P_{\%}$ sur une zone plus restreinte du PS, le diamètre du faisceau lumineux n'excédant pas 1 mm. Par contre, suite à des problématiques de diffraction (cas du macro-PS), d'absorption dans le PS, ou encore lorsque le liquide ne parvient pas à infiltrer les pores de plus petites tailles, la mesure devient erronée.

Dans le cas de structures macro-poreuses, la porosimétrie mercure (Hg) peut aussi s'avérer tout à fait appropriée. Les pores sont remplis de Hg en augmentant la pression. Connaissant la quantité introduite, on est alors en mesure de calculer la $P_{\%}$ [130]. Pour ce même type de matériau PS, l'exploitation de la formule de Lehmann (Équation 2.3) est tout aussi utile [131]. Dans la mesure où les pores sont vides, elle relie la $P_{\%}$ à J_{ano} et à J_{PS} (Cf. paragraphe 3.1.2) selon l'expression ci-dessous:

Équation 2.3
$$P_{\%} = \frac{J_{ano}}{J_{PS}}$$

Enfin, pour compléter la liste des méthodes de mesure de $P_{\%}$, nous pouvons aussi citer les analyses d'adsorption de gaz neutre comme l'azote [132], la diffraction par rayons X [133, 134], la spectroscopie FTIR (Fourier Transform InfraRed spectroscopy) [135] ou encore l'ellipsométrie [136].

3. Élaboration du PS

Le PS n'est pas un matériau uniforme. Des classifications en fonction de ses propriétés physiques, et plus particulièrement la taille et la forme des pores, ou bien encore la $P_{\%}$ sont nécessaires pour clarifier les variantes de PS existantes. Cette facette du PS a fait l'objet de la seconde section de ce chapitre. Dans cette troisième et dernière partie, nous expliciterons la méthode de fabrication la plus couramment employée et la plus efficace pour obtenir du PS épais, à savoir la dissolution du Si par voie anodique. Nous serons ainsi en mesure de mieux comprendre la pléthore de propriétés physiques que le PS est capable de revêtir. Une identification aussi précise que possible des différents

mécanismes chimiques et physiques à l'origine de la croissance des pores sera ainsi donnée. Nous nous interrogerons ensuite sur la possibilité de contrôler la croissance du PS. Ce besoin apparaît en effet obligatoire pour toute application PS à vocation industrielle. Nous finirons enfin par une discussion sur la géométrie des cellules électrochimiques, avec un focus tout particulier sur la configuration adoptée dans le cadre de nos expérimentations.

3.1 Dissolution du Si par voie anodique

Plonger le substrat Si dans le HF et apporter des trous à l'interface HF / Si sont deux actions nécessaires à l'élaboration du PS en solution. Le PS peut ensuite être formé par voie chimique ou électrochimique.

Les méthodes sans polarisation, dites « electroless », reposent sur une réaction d'oxydation du Si favorisée par un agent oxydant soluble (méthode dite « stain etching »). La réduction de l'oxydant apporte un trou, le Si s'oxyde puis se grave dans le HF [137]. L'oxydation du Si peut également être catalysée par un métal noble déposé à la surface du Si [138]. Enfin, les charges peuvent être générées à l'interface HF / Si suite à l'application d'une polarisation : c'est l'anodisation. Cette dernière technique est la plus répandue et sera utilisée pour la confection de nos échantillons. De fait, elle sera commentée dans le détail dans les paragraphes qui suivent, avec dans un premier temps, un rappel des phénomènes physico-chimiques intervenant à l'interface entre un semi-conducteur et un électrolyte. Puis dans une seconde sous-partie, la caractéristique courant - tension ($I - V$) entre le Si et une solution aqueuse de HF sera discutée. Enfin, les différentes réactions chimiques mises en jeu seront précisées.

3.1.1 Phénomènes physico-chimiques à l'interface semi-conducteur / électrolyte

Les différents niveaux d'énergie représentatifs d'un semi-conducteur et d'un électrolyte à l'équilibre thermodynamique sont schématisés Figure 72. Le semi-conducteur est caractérisé par son affinité électronique (χ), la largeur de sa bande interdite ($E_C - E_V$) et la position de son niveau de Fermi (E_F). L'électrolyte quant à lui est caractérisé par son potentiel redox ($V_{redox} = -\frac{E_{redox}}{q}$) défini généralement par rapport au niveau du couple H^+/H_2 .

A l'équilibre thermodynamique, lorsque le semi-conducteur est plongé dans l'électrolyte, E_F et E_{redox} s'égalisent. Par conséquent, des charges vont se développer de part et d'autre de l'interface. Dans le semi-conducteur, les charges peuvent être constituées de porteurs majoritaires ou minoritaires, mobiles par nature, ou de dopants ionisés fixes. Nous pouvons y associer respectivement les régimes d'accumulation, d'inversion ou de déplétion. La largeur des zones chargées peut alors varier de quelques nanomètres (accumulation ou inversion) à plusieurs micromètres (déplétion). Du côté de l'électrolyte, une fine couche chargée est également présente à l'interface (couche de Helmholtz).

Nous verrons par la suite que la présence de ces régions influe sur les morphologies du PS (Cf. paragraphe 3.2).

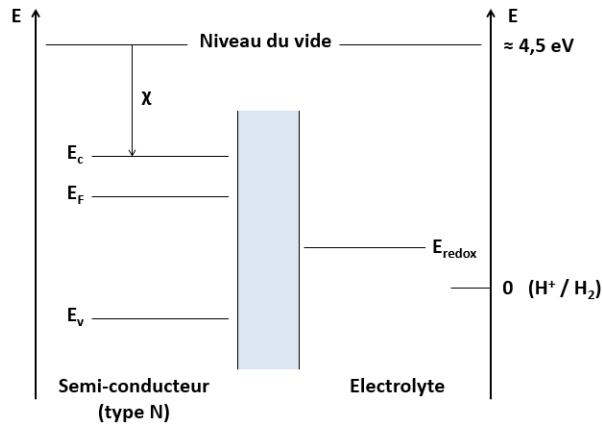


Figure 72 : Niveaux d'énergies représentatifs d'un semi-conducteur et d'un électrolyte isolés.

Par ailleurs, des charges de natures différentes se déplacent dans un semi-conducteur et un électrolyte. Dans le cas du Si, les mobilités des électrons et des trous (respectivement μ_n et μ_p) sont supérieures à $100 \text{ cm}^2/\text{V.s}$ alors que dans une solution, la mobilité des ions ne dépasse guère les quelques $1.10^{-3} \text{ cm}^2/\text{V.s}$ ($\mu_{H^+} = 36,2.10^{-4} \text{ cm}^2/\text{V.s}$, $\mu_{OH^-} = 20,6.10^{-4} \text{ cm}^2/\text{V.s}$, $\mu_{F^-} = 5,7.10^{-4} \text{ cm}^2/\text{V.s}$) [139]. Néanmoins, les résistivités de ces deux milieux sont assez proches, même dans le cas du Si peu dopé (entre 1.10^{14} et $1.10^{17} \text{ cm}^{-3}$), car les densités d'ions dans les électrolytes sont très importantes ($1.10^{21} \text{ cm}^{-3}$ pour 1 mol.l^{-1}). Par exemple, la conductivité d'une solution HF (49%) : acide acétique (acac) : H_2O (3,2 : 1 : 1,5) mesurée au laboratoire à 300 K est de l'ordre de $4 \Omega.\text{cm}$. Ce transport de charges, à la fois dans le Si et l'électrolyte, constitue un facteur déterminant dans l'élaboration du PS (Cf. paragraphe 3.1.2).

Enfin, tous les transferts de charges aux interfaces sont nécessairement accompagnés de réactions chimiques. En effet, si un (ou des) électron(s) transite(nt) du semi-conducteur vers l'électrolyte, l'ion oxydant à l'origine de la réaction capte le (ou les) électron(s), on parle de réduction. Si l'inverse se produit, alors l'ion réducteur transmet le (ou les) électron(s) au Si, il s'agit d'une oxydation. De plus le concept de trou n'ayant de sens que dans un cristal, le mouvement d'un de ces derniers à l'interface pourra se traduire par un mouvement d'électron dans le sens inverse (oxydation). Les réactions électrochimiques propres au Si (incluant bien entendu l'anodisation) seront détaillées au paragraphe 3.1.3.

En appliquant une polarisation entre le Si et l'électrolyte, l'interface peut donc devenir le siège de processus physico-chimiques conduisant à la formation du PS. L'examen de la caractéristique I - V relative au système Si / HF aqueux constitue alors une première étape dans la compréhension des mécanismes d'élaboration du PS.

3.1.2 Caractéristiques courant - tension (I - V) du système Si / HF (acide fluorhydrique) aqueux

La Figure 73 représente l'allure typique de caractéristiques I - V observées pour des matériaux de type P (quel que soit le dopage) ou de type N (modérément dopé éclairé ou très fortement dopé). Nous pouvons distinguer quatre zones distinctes. La première région concerne les potentiels cathodiques (l'électrode de Si est polarisée négativement par rapport à l'électrolyte). Le Si ne participe dans ce cas à aucune réaction.

L'observation est similaire dans une seconde zone correspondant à la région de potentiel en circuit ouvert (OCP pour Open Circuit Potential). La valeur de ce dernier dépend principalement de l'illumination, de ρ_{Si} et de la concentration en HF [140]. Elle varie en moyenne entre -0,6 V (dans l'obscurité) et -0,2 V (dans le cas d'un matériau de type P éclairé) par rapport à une référence SCE (Saturated Calomel Electrode).

Au-delà de l'OCP, et pour des courants inférieurs à J_{PS} (ou J_1 sur la Figure 73), s'étend un domaine de courants anodiques où une réaction divalente est initiée par l'arrivée d'un trou à l'interface Si / HF, suivie de l'injection d'un électron. La formation du PS est exclusivement confinée dans cette région. Dans le cas du Si de type P, l'interface active où se déroule la réaction se comporte comme une jonction Schottky polarisée en direct. Une évolution exponentielle du courant est donc observée avec une pente plus réduite pour des ρ_{Si} faibles [140]. Le semi-conducteur est alors en régime de déplétion à proximité de l'interface avec une hauteur de barrière qui tendra à diminuer avec l'augmentation du potentiel. Nous verrons par la suite comment cette région vide de porteurs influence la morphologie des pores. Dans le cas du Si de type N en régime anodique, l'électrode est polarisée en inverse, nous aurons donc à l'interface une zone de charge d'espace (ZCE ou zone de déplétion) plus étendue que dans le cas précédent. L'extension de la ZCE sera d'autant plus vaste que la tension appliquée sera élevée. Par conséquent dans l'obscurité, seule une faible J_{ano} de quelques $\mu A.cm^{-2}$ pourra être mesurée. Il est en effet nécessaire d'atteindre la tension de claquage pour voir J_{ano} augmenter très rapidement (de plusieurs décades). A l'inverse, sous éclairage, des paires électrons trous sont créées dans le matériau, le champ électrique (E) présent à l'interface propulse des trous vers la surface et la réaction de formation du PS peut avoir lieu. On retrouve alors une évolution du courant proche de celle observée pour le Si de type P.

Au-delà de J_{PS} , une réaction tétravalente a lieu à l'interface. Elle est limitée par la diffusion des ions dans la solution. Elle est typique de la formation anodique d'un oxyde à la surface du semi-conducteur et du régime dit « d'érosion » ou « d'électro-polissage ». Notons que cette frontière entre la gravure du PS et le début du régime de transition annonçant l'érosion est indépendante du type et du niveau de dopage du matériau. Elle est en fait essentiellement conditionnée par la concentration en HF. Plus

cette dernière est importante, et plus les niveaux de courant annonçant le basculement entre les deux régimes seront élevés [141].

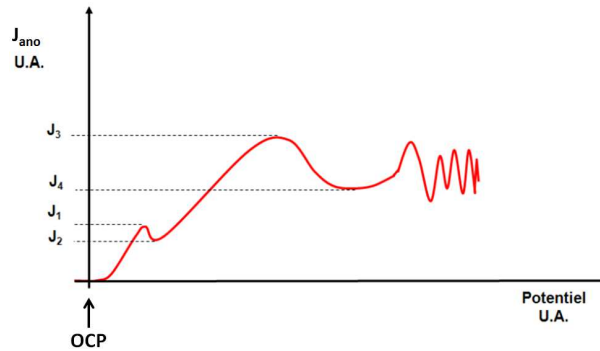


Figure 73 : Caractéristique $J_{ano} - V$ du Si (P, N+ ou N éclairé) dans une solution aqueuse de HF. La référence de potentiel correspond au potentiel en circuit ouvert (OCP, Open Circuit Potential).

Pour $J_{ano} > J_{PS}$, nous pouvons en fait dissocier deux phénomènes distincts. Entre les densités de courant J_2 et J_3 , la vitesse de croissance de l'oxyde est inférieure à sa vitesse de dissolution. L'oxyde est gravé au fur et à mesure de sa croissance.

Lorsque J_{ano} dépasse J_3 , de par le nombre très élevé de trous disponibles à l'interface Si / électrolyte, la vitesse de croissance de l'oxyde augmente et prend le pas sur la dissolution chimique. Une IE apparaît alors entre l'électrode et l'électrolyte. La formation de l'oxyde est ralentie jusqu'à sa gravure par HF. Un oxyde se redéveloppe alors et ainsi de suite. Par conséquent, si nous fixons une densité de courant au-delà de J_3 , un régime oscillatoire est observable sur la tension. Ces oscillations s'initient souvent spontanément et peuvent être entretenues pendant plusieurs heures dans un électrolyte aqueux. En contrôle potentiostatique (électrochimie à potentiel constant), ces oscillations sont assimilables à des sinusoïdes, avec la première demi-période démarrant à l'instant où la densité de courant vaut J_4 . En contrôle galvanostatique (électrochimie à courant constant), les oscillations du potentiel perdent leurs allures quasi-sinusoïdales. Elles croissent lentement puis diminuent rapidement [142].

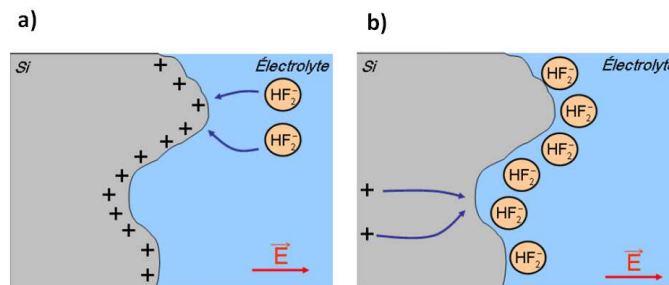


Figure 74 : Phénomène de transport en régime anodique selon [144]. Régime de fort courant, limité par la diffusion des espèces actives dans la solution (a), et régime de courant modéré, limité par la diffusion des trous dans le matériau (b).

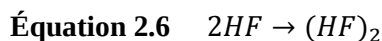
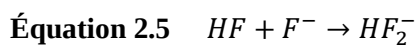
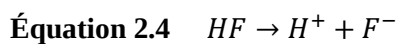
Notons également que la présence des 2 niveaux de densité de courant J_1 (J_{PS}) et J_4 sont caractéristiques des solutions aqueuses de HF. En effet, ces phénomènes ne sont pas observés dans le cas d'électrolytes anhydres ou de solutions à base de solvants organiques [143].

Au final, la formation du PS et l'électro-polissage se distinguent par leurs processus de transport de charges. Dans le cas de forts courants, la surface de la plaquette présente un grand nombre de trous disponibles. La gravure est alors contrôlée par la diffusion des espèces actives dans la solution (Figure 74a). Plus précisément, les ions HF_2^- migrent dans le champ électrique imposé par la polarisation et se dirigent préférentiellement vers les proéminences à la surface de la plaquette. Cette dernière est ainsi aplanie et polie [144]. A l'inverse, pour des J_{ano} plus faibles, la diffusion des trous dans le Si devient le facteur limitant et il en résulte l'apparition de PS (Figure 74b). Nous verrons plus loin comment la convergence des porteurs vers le fond des pores induit des morphologies PS bien particulières (Cf. paragraphe 3.2), mais auparavant nous allons nous intéresser aux schémas réactionnels, second point de divergence entre les deux régimes.

3.1.3 Réactions chimiques de formation du PS et d'érosion du Si

3.1.3.1 Les solutions de HF en milieu aqueux

La dissolution du Si dans une solution de HF n'a lieu qu'en régime anodique. En effet, en circuit ouvert (i.e. en régime cathodique) le Si est stable et à l'équilibre, sa surface est passivée par les ions H^+ . Les liaisons identifiables lors de l'immersion d'une plaquette (100) de Si dans une solution de HF sont essentiellement de type Si-H₂ [145]. Lors de l'électrolyse, les espèces considérées comme actives sont le (HF) et le dimère (HF)₂ ainsi que les ions HF_2^- , ces derniers se dissociant en HF et F^- à proximité de la surface [146]. Leurs concentrations sont régies par les équilibres suivants :



Lorsque la concentration en HF ($C_{HF} = [HF] + 2[(HF)_2] + 2[HF_2^-] + [F^-]$) excède les 0,25 mol.l⁻¹, ce qui est le cas de la majorité de nos électrolytes, nous pouvons considérer la proportion des différentes espèces comme quasi constante, avec 90 % de HF et (HF)₂, 4 % de HF_2^- et 2 % de F^- . Intéressons-nous désormais aux réactions électrochimiques mettant en œuvre ces espèces chimiques.

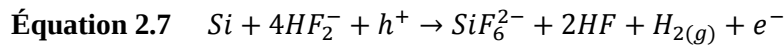
3.1.3.2 Réactions de formation du PS

Lorsque la plaquette est plongée dans l'électrolyte, les ions H^+ viennent spontanément passiver les liaisons pendantes du Si. Dans cette configuration le Si est inerte face à HF. En effet,

l'électronégativité de l'hydrogène est proche de celle du Si ce qui induit une faible polarisation (Hydrogène : 2,1 / Si : 1,8 sur l'échelle de Pauling).

La réaction est initiée par un trou rejoignant la surface de la plaquette. Les ions fluor, par le biais de l'espèce active HF_2^- , se substituent aux atomes d'hydrogène par attaque nucléophile pour former une liaison Si-F (Figure 75a). Du fait de la polarisation induite par le groupe Si-F, un autre ion F^- vient alors se substituer à l'atome d'hydrogène restant. En effet, le fluor présente une forte électronégativité par rapport à l'hydrogène (Hydrogène : 2,1 / fluor : 4 sur l'échelle de Pauling). H_2 est alors généré, puis libéré sous forme gazeuse dans la solution. Un électron est alors injecté dans le matériau (Figure 75b). Ce dernier est quasi immédiatement neutralisé par un trou. La réaction est donc bien divalente [43].

A ce stade, les liaisons Si-Si affaiblies par les groupes Si-F peuvent être attaquées par HF. Du SiF_4 est alors libéré dans la solution (Figures 75c et d). Cette molécule réagit avec HF pour former du SiF_6^{2-} soluble dans la solution jusqu'à environ 1 mol.l^{-1} [43]. Le bilan réactionnel peut alors s'écrire :



Il convient toutefois de préciser que pour des courants importants au regard du pic J_{PS} , d'autres mécanismes réactionnels sont alors impliqués.

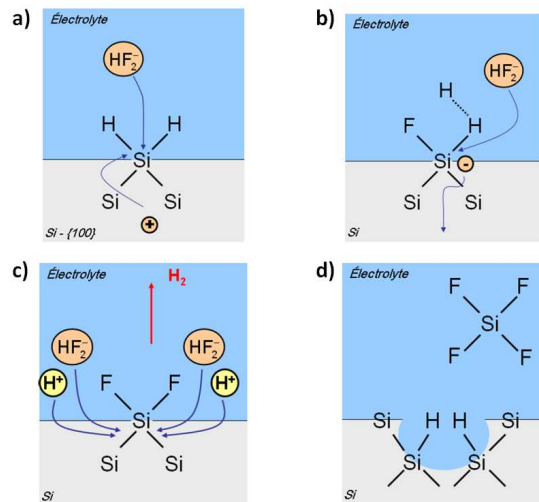
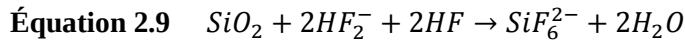
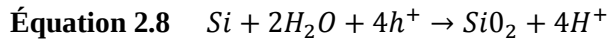


Figure 75 : Schémas réactionnels de formation de PS en régime anodique dans le cas d'une surface (100) (extraits de [45]).

3.1.3.3 Réactions liées au phénomène d'érosion du Si

Dans ce régime de dissolution, l'espèce active est l'ion hydroxyde OH^- . Du fait de l'apport de quatre trous provenant du semi-conducteur et sous l'action des ions OH^- , les liaisons Si-Si s'oxydent à l'interface avec l'électrolyte pour former des liaisons Si-O-Si (cf. Figures 76a et b). Cette couche

d'oxyde se dissout ensuite dans HF par l'attaque nucléophile de HF_2^- . Les équations générales d'oxydation du Si ainsi que la gravure de l'oxyde par HF_2^- sont récapitulées au travers des équations 2.8 et 2.9 respectivement.



A noter que dans l'équation 2.8, h^+ et H^+ représentent respectivement un trou et un proton.

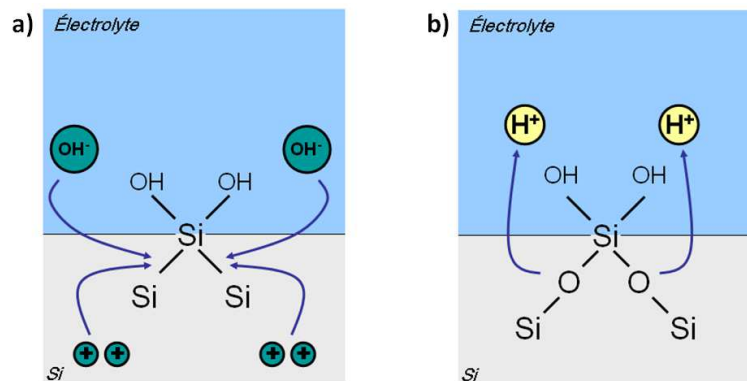


Figure 76 : Schémas réactionnels d'érosion en régime anodique dans le cas d'une surface (100) (extraits de [45]).

3.2 Mécanismes de formation du PS

La section précédente a permis d'identifier macroscopiquement les processus physico-chimiques responsables de la croissance des pores. En régime anodique, dans des conditions où l'interface Si / électrolyte est correctement alimentée en trous, la réaction chimique de formation du PS est initiée. Cependant, la description présentée jusqu'ici n'est pas suffisante pour expliquer l'ensemble des morphologies PS observées et décrites dans la partie 2 de ce chapitre.

La formation du PS est un mélange complexe de facteurs électroniques et chimiques. La composition de l'électrolyte, le type et le dopage du substrat Si, les conditions de la réaction électrochimique (courant, tension, durée), la température, l'éclairement sont autant de paramètres à contrôler. De plus, de nombreux mécanismes concurrents sont susceptibles de jouer un rôle simultanément. Néanmoins, toutes les expérimentations d'élaboration du PS présentent des points communs : (i) les pores se forment uniformément et aléatoirement à moins que le substrat ait été spécifiquement préparé; (ii) le courant circule préférentiellement à proximité des fonds de pores; (iii) les flancs des pores se passivent conduisant à une dissolution préférentiellement localisée à l'interface entre le Si et le PS; (iv) une fois formés, les pores se reconstruisent et ne se redistribuent pas; et (v) tous les échantillons PS disposent d'une distribution de diamètre de pores (*i.e.* la taille des pores n'est pas fixe).

Le simple fait de modifier le type et le dopage du substrat suffit à engendrer des mécanismes de formation distincts, et donc des morphologies PS différentes. Des plaquettes dopées N et P⁻ conduisent globalement à des macro-pores vides ou remplis de micro-PS. Le dernier cas de figure est principalement rencontré sur des wafers P⁻. Des substrats P⁺ et N⁺ produisent plutôt du méso-PS. Un Si P sera quant à lui propice à l'élaboration de micro-PS. Les exposants « + » et « - » correspondent ici à $\rho_{Si} < 100 \text{ m}\Omega.\text{cm}$ et $\rho_{Si} > 1 \text{ }\Omega.\text{cm}$ respectivement.

Au-delà de la nature du substrat, les principaux processus responsables des morphologies PS sont généralement séparés en deux sous-ensembles, d'un côté les phénomènes physiques et de l'autre les effets chimiques. La Figure 77 synthétise tous ces mécanismes.

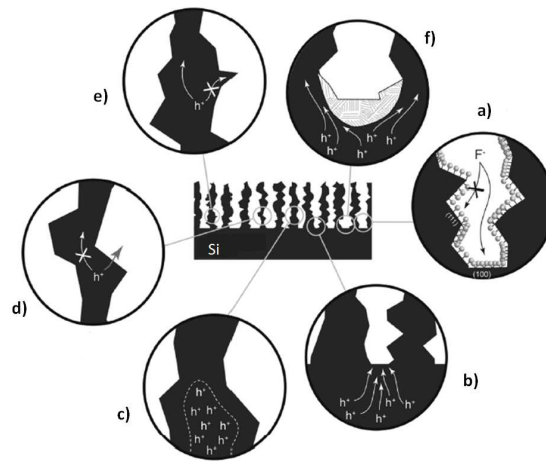


Figure 77 : Schématisation des mécanismes physiques et chimiques conduisant à la formation des pores selon [129]: a) orientation cristalline b) accentuation du champ électrique aux extrémités des pores c) transport limité par la ZCE d) résistance des cristallites de Si e) confinement quantique f) croissance d'un oxyde.

Tout d'abord, l'orientation cristallographique joue un rôle important (Cf. Figure 77a). Les plans cristallographiques (100) contiennent des liaisons Si-H sous contraintes, fortement sujettes à la dissolution dans HF. Au contraire, les faces (111) présentent des liaisons Si-H perpendiculaires à la surface et de fait plus stables. Les pores auront donc tendance à croître préférentiellement dans la direction (100).

De plus, le rayon de courbure accentué aux extrémités des pores génère des régions où E est plus intense (Cf. Figure 77b). Le déplacement des trous sera alors favorisé vers le fond des pores.

La ZCE est désertée de porteurs libres sous l'effet des courbures de bandes à l'interface électrolyte / Si (Cf. paragraphe 3.1.1). Cette ZCE représente une barrière de potentiel à franchir pour les trous désirant réagir à l'interface. On distingue alors différents mécanismes de transport (Cf Figure 77c). Pour des gammes de dopages supérieures à $1.10^{18} \text{ cm}^{-3}$, du fait de la faible épaisseur de la ZCE présente à

l'interface, l'effet tunnel est prédominant. Ce mécanisme est observé pour une polarisation anodique directe (type P⁺) ou inverse (type N⁺). Pour les électrodes de type P, de dopages inférieurs à 1.10¹⁸ cm⁻³, la diffusion et l'émission thermo-ionique prédominent. Pour des dopages inférieurs à 1.10¹⁶ cm⁻³ (type P⁻), ces mécanismes aboutissent à la gravure de macro-pores. Dans le cas des matériaux de type N (dopages inférieurs à 1.10¹⁸ cm⁻³), dans l'obscurité, un claquage intervient pour des tensions importantes (de l'ordre de 10 V). Si nous éclairons une des faces du Si, les trous photogénérés (minoritaires) seront collectés par E et propulsés à l'interface où ils réagiront. La Figure 78 résume le lien entre le transport de charge induit par la ZCE, le dopage et les morphologies du PS.

Par ailleurs, plus le diamètre des cristallites diminue, plus la résistance électrique vue par les trous augmente. A partir d'une certaine taille critique (de l'ordre de quelques nm pour un substrat type P), l'injection des trous dans la solution devient plus favorable par rapport à leur propagation sur toute la longueur du filament de Si (Cf Figure 77d). Ce mécanisme est notamment rencontré sur du micro-PS.

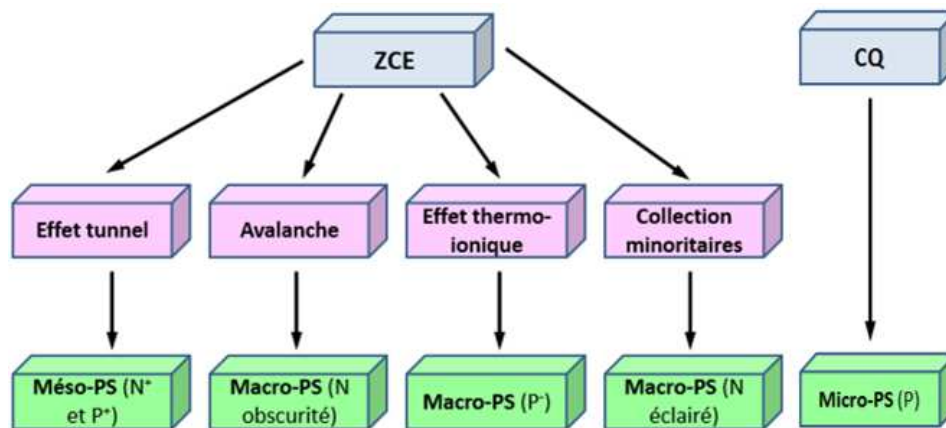


Figure 78 : Différents phénomènes physiques à l'origine de la passivation des parois des pores (ZCE et confinement quantique (CQ)), mécanismes de conduction associés et morphologie finale du PS selon [123].

La Figure 77e schématise quant à elle l'effet du confinement quantique (CQ) dans des cristallites de très petite taille, généralement inférieure à 5 nm. Une augmentation du gap résulte du CQ et par conséquent un accroissement de la hauteur de barrière à franchir est observé pour les trous provenant du Si et cherchant à entrer dans ces espaces confinés. Ces régions se retrouvent alors naturellement vides de porteurs. Ce phénomène est exclusivement rencontré dans les matériaux dopés P entre 1.10^{16} et $1.10^{17} \text{ cm}^{-3}$, il correspond au dernier cas de la Figure 78.

Enfin, on recense un dernier mécanisme s'appuyant sur la disponibilité des ions Fluor à l'interface Si / électrolyte (Figure 77f). En leur absence, les trous se retrouvent en surabondance et entraînent une oxydation du Si. Les pores s'en retrouvent tout d'abord élargis jusqu'à provoquer le décollement de la couche poreuse (Cf. paragraphes 3.1.2 et 3.1.3 au sujet de l'électro-polissage).

3.3 Initiation des pores et couches superficielles

Au début de la gravure, l'initiation des pores va être influencée par l'état de surface de la plaquette de Si. Quelle que soit sa qualité de fabrication, la surface de la plaquette n'est pas parfaitement plane à l'échelle atomique. Elle comporte en effet quelques irrégularités. La réaction d'électrolyse aura alors lieu préférentiellement au niveau des surfaces présentant les plus fortes courbures [125]. Ce mécanisme rejoint les propos tenus dans le cadre de la Figure 77b (Cf. paragraphe 3.2). Une augmentation de E est en effet induite, il en résulte un accroissement ponctuel du courant au niveau de ces proéminences.

Le modèle dit CBM pour « Current Burst Model » traduit le mieux le phénomène d'amorçage et de croissance des pores [147]. Il s'appuie sur trois postulats de base. Premièrement, le flux de courant est inhomogène dans le temps et l'espace. Un transfert de charges est initié à un instant donné à la surface de la plaquette, selon une certaine probabilité $p(x, y, t)$, dépendant certes de l'état de surface du wafer $S(x, y, t)$, mais avec une contribution aléatoire intrinsèque. La succession de tels évènements se traduisant par des impulsions de courant localisées est appelée « current burst ». Deuxièmement, ces « current bursts » suivent un déroulement logique. Plus précisément, le Si est dans un premier temps gravé. Il s'en suit une oxydation et une dissolution de cet oxyde. Puis, si le prochain « current burst » tarde, alors une passivation à l'hydrogène s'opère sur les parois des pores. Troisièmement, chaque « current burst » interagit dans l'espace et dans le temps. En d'autres termes, cela signifie que $p(x, y, t)$ est aussi fonction des évènements précédents t et intervenus à proximité de (x, y) . Cette modélisation CBM a ainsi permis d'expliquer comment des défauts surfaciques à l'échelle atomique se matérialisent en pores sur bon nombre de morphologies PS.

Il convient toutefois de préciser que l'obtention de la texture finale du PS peut nécessiter le passage préalable par une phase de nucléation. Cette situation est schématisée sur la Figure 79. Dans le cas d'un substrat de type N, l'épaisseur de la couche de nucléation, généralement de quelques micromètres, varie en fonction de ρ_{Si} , de la tension appliquée et de T [124]. En effet, la profondeur du cratère est d'autant plus importante que ρ_{Si} est grande. Une fois cette première étape terminée, une seconde phase de croissance avec une redistribution des pores démarre. Durant cette période, certains pores stopperont leur croissance tandis que d'autres continueront à croître et verront leur diamètre augmenter. Ainsi, la densité de pores en surface est souvent plus importante que celle présente plus en profondeur dans la couche [148]. Une fois l'équilibre atteint, les pores continueront à croître de manière stable sous réserve que les conditions d'anodisation soient maintenues constantes.

De la même façon, dans le Si de type P, une fine couche superficielle est parfois visible. Plusieurs illustrations seront données dans le cadre du troisième chapitre de ce manuscrit (Cf. paragraphe 1.6.2). Par ailleurs, en discutant les mécanismes de formation d'une couche PS obtenue à partir d'un Si de

type P et caractérisé par $\rho_{Si} = 10 - 20 \Omega.cm$, Hamm *et al.* évoquent une compétition dans le temps entre deux mécanismes. Dans les premiers instants de l'anodisation et dépendamment de la concentration en HF, on bascule en effet plus ou moins rapidement d'un régime de dissolution homogène vers la croissance des pores. Les auteurs ne concluent pas sur les origines du phénomène, ils listent néanmoins trois causes pouvant expliquer la transition : une réduction de l'agressivité de la solution, un changement de morphologie du PS et la formation d'une couche de passivation. A noter également que les auteurs ont mis en évidence une modification de la terminaison en hydrogène des parois des pores selon la concentration en HF [149]. Le rôle de l'hydrogène sur la formation d'un film parasite à la surface du PS a également été pointé par Chamard *et al.* [150]. Une contamination à l'hydrogène des wafers (type P, 10 m $\Omega.cm$) avant anodisation a été identifiée comme étant à l'origine de la formation de cette pellicule. Ces deux études rejoignent également les observations faites dans le cadre du chapitre 3, paragraphe 4.2.1.2 où plusieurs études relatives à des substrats P et P⁺ font mention d'un contact Métal / PS redresseur du fait de la présence d'une couche intermédiaire.

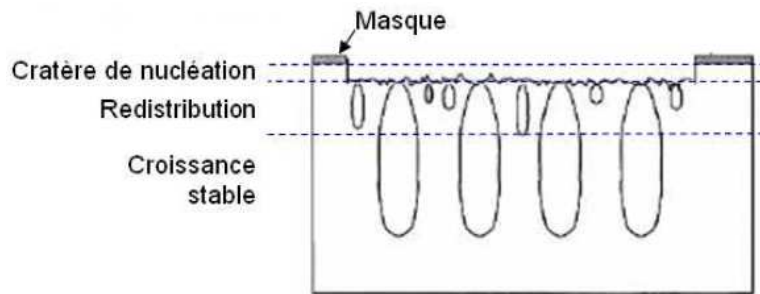


Figure 79 : Initiation des pores illustrée dans le cas de la croissance de macro-pores dans le type N éclairé en face arrière. Les effets de la surgravure en bordures de masques sont ici négligés (schéma extrait de [124]).

3.4 Suivi de la croissance du PS

Quelle que soit l'application visée, l'emploi du PS suppose de maîtriser sa croissance. Cette exigence est d'autant plus vraie que le PS revêt de multiples variantes. Les paragraphes précédents n'ont en effet pas cessé de mettre en exergue cette spécificité du PS. La méthode sans doute la plus accessible consiste à suivre les courbes de chrono-voltamétrie si le PS est formé en régime galvanostatique (I constant) ou de chrono-ampérométrie si un mode potentiostatique (V constante) est utilisé.

La Figure 80 illustre un exemple de relevé chrono-voltamétrique $V_{ano}(t)$ obtenu au cours de l'anodisation d'un substrat P (111) de résistivité 6 - 12 $\Omega.cm$. J_{ano} a été fixée à 25 mA/cm². Une cellule électrochimique double cuve (Cf. paragraphe 3.5) remplie de HF aqueux a été utilisée. La géométrie de la cuve a son importance. La tension V_{ano} relevée sur la Figure 80 correspond en effet à la différence de potentiel entre les deux électrodes de platine plongées dans l'électrolyte de part et d'autre de l'échantillon (Cf. paragraphe 3.5). Une telle configuration impose la réalisation d'un contact

ohmique entre le Si et l'électrolyte au niveau de la face non porosifiée. Dans le cas contraire, l'homogénéité de la gravure et donc V_{ano} seraient impactées. L'utilisation du substrat décrit ci-dessus a notamment nécessité un dopage bore supplémentaire (Cf chapitre 3, paragraphe 1.4).

Quatre régions peuvent être distinguées sur la Figure 80 [151, 152]. Dans les premiers instants de la réaction, V_{ano} croît fortement. Cette montée soudaine est liée à la formation d'un film SiF_2 à la surface de la plaquette (Cf. Figures 75b et c). Cette pellicule se dissout ensuite et les premiers pores se forment (Cf. Figure 75d). La $P\%$ de l'échantillon augmente. L'électrolyte s'infiltre dans les pores et de fait il naît une zone perturbée, fruit d'un équilibre entre les mécanismes décrits par les Figures 75b, c et d. Il n'est donc pas rare d'observer des phénomènes de pic et de vallée au niveau de la zone B. Une explication plus physique est donnée par Smith *et al.* [153]. Ils attribuent en effet ce comportement à une variation temporelle du développement de la ZCE au niveau des sites de nucléation des pores. L'anodisation tend ensuite à se stabiliser et la couche PS croît. Les régions C et D traduisent alors un équilibre entre la chute de potentiel à travers l'interface substrat / PS et celle résultant de la solution infiltrant les pores. C et D démontrent ainsi une diminution puis une augmentation de V_{ano} avec le temps.

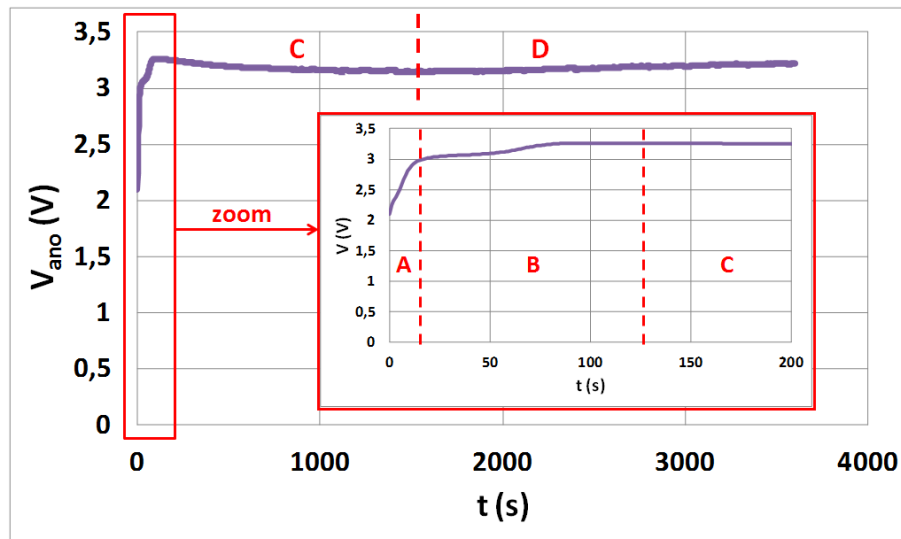


Figure 80 : Relevé du potentiel anodique (V_{ano}) en fonction du temps (chrono-voltamétrie) lors de la formation de PS à partir d'un substrat P (111) de résistivité 6 - 12 $\Omega.cm$. J_{ano} a été fixée à 25 mA.cm². Une cellule électrochimique double cuve, remplie d'un électrolyte HF aqueux a été utilisée. Quatre régions A, B, C et D sont distinguées (voir le texte pour les détails).

A noter également que ces relevés $V_{ano}(t)$ sont fonction de J_{ano} et ρ_{Si} [155, 156, 157]. Par ailleurs, ces relevés sont généralement très stables (Cf. [153] et Figure 98 du chapitre 3). Toute anomalie se produisant lors de l'anodisation peut donc aisément être détectée. Quelques exemples seront donnés dans le cadre du chapitre 4 de ce manuscrit.

D'autres méthodes de suivi *in situ* à base d'optique et d'ultrasons sont en cours d'étude à l'heure actuelle. Elles ne restent pour le moment que très anecdotiques et ne sont pas suffisamment avancées à ce jour pour être développées plus en profondeur.

3.5 Géométrie de la cellule électrochimique

Pour résumer sommairement, une cellule électrochimique est un contenant rempli par une solution chimique dans laquelle sont immergées au moins deux électrodes (l'échantillon de Si et généralement une électrode de platine Pt) reliées à un générateur de courant et/ou de tension (cf. Figure 81). Le premier impératif est l'emploi de matériaux (la contre-électrode et le contenant) inertes au contact de l'électrolyte, en particulier le HF.

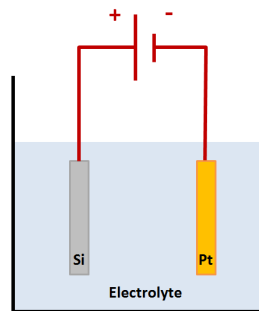


Figure 81 : Représentation schématique d'une cellule électrochimique verticale.

Pour des raisons d'uniformité et de reproductibilité de gravure, des cellules électrochimiques plus sophistiquées ont vu le jour. Les cellules « horizontales » (dont les électrodes sont en vis-à-vis mais à l'horizontale) sont mieux adaptées à la gravure du Si par rapport à leurs homologues verticales car elles facilitent le dégagement de H_2 inhérent à la formation du PS (cf. Figure 82). Dans cette configuration, l'échantillon n'est pas totalement immergé, seule la face anodique est en regard avec l'électrolyte. Le contact avec le circuit s'effectue donc par la face arrière.

Le principal inconvénient des cellules électrochimiques simples, qu'elles soient verticales ou horizontales, est le manque d'uniformité de l'anodisation du Si notamment du fait de la forte résistivité du substrat. Pour pallier cette problématique, une première solution consisterait à déposer une couche métallique sur la face arrière du substrat et de la connecter au circuit électrochimique. Néanmoins, ce type de mise en œuvre est susceptible d'engendrer une contamination du semi-conducteur. Ce point peut devenir bloquant pour la poursuite de la fabrication des dispositifs souhaités. Dès lors, l'usage d'une cellule électrochimique à double cuve est préférable (cf. Figure 83). Elle permet en effet de garantir l'ohmicité du contact sur la face arrière du substrat tout en limitant sa contamination [144]. Pour des substrats moyennement à fortement résistifs ($\rho_{Si} > 0,1 \Omega.cm$), il est toutefois nécessaire de

doper la face arrière pour obtenir un bon contact ohmique. Par ailleurs, le retrait de la plaquette de Si, sans vidange obligatoire de la cuve, est un autre avantage conséquent de la configuration double cuve.

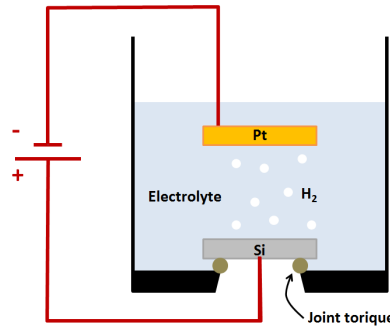


Figure 82 : Représentation schématique d'une cellule électrochimique horizontale. Le dégagement de H_2 est indiqué par des petites bulles blanches.

Ces cellules électrochimiques sont donc composées de deux cuves, chacune d'entre elles contenant une électrode conductrice (Pt par exemple). Les deux demi-cellules sont isolées l'une de l'autre par l'échantillon scellé entre deux joints toriques incorporés dans le support substrat. Les deux électrodes sont polarisées à l'aide du générateur de courant/tension et polarisent indirectement le Si via l'électrolyte. Le contact électrolytique assure une gravure plus homogène du substrat. La cellule peut être modélisée par deux circuits électrochimiques en série (de gauche à droite sur le schéma Figure 83 : Anode / Cathode_Si et Anode_Si / Cathode). Le PS est formé sur l'Anode_Si. D'un point de vue sécurité, ce système permet de fabriquer des couches poreuses traversantes sans répandre de l'électrolyte (toxique) sur le plan de travail. Ce type de cellule présente néanmoins certains défauts, en particulier les surtensions imputées aux différentes interfaces du système électrochimique qui augmentent artificiellement le potentiel d'anodisation du PS [157]. Ceci rend difficile la comparaison des conditions de gravure avec celles obtenues dans la littérature pour des configurations de cellules différentes.

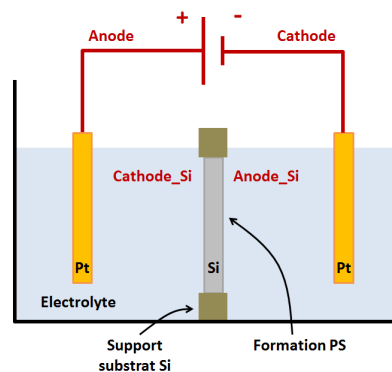


Figure 83 : Représentation schématique d'une cellule électrochimique double cuve. La face du substrat Si qui sera transformée en PS est située en vis-à-vis de la cathode du circuit électrochimique.

Au cours des expériences décrites par la suite, nous avons utilisé une cellule électrochimique à double cuve d'une contenance de 8 l environ. Elle permet l'anodisation de plaquettes de Si sur des ouvertures allant de 2 et 6 pouces de diamètre (Figure 84). Le porte échantillon assure l'étanchéité entre les deux demi-cellules. Les électrodes Pt en regard de l'échantillon à anodiser mesurent également 6 pouces de diamètre. L'échantillon à anodiser est situé à 7 cm de chaque électrode Pt.

Pour conclure ce paragraphe, ajoutons que des électrodes Pt sont systématiquement utilisées. Elles présentent l'avantage d'être dotées d'une bonne conductivité électrique et d'être inertes en milieu HF même sous forte polarisation. Néanmoins, le Pt est un contaminant du Si et malgré son inertie chimique, ces électrodes peuvent ne pas être compatibles avec certains procédés de microélectronique dont notamment les oxydations. De plus, le circuit électrochimique ne comporte pas d'électrode de référence. En règle générale, elles sont en effet composées d'une membrane de verre non compatibles avec le HF. Il est néanmoins possible de recourir à une pseudo-électrode de Pt comme troisième électrode du circuit électrochimique [139]. Cette problématique reste néanmoins anecdotique pour notre application, où un contrôle fin des réactions électrochimiques reste facultatif.

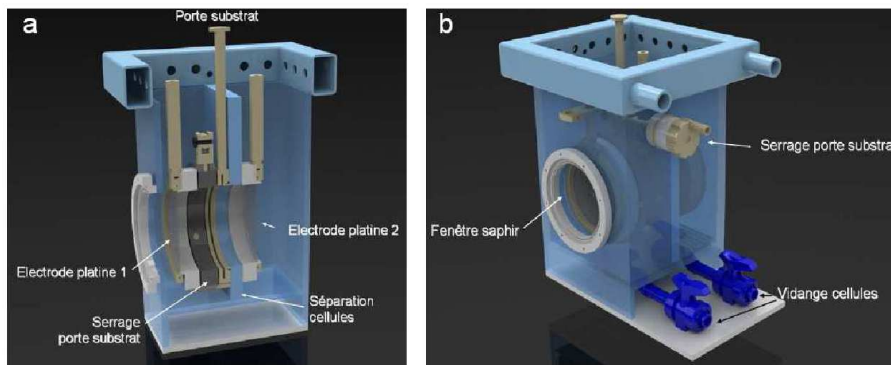


Figure 84 : Coupe transversale (a) et vue globale (b) de la cellule électrochimique à double cuve développée par AMMT®. D'une contenance de 8 l, elle permet l'anodisation de plaquettes de Si jusqu'à 6 pouces de diamètre.

4. Conclusion

Les propriétés physiques et électriques du PS ont inspiré de nombreuses équipes de recherche. Il a tout d'abord été pressenti pour des applications en optoélectronique et microélectronique, sans réellement réussir à s'imposer. Sa médiocre stabilité dans le temps et en fonction de l'environnement dans lequel il est plongé, a pénalisé son utilisation. A ce jour, ces thématiques sont cependant toujours étudiées, essentiellement dans le domaine des cellules photovoltaïques et de la RF. Par ailleurs, avec son potentiel récemment identifié dans les applications biomédicales, les recherches se sont intensifiées, de nouvelles voies s'ouvrent et les verrous technologiques du passé n'apparaissent plus forcément infranchissables.

Dans un contexte d'utilisation du PS pour des composants électroniques de puissance de type TRIAC, ce chapitre a aussi été l'occasion de recenser et de détailler les analyses majeures ayant exploité directement ou indirectement les propriétés électriques du PS pour des applications IE. La grande majorité des solutions proposées n'est cependant restée qu'au stade embryonnaire.

Au final, la revue de l'ensemble des applications tirant profit du PS nous a permis de retenir plusieurs concepts intéressants à poursuivre ou à développer pour des composants TRIAC :

- formation accélérée de diffusions traversantes (Cf. paragraphe 1.2.5),
- couche de passivation (Cf. [158] et paragraphe 1.2.6),
- effet « Getter » [62],
- formation de TI (Cf. paragraphe 1.2.7),
- facilitateur de commutation [159],
- terminaison de jonction.

Comme il a été mentionné en conclusion du premier chapitre, le dernier point constituera la ligne directrice de ce mémoire.

Une particularité majeure du PS porte sur sa diversité dimensionnelle et morphologique. Dès lors, quelles sont les propriétés physiques les mieux adaptées à notre application ? La revue des classifications réalisées sur le sujet nous orienterait plutôt vers des structures micro / méso-poreuses fortement branchées telles que rencontrées sur du PS obtenu depuis un substrat de type P. Ce type de texture très dense semble en effet bien disposé pour bénéficier de propriétés diélectriques élevées.

Par ailleurs, la structure des TRIACs fait souvent appel à des diffusions P_{iso} traversant la totalité du substrat Si (Cf. chapitre 1, Figures 45 et 46). Cette configuration rend accessible la transformation méso-poreuse (voire micro-poreuse) des profils P_{iso} par voie électrochimique. Elle facilite en effet le transport des trous vers l'interface Si / électrolyte et rend possible la réaction chimique conduisant à la formation du PS.

Toutes les conditions semblent donc réunies pour employer le PS comme remplaçant des verres de passivations actuellement utilisés sur les technologies « TOP GLASS » des TRIACs (Cf. chapitre 1, Figure 46). L'intérêt diélectrique du méso / micro-PS type P doit cependant être consolidé. L'intégration du PS comme terminaison de jonction des TRIACs nécessite en effet de définir les propriétés électriques du PS les plus à même de conduire à des courants de fuite équivalents aux structures existantes (voire plus bas). Le prochain chapitre s'attachera donc à détailler le comportement de la résistivité (ρ_{PS}) et de la constante diélectrique relative du PS (ϵ_{PS}) en fonction de ses morphologies et de sa $P_{\%}$ en se focalisant exclusivement sur des substrats de type P.

TROISIEME CHAPITRE :
Les propriétés diélectriques du silicium
poreux type P.

Toutes les terminaisons de jonction utilisées dans le domaine des composants de puissance font appel à des passivations isolantes ou semi-isolantes, les deux types de matériaux pouvant être combinés. Les technologies TRIAC n'échappent pas à cette règle. Des dépôts de verre, d'oxyde de silicium (SiO_2) ou encore de polysilicium (Poly-Si) dopé oxygène (SIPOS) sont couramment appliqués. L'association de ces couches étrangères au substrat silicium (Si) de base génère des complications de fabrication et/ou nuit à la densité d'intégration des TRIACs.

Le silicium poreux (PS) est décrit comme un matériau bénéficiant de propriétés diélectriques attractives et ajustables en fonction de la porosité ($P\%$). Si la thématique a largement été étudiée, notamment dans les années 1990 - 2000, aucune application industrielle relative à la microélectronique n'a émergé. Structurellement, le PS revêt différentes formes, plus ou moins sensibles à l'environnement extérieur. De plus, ses conditions de fabrication influent largement sur ses performances électriques à t_0 et dans le temps. Tous ces écueils font du PS un matériau complexe et freinent son développement dans le domaine des composants électroniques.

Dès lors, exploiter le PS comme élément clef des périphéries (P_{O}) du TRIAC est-il un défi inatteignable ? Une observation fine des travaux publiés sur la résistivité (ρ_{PS}) et la constante diélectrique relative (ϵ_{PS}) du PS révèle, quasi systématiquement, non pas des contradictions mais des points de divergence sur la conduite et/ou les objectifs des études. Un éclaircissement du sujet par le biais de nos propres expérimentations, en suivant une approche la plus rigoureuse possible et en couvrant un large domaine d'exploration apparaît nécessaire. Cette ligne directrice guidera ce chapitre, avec pour seule limitation, la formation du PS à partir de couches de type P. Ce mode de croissance s'inscrit en effet plus facilement dans un procédé de fabrication du TRIAC. Par ailleurs, le dopage sera suffisamment élevé pour ne conduire qu'à des structures méso / micro-poreuses.

Dans une première partie, nous commenterons le choix des structures que nous avons identifiées pour lier les caractéristiques physiques du PS avec ses propriétés électriques. Ces réflexions nous ont ensuite amené à définir un procédé de fabrication qui sera suivi aussi strictement que possible sur l'ensemble des échantillons considérés. L'épaisseur (t_{PS}), la $P\%$ et la morphologie du PS obtenues seront alors extrapolées par le biais de modèles de croissance propres à nos conditions expérimentales. Ces données seront essentielles pour exploiter au mieux le comportement diélectrique du PS.

La seconde partie de ce chapitre sera quant à elle consacrée aux méthodes de caractérisation employées. Des caractéristiques courant - tension (I - V) permettront d'accéder à ρ_{PS} alors que ϵ_{PS} sera déduite de mesures de capacité.

ϵ_{PS} sera abordée en détail dans une troisième section. L'évolution de ϵ_{PS} en fonction de la $P\%$ y sera estimée et commentée en s'appuyant notamment sur les modélisations de Vegard et Bruggeman. Bien

entendu, les hypothèses relatives à l'extraction de ε_{PS} seront préalablement discutées et l'impact des paramètres de fabrication les plus sensibles sera également évalué.

La quatrième et dernière section de ce chapitre traitera de ρ_{PS} . Avant toute chose, les mécanismes de transport dans le PS seront détaillés ainsi que le comportement aux interfaces PS / métal et PS / substrat. Ces notions faciliteront ensuite l'interprétation des I - V, considération nécessaire afin d'identifier au mieux ρ_{PS} . Nous serons alors en mesure d'explicitier le rôle de la $P_{\%}$ sur ρ_{PS} , et ce pour une large plage de températures (T) en cohérence avec les domaines de fonctionnement du TRIAC. Finalement, une discussion sur le vieillissement du PS achèvera nos propos sur ρ_{PS} .

1. Matrice expérimentale

1.1 Contexte de l'étude

Le dernier paragraphe du premier chapitre, notamment la Figure 51, a introduit la nouvelle terminaison de jonction à base de PS ($P_{\text{J-PS}}$) que l'on visait pour le TRIAC. Elle consiste à transformer la région de dopage type P traversant le wafer (P_{iso}) en PS. La Figure 85 présente un profil vertical P_{iso} typique, réalisé dans un substrat N orienté (111), tel qu'utilisé dans les procédés de fabrication classiques. La concentration est intense en surface (C_s de l'ordre de $5.10^{18} \text{ cm}^{-3}$) et diminue progressivement avec une profondeur de jonction (X_{vert}) de l'ordre de 130 μm . Dans le cas d'un substrat d'épaisseur 210 μm , on comprend donc aisément que deux profils P_{iso} diffusés en vis-à-vis puissent se rejoindre. Dans ce cas, une concentration à mi-plaquette de l'ordre de $1.10^{15} - 1.10^{16} \text{ cm}^{-3}$ est généralement atteinte. Notons également que ce profil est représentatif de la diffusion latérale (X_{lat}) associée à P_{iso} . On estime en effet que X_{lat} est corrélée à X_{vert} par une relation du type :

Équation 3.1 $X_{\text{lat}} = K. X_{\text{vert}}$

En règle générale, les résultats expérimentaux sont correctement reproduits avec un coefficient K de l'ordre de 0,8.

Il est connu que les propriétés physiques du PS ($P_{\%}$ et morphologie des pores) évoluent en fonction de la concentration des dopants [124]. Quelques études proposent également des relations entre les caractéristiques physiques et électriques du PS. Bouaïcha *et al.* présentent une évolution de ρ_{PS} en fonction de la $P_{\%}$ [160]. Plusieurs publications rapportent une diminution linéaire de ε_{PS} en augmentant la $P_{\%}$ [161, 162, 163]. Adam *et al.*, quant à eux, discutent le comportement de la capacité de leurs échantillons PS (C_{PS}) pour deux types de morphologie et différentes $P_{\%}$ [164]. Des efforts de rationalisation des performances électriques du PS en fonction des équipes de recherche ont aussi été proposés, à la fois pour ε_{PS} [165] et pour le transport dans PS [166]. Ces analyses rassemblent les résultats de plusieurs laboratoires dont les procédés d'obtention des couches de PS (incluant le dopage

substrat) varient. Des comportements généraux sont effectivement mis en évidence. Néanmoins, des écarts significatifs dans les données traitées apparaissent. De plus, les informations relatives au PS sont souvent incomplètes. Il semble donc plus raisonnable de reprendre une nouvelle étude des propriétés électriques du PS en fonction de la résistivité du substrat (ρ_{Si}), appliquée à nos propres procédés de fabrication. La compréhension des propriétés électriques du PS, crû à partir de P_{iso} , en sera ainsi facilitée. Par la même occasion, les travaux existants pourront être enrichis.

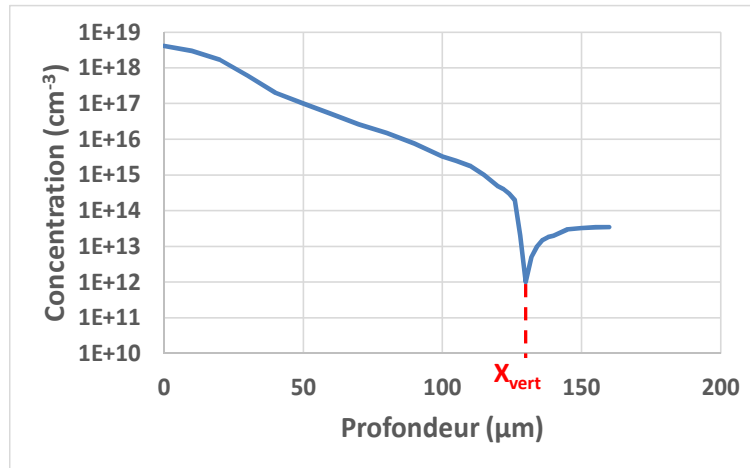


Figure 85 : Profil vertical typique de diffusion P_{iso} (type P dans un substrat N).

Par ailleurs, en observant la Figure 51 du chapitre 1, on constate que t_{PS} doit être supérieure aux X_{vert} des diffusions de base P^+ formées avec le substrat N sur les deux faces de la plaquette (P_1 et P_2). Dans le domaine des TRIACs, ces X_{vert} varie de 10 à 100 μm . Nous nous focaliserons donc sur des épaisseurs PS de plusieurs dizaines de micromètres.

Enfin, la température de fonctionnement du TRIAC peut varier de 230 jusqu'à 430 K. Notre étude devra prendre en compte cet aspect sachant que les performances d'une P_{γ} sont plutôt limitées aux fortes T (Cf. paragraphe 2.3.1 chapitre 2).

1.2 Bibliographie des études électriques relatives au PS

Le Tableau 3 ci-dessous référence les articles traitant des propriétés électriques du PS et se rapprochant au mieux du contexte imposé par notre étude (Cf. paragraphe précédent). Cette liste n'est probablement pas exhaustive. Cependant, elle est issue de notre base de données comprenant une cinquantaine de publications sur le sujet. Les études sélectionnées dans le Tableau 3 ne traitent que du PS formé depuis un substrat de type P. Dans chacun des cas, les détails du procédé d'anodisation (électrolyte, densité de courant J_{ano} , durée de la réaction électrochimique D_{ano}), ρ_{Si} , les caractéristiques physiques ($P_{\%}$ et t_{PS}) ainsi que les conditions de caractérisation en température et tension sont indiqués sous réserve bien entendu que toutes ces informations soient disponibles.

Les ρ_{Si} étudiées par les différents auteurs couvrent les dopages mis en jeu par P_{iso} . Cependant, on constate que les conditions d'anodisations utilisées sont multiples et les propriétés physiques des couches de PS obtenues ne sont pas toujours entièrement dévoilées. Notre étude nécessite donc une standardisation du paramétrage de la réaction électrochimique du PS, ainsi qu'un champ d'évaluation plus vaste au niveau de la $P_{\%}$.

Tableau 3 : Analyse des publications relatives aux propriétés électriques du PS et restreinte au contexte de notre étude en termes de ρ_{Si} , t_{PS} et T.

ARTICLE	ρ_{Si} type P ($\Omega.cm$)	ANODISATION			CARACTERISTIQUES PS		CARACTERISATION	
		Electrolyte	J_{ano} (mA/cm ²)	D_{ano} (min)	$P_{\%}$ (%)	t_{PS} (μm)	Excursion Température (K)	Excursion Tension (V)
[167]	5	HF (49%) + éthanol (1:1)	30	?	?	de 0,5 à 15	200 - 300	-100 à +100
	0,075	HF (49%) + éthanol (1:1)	100	?	?	de 0,5 à 15	200 - 300	-100 à +100
[168]	1	HF (50%) + éthanol (1:1)	30	?	?	de 10 à 33	300	-100 à +100
[169]	0,005	HF (48%) + éthanol (5:1)	13	de 1 à 25	30	de 1,5 à 30	240 - 360	0 à +100
[170]	4	HF + eau + éthanol (1:1:2)	20	de 20 à 60	?	16	298 - 480	-50 à +50
[171]	25	HF + eau + éthanol (2:3:5)	20	?	?	de 1,5 et 135	100 - 290	0 à +1
[172]	0,01	HF (40%) + éthanol (1:1)	20	?	45	de 2 à 30	180 - 300	?
[173]	0,1 - 0,2	HF (50%) + éthanol	10	60	?	40	77 - 300	?
[174]	0,1 - 0,2	HF (50%) + éthanol	10	60	?	de 3 à 50	77 - 300	?
	8 - 11	HF (50%)	25	de 5 à 60	?	de 3 à 50	77 - 300	?
[175]	8 - 11	HF (48%wt)	25	de 5 à 60	60	de 15 à 90	77 - 300	-100 à +100
[176]	0,037	HF	20	?	50	20	350 - 370	-10 à +10
[177]	0,037	HF	20	?	50	20	270 - 350	-10 à +10
[178]	0,03	HF 45%	15	de 10 à 60	18 - 30	de 15 à 60	100 - 400	?
[179]	0,03	HF	1	de 10 à 60	16 - 40	de 17 à 90	300	-3 à +3
[180]	0,03	HF (45%)	10	de 10 à 60	> 50	de 15 à 60	120 - 300	-6 à +6
[163]	0,01 - 7,5	HF (48%) + isopropyl alcohol (1:1)	50 - 60	de 10 à 60	30 - 68	de 55 à 190	?	15 à +15
[181]	6 - 10	HF (40-48%) + éthanol 99% (1:1)	10	150	?	"Epais"	150 - 300	-20 à +20
[182]	6 - 10	HF (40-48%) + éthanol 99% (1:1)	10	de 90 à 120	?	de 30 à 50	150 - 300	-50 à +50
[183]	6 - 10	HF (40-48%) + éthanol 99% (1:1)	10	de 90 à 120	?	de 30 à 50	150 - 300	-40 à +0,6
[184]	1,72 - 2,58	HF(48%) + éthanol (1:1)	20 - 88	de 10 à 100	40 - 80	25 (*)	140 - 400	0 à +50V
[185]	1 - 25	HF + éthanol + eau (1:5:4)	80	10	?	15	393 - 798	(**)

(*) Uniquement pour l'échantillon de porosité 40%

(**) Mesures d'impédance en fonction de la fréquence à 100mV

Par ailleurs, la grande majorité des articles s'intéresse aux températures inférieures à 400 K. Les références traitant des T élevées sont par conséquent trop limitées et nécessitent d'être complétées.

1.3 Paramètres process influents sur les propriétés du PS

La bibliographie existante et les besoins spécifiques de notre application nous ont conduits à la liste des expérimentations données dans les Tableaux 4, 5 et 6 correspondant à trois ρ_{Si} différentes : 6 - 12 $\Omega.cm$ (Famille A), 80 - 120 m $\Omega.cm$ (Famille B) et 10 - 15 m $\Omega.cm$ (Famille C). Les plaquettes sont toutes de type P (CZ), d'orientation (111), d'épaisseur 250 μm et de diamètre deux pouces.

Tout d'abord, notons que la préparation de ces expérimentations s'est fortement inspirée des résultats trouvés dans la littérature [122]. De plus, pour chacune des ρ_{Si} étudiées, de cinq à six valeurs de J_{ano} ont été retenues entre 10 et 150 mA/cm² de façon à faire varier la $P_{\%}$ de 10 à 75% selon les cas. (Cf. paragraphe 1.5) L'anodisation sera donc réalisée en régime galvanostatique (courant constant), mode le plus communément employé [120]. Puis, différentes D_{ano} ont été ajustées pour viser deux familles de t_{PS} par type de substrats, de l'ordre de 30 et 50 μm (Cf. paragraphe 1.5).

Tableau 4 : Matrice d'expérimentations (J_{ano} , D_{ano} et mode de gravure de l'aluminium Al) dédiée à l'étude des propriétés diélectriques du PS formé sur substrat 6 - 12 $\Omega.cm$ (Famille A).

Code Plaquette	J_{ano} (mA/cm ²)	D_{ano} (min)	Gravure Al
A_J50_D20_H	50	20	humide
A_J15_D105_H	15	105	humide
A_J25_D60_S	25	60	sèche
A_J100_D15_S	100	15	sèche
A_J100_D10_S	100	10	sèche
A_J25_D35_S	25	35	sèche
A_J15_D105_S	15	105	sèche
A_J50_D30_S	50	30	sèche
A_J50_D20_S	50	20	sèche
A_J150_D5_S	150	5	sèche

En ce qui concerne l'électrolyte, sa nature conditionne fortement la croissance du PS et donc possiblement ses performances électriques [120]. Il a été choisi de type aqueux, à base d'acide fluorhydrique (HF) 50 % et d'eau déionisée (H₂O). De l'acide acétique (acac) 99 % est également ajouté comme agent mouillant. Nous avons opté pour les proportions 4,63 : 2,14 : 1,45 (HF_50% : acac_99% : H₂O), nous amenant à une concentration HF effective de 30 %. Ce choix constitue pour nos besoins un bon compromis entre vitesse de gravure et P_%. La densité J_{PS} de cet électrolyte, telle que définie au chapitre 2, paragraphe 3.1.2 pour marquer la transition entre un régime de formation du PS et l'électro-polissage du Si, se situe alors aux alentours de 600 mA/cm². Les J_{ano} adoptées devront donc rester inférieures à J_{PS} .

Tableau 5 : Matrice d'expérimentations (J_{ano} , D_{ano} et mode de gravure de l'Al) dédiée à l'étude des propriétés diélectriques du PS formé sur substrat 80 - 120 m $\Omega.cm$ (Famille B).

Code Plaquette	J_{ano} (mA/cm ²)	D_{ano} (min)	Gravure Al
B_J25_D35_H	25	35	humide
B_J10_D35_H	10	35	humide
B_J25_D20_H	25	20	humide
B_J50_D10_H	50	10	humide
B_J50_D20_H	50	20	humide
B_J100_D10_H	100	10	humide
B_J150_D5_H	150	5	humide
B_J25_D35_H2	25	35	humide
B_J15_D36_H	15	36	sèche
B_J150_D5_S	150	5	sèche
B_J25_D30_S	25	30	sèche
B_J50_D20_S	50	20	sèche
B_J100_D10_S	100	10	sèche
B_J10_D25_S	10	25	sèche
B_J25_D15_S	25	15	sèche
B_J50_D10_S	50	10	sèche

L'orientation du substrat peut aussi induire des variations au niveau des propriétés physiques du PS [120]. Nous avons opté pour un plan (111), majoritairement utilisée dans les procédés TRIAC.

S'agissant enfin des traitements post-anodisations (recuits de stabilisation du PS, passivation, métallisation, etc.), ces derniers sont également connus pour influencer sur les résultats électriques du PS. Certaines divergences observées entre publications peuvent en effet s'expliquer par des différenciations opérées à ce niveau. Nous avons donc pris soin d'homogénéiser notre procédé et au final seul le type de gravure de la métallisation, humide ou sèche, sera expérimenté (Cf. paragraphe 1.4). De plus, l'Al étant communément adopté dans les procédés TRIAC, nous avons également étendu et systématisé son emploi sur nos échantillons. Le caractère ohmique ou Schottky du contact Al sur PS sera plus particulièrement traité dans le cadre du paragraphe 1.4.

Tableau 6 : Matrice d'expérimentations (J_{ano} , D_{ano} et mode de gravure de l'Al) dédiée à l'étude des propriétés diélectriques du PS formé sur substrat 10 - 15 mΩ.cm (Famille C).

Code Plaquette	J_{ano} (mA/cm ²)	D_{ano} (min)	Gravure Al
C_J50_D15_H	50	15	humide
C_J25_D20_H	25	20	humide
C_J100_D6_H	100	6	humide
C_J25_D15_H	25	15	humide
C_J50_D10_H	50	10	humide
C_J15_D25_H	15	25	humide
C_J50_D15_S	50	15	sèche
C_J10_D20_S	10	20	sèche
C_J25_D15_S	25	15	sèche
C_J50_D10_S	50	10	sèche
C_J100_D6_S	100	6	sèche
C_J10_D20_S2	10	20	sèche

1.4 Procédés de fabrication

La fabrication des échantillons a donc été réalisée en accord avec le plan d'expérimentations défini dans le paragraphe précédent. La Figure 86 décrit plus précisément le procédé.

Le wafer 2'' est dans un premier temps traité 10 s dans une solution de HF afin de retirer le SiO₂ natif éventuellement présent en surface. Les substrats les plus résistifs, en l'occurrence 6 - 12 Ω.cm et 80 - 120 mΩ.cm, doivent être dopés en face arrière de façon à obtenir un contact Si / électrolyte ohmique au niveau de l'anode de la cuve d'électrolyse. A défaut, l'alimentation en trous de la face avant (cathode) serait trop aléatoire pour obtenir une couche PS homogène. Ce dopage est réalisé par SOD (Spin On Dopant). Un verre riche en bore est déposé uniformément sur le wafer, puis recuit 1 h à 1000 °C de manière à diffuser le bore sur quelques centaines de nanomètres dans le Si. Le verre est ensuite retiré au HF pendant 5 minutes. La réaction électrochimique peut alors être engagée en paramétrant J_{ano} et D_{ano} selon les besoins. Le PS est formé sur une surface circulaire de 3,14 cm². En sortie d'anodisation, le wafer est abondamment rincé à l'eau déionisée et ensuite séché à l'air ambiant sur une plaque chauffante réglée à 150 °C.

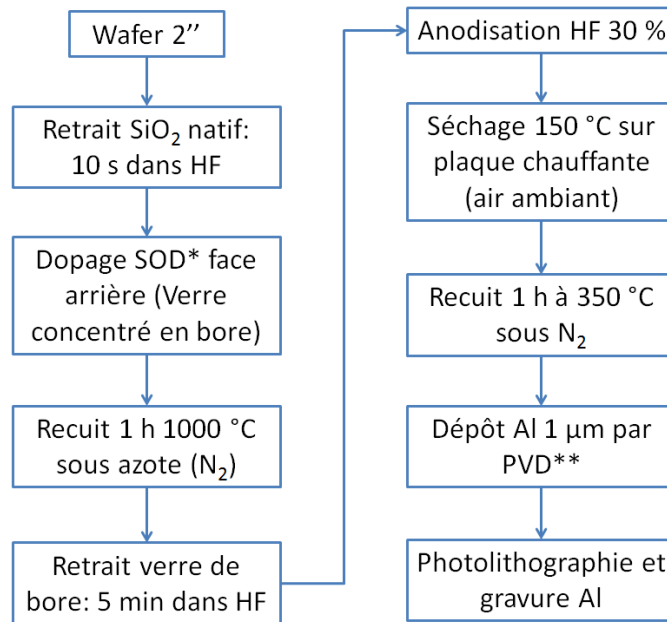


Figure 86 : Procédés de fabrication des échantillons de caractérisation électrique du PS. (*) SOD uniquement réalisé sur les substrats de concentration inférieure à $1.10^{18} \text{ cm}^{-3}$. (**) PVD : Physical Vapor Deposition.

Se pose alors la question de la stabilité du PS formé. L'hydrogène contenu dans l'électrolyte (sous forme H_3O^+) s'incorpore dans les parois des pores [186]. Cet hydrogène est ensuite susceptible de se libérer au moindre traitement thermique subi par le PS (pour T supérieure à environ 200°C), modifiant ainsi ses propriétés (Cf. paragraphe 4.4.4). Pour tenter de limiter cet effet, nous avons systématiquement entrepris un recuit d'une heure à 350°C sous atmosphère N_2 non contrôlée, une petite oxydation de la couche PS semble inévitable (Cf. paragraphe 1.6.2).

La préparation des plaquettes tests s'enchaîne par une étape de métallisation. En accord avec les procédés usuels des TRIACs, nous avons retenu Al. Une épaisseur de $1 \mu\text{m}$ est déposée par PVD à T ambiante. Un échauffement de l'échantillon au cours du dépôt est tout de même possible. La nature du contact (ohmique ou Schottky) reste toujours controversée. Dimitrov considère en effet l'existence d'une barrière entre Al et PS du fait de la présence d'une couche interphase [187]. Ben Chorin *et al.* affirment, quant à eux, que la densité des états de surface du PS est suffisante pour réaliser un écrantage des champs électriques internes pouvant naître, par exemple, de la présence d'une barrière PS / métal. Ainsi, le champ électrique serait distribué de façon homogène sur tout le volume du PS et le contact entre les deux matériaux serait quasi linéaire [188]. Zimin *et al.* ne statuent pas sur le caractère ohmique / non ohmique du contact Al / PS, ils observent simplement une bonne linéarité à faible polarisation. Ils concluent alors que le contact Al / PS pourra être considéré comme ohmique à partir du moment où la résistance PS (R_{PS}) reste forte [189]. Ces problématiques devront être examinées lors de l'interprétation de nos résultats (Cf. paragraphes 4.2.1 et 4.3.1).

Pour conclure, afin de définir les motifs de caractérisation tels que représentés sur la Figure 87, nous avons eu recours à une technique de photolithographie classique dite « par proximité ». Quatre plots circulaires de diamètres 2 ; 1 ; 0,5 et 0,25 mm pourront être exploités. Deux types de gravure ont été sélectionnés, à savoir par voies humide ou sèche. Dépendamment de la méthode sélectionnée, les traitements thermiques et chimiques diffèrent. La gravure sèche est réalisée par plasma $\text{Cl}_2 : \text{C}_2\text{H}_4$ dans des proportions 100 : 10 et impose une fusion de la résine une minute à 180 °C. Compte tenu du traitement PS pré-métallisation, ce stress thermique est supposé négligeable vis-à-vis de l'hydrogène (Cf. ci-dessus). Par ailleurs, il est nécessaire de rincer les wafers à l'eau déionisée pour éviter tout risque de corrosion du contact Al par le chlore. On peut également se poser la question d'endommager la surface du PS non recouverte d'Al par le plasma, néanmoins l'impact électrique devrait être une fois encore négligeable. La gravure humide nécessite, quant à elle, de plonger les plaquettes plusieurs minutes dans un bain porté à 50 °C mélangeant les acides acac, nitrique (HNO_3) et phosphorique (H_3PO_4) avec de l'eau (ANPE). Des résidus d'ANPE sont alors susceptibles de rester au fond des pores et de venir modifier les propriétés du PS [190]. Cependant, les pores n'étant pas interconnectés, la couche de PS protégée par la métallisation devrait conserver son intégrité [179]. Des effets de bord pourraient toutefois se manifester. Au final, aucun véritable effet n'est attendu sur la couche PS en fonction de la méthode de gravure Al employée. Cette perspective pourra définitivement être statuée à l'observation des résultats électriques (Cf. paragraphes 3.2.2 et 4.4.3). Notons enfin que l'Al n'a pas été recuit. Des expérimentations complémentaires n'ont en effet pas mis en évidence d'impact significatif sur l'interface PS / Al.

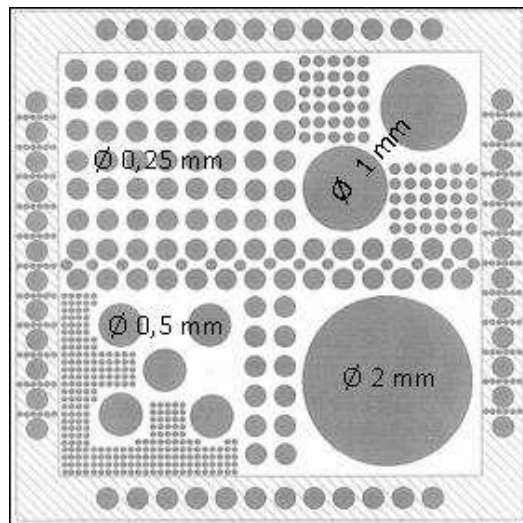


Figure 87 : Motifs de caractérisation de forme circulaire. Quatre diamètres sont accessibles : 0,25 ; 0,5 ; 1 et 2 mm.

1.5 Abaques de croissance du PS

Afin d'estimer les $P_{\%}$ et t_{PS} sur les plaquettes tests, des abaques ont été construits sur chacune des trois ρ_{Si} considérées. Les mesures de la $P_{\%}$ sont obtenues par gravimétrie :

$$\text{Équation 3.2} \quad P_{\%} = \frac{m_1 - m_2}{m_1 - m_3}$$

Les masses de la plaquette m_1 , m_2 , m_3 sont respectivement mesurées avant anodisation, à l'issue de l'anodisation et enfin après retrait de la couche de PS par KOH. Les échantillons ont été pesés à l'aide d'une balance disposant d'une précision à $\pm 0,5$ mg, conduisant à une erreur sur la $P_{\%}$ de 2 à 7 % suivant les cas [49]. Cet ordre de grandeur sera à comparer avec la dispersion induite par la répétition des mesures (Cf. Figures 91, 94 et 97).

Les mesures de t_{PS} ont été réalisées à l'aide d'un profilomètre. Après retrait du PS, un cratère est en effet présent sur la plaquette. Ce phénomène est illustré sur la Figure 88. Le plan de coupe (AA'), associé au profil t_{PS} représenté, est indiqué dans l'encadré situé en bas à droite de la figure. On constate que t_{PS} n'est pas uniforme avec notamment des effets de bord. La mesure a donc été moyennée sur le fond du cratère entre les curseurs bleu et orange. En suivant cette technique et dépendamment des échantillons considérés, les dispersions sur t_{PS} se sont étalées de ± 1 à ± 5 μm . Ces variations seront à rapprocher avec celles données dans les Tableaux 7, 8 et 9 (Cf. paragraphe 1.6.1).

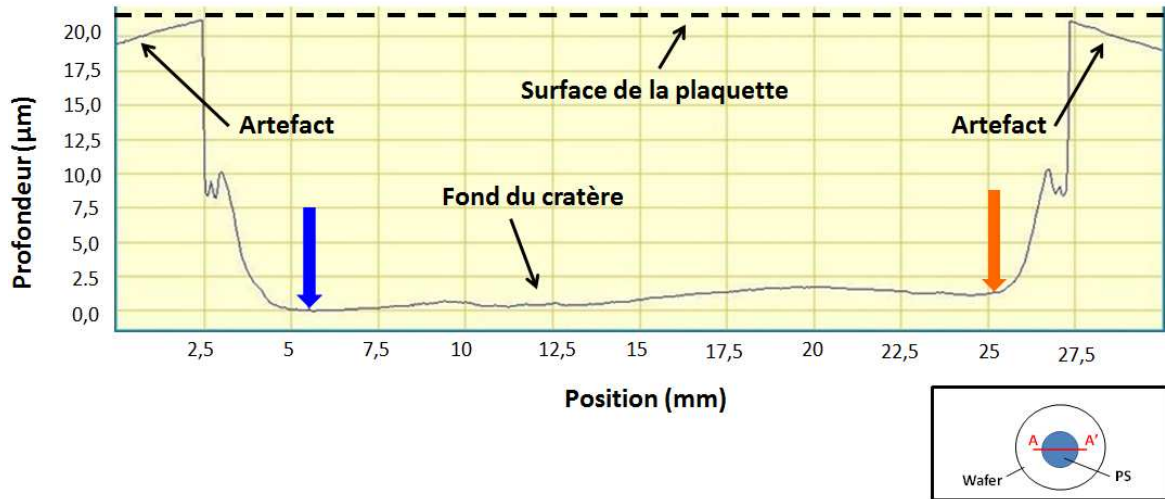


Figure 88 : Exemple de profil t_{PS} . Le plan de coupe est indiqué dans l'encadré en bas à droite (AA'). t_{PS} est extrait en considérant une moyenne de l'épaisseur entre les deux curseurs bleu et orange.

La Figure 89 présente la vitesse de croissance du PS (f_{PS}), en fonction de J_{ano} , pour le substrat 6 - 12 $\Omega\cdot\text{cm}$. f_{PS} évolue linéairement avec J_{ano} . f_{PS} augmente en effet de 100 à 800 $\text{\AA}/\text{s}$ en incrémentant J_{ano} de 15 à 150 mA/cm^2 . Les intervalles de confiance (95%) sont donnés en rouge (max) et en vert (min). Pour J_{ano} donnée, on obtient une précision sur f_{PS} de l'ordre de ± 100 $\text{\AA}/\text{s}$ dans le domaine

exploré. La Figure 90, quant à elle, reprend les données expérimentales de la Figure 89 avec l'ajout des résultats présentés par Unno *et al.*, Arita *et al.* ainsi que Lehmann *et al.* [154, 191, 192]. Les trois équipes proposent également des f_{PS} proportionnelles avec J_{ano} . On note néanmoins quelques divergences quantitatives. Les valeurs de f_{PS} sont en effet plus élevées pour Unno *et al.* ainsi que Arita *et al.* Ces deux études sont très proches entre elles au niveau composition de l'électrolyte (HF et eau, pas d'agent mouillant du type éthanol ou acac) et dopage substrat ($N_A = 1,5 \text{ } \Omega\cdot\text{cm}$). Elles ne se distinguent l'une de l'autre qu'au niveau de la concentration en HF et l'orientation du substrat : 30 % en masse, plan (100) pour Unno *et al.* ; 50 % en masse, plan (111) pour Arita *et al.* De fait, les écarts avec nos résultats s'expliqueraient par les différences au niveau des électrolytes. Les dopages plus faibles utilisés dans notre cas pourraient également être responsables d'un tel comportement. Arita *et al.* rapportent en effet une augmentation de f_{PS} avec N_A . Cette dernière tendance n'est cependant pas confirmée par l'analyse de Lehmann *et al.* où la loi f_{PS} en fonction de J_{ano} reste indépendante des dopages considérés, à savoir 50; 5 et 0,005 $\Omega\cdot\text{cm}$. Lehmann *et al.* ont travaillé à partir d'un électrolyte encore différent composé de HF 50% (en masse) et d'éthanol dans des proportions (1 : 1), pointant une fois de plus, l'importance des conditions expérimentales. On remarquera pour conclure que les résultats de Lehmann *et al.* s'inscrivent dans la continuité des nôtres.

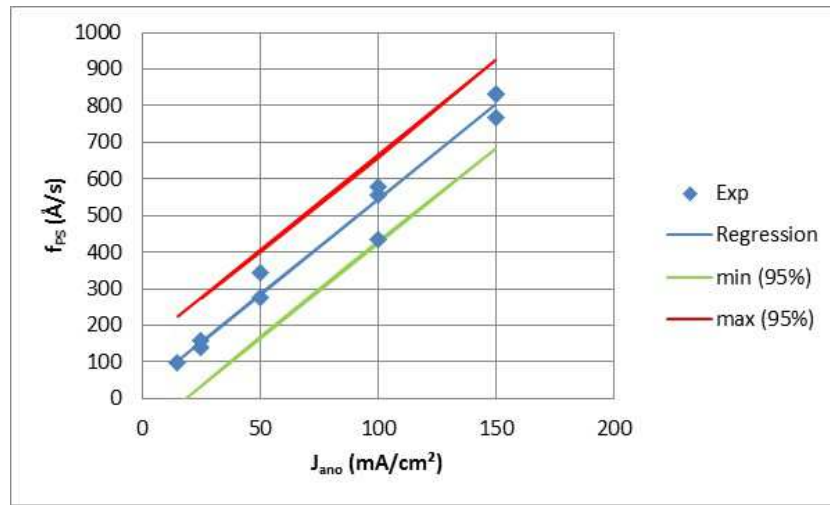


Figure 89 : f_{PS} en fonction J_{ano} pour le substrat 6 - 12 $\Omega\cdot\text{cm}$.

La $P\%$ croît également linéairement avec J_{ano} comme le montre la Figure 91. Lorsque J_{ano} croît de 15 à 150 mA/cm^2 , la $P\%$ évolue de 65 à 75 %. De façon identique à la Figure 89, les intervalles de confiance à 95 % sont représentés, la précision sur la $P\%$ avoisine alors $\pm 5 \%$, soit une erreur très proche de celle apportée par la mesure gravimétrique. Il existe néanmoins d'autres sources de dispersion comme le sous-entend la discussion suivante. Dans leur configuration expérimentale (Cf. ci-dessus), Unno *et al.* n'obtiennent pas une proportionnalité entre la $P\%$ et J_{ano} . L'expression de la $P\%$ dépend en effet simultanément de J_{ano}^{1-m} et de D_{ano}^m où n et m sont des constantes à déterminer. Ce

résultat a conduit Unno *et al.* à représenter la $P\%$ en fonction de J_{ano} pour une quantité de charges anodiques données ($Q = J_{ano} \cdot D_{ano}$). Si l'on se limite à un intervalle sur J_{ano} compris entre 15 et 150 mA/cm² et $Q = 18$ C/cm², Unno *et al.* retrouvent des $P\%$ incluses entre 65 et 75 %. A titre indicatif, la Figure 91 a été obtenue pour Q variant de 45 à 95 C/cm² selon les cas. Cela se traduit également par des t_{PS} espacées de 20 à 60 μ m. Sachant également que la $P\%$ tend à augmenter en diminuant le dopage [123, 154], il semble finalement que nos $P\%$ soient légèrement inférieures à celles proposées par Unno *et al.* Les variations au niveau de l'électrolyte sont probablement à l'origine de ces comportements.

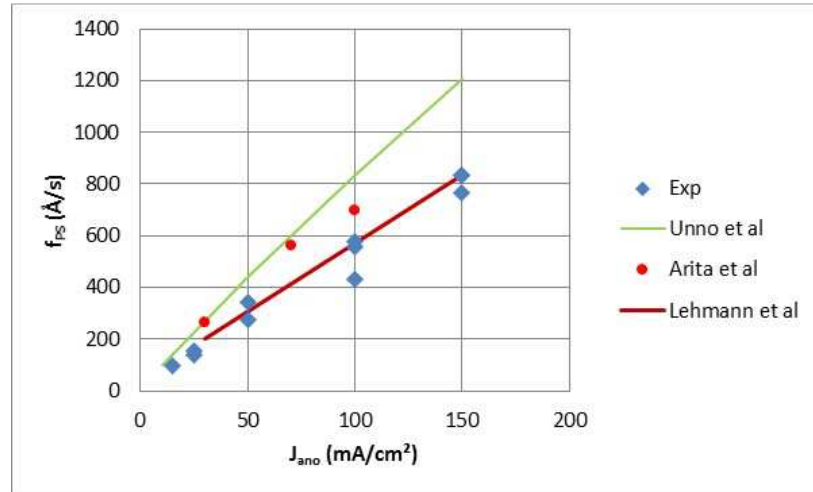


Figure 90 : f_{PS} en fonction de J_{ano} pour le substrat 6 - 12 Ω .cm et comparaison par rapport aux données de Unno *et al.*[191], Arita *et al.* [154], ainsi que Lehmann *et al.* [192].

D'autres résultats de $P\%$ en fonction de J_{ano} sont également disponibles dans la littérature et ce pour des conditions expérimentales semble-t-il comparables aux données de la Figure 91. Pour des substrats P (100) et ρ_{Si} avoisinant 1,4 Ω .cm, un électrolyte à base de HF (50 % en masse) et d'éthanol dans les proportions (1 : 1), Lehmann *et al.* ont obtenu des $P\%$ variant de 70 à 95 % en augmentant J_{ano} de 3 à 300 mA/cm². Ces valeurs sont plus élevées comparativement aux nôtres, cependant aucune information n'est donnée sur D_{ano} . Beale *et al.*, quant à eux, ont relevé une évolution de la $P\%$ s'étalant de 50 à 65 %, en passant de 10 à 100 mA/cm² pour J_{ano} et avec $Q = 5,4$ C/cm². Leurs expérimentations ont été réalisées sur des substrats P (111) avec $\rho_{Si} = 1$ Ω .cm et un électrolyte à base d'eau et de HF dont la concentration équivalente était de 30 % (en masse) [122]. S'agissant des travaux d'Arita *et al.*, dont le détail expérimental a été discuté ci-dessus à propos de f_{PS} ($\rho_{Si} = 9$ Ω .cm et $t_{PS} = 10$ μ m), des valeurs de $P\%$ de 63 et 68 % peuvent être déduites respectivement pour $J_{ano} = 30$ et 150 mA/cm². Toute comparaison reste difficile compte tenu notamment des fluctuations au niveau de Q et des électrolytes, néanmoins on retrouve des ordres de grandeurs globalement similaires, autour de 60 - 70 %.

Les abaques relatifs au substrat 80 - 120 m Ω .cm sont présentés sur les Figures 92, 93 et 94. On retrouve des tendances similaires au cas 6 - 12 Ω .cm. Concernant f_{PS} donnée en Figure 92, une

augmentation de 100 à 1300 Å/s en balayant J_{ano} et 10 à 200 mA/cm² est observée. On constate ainsi une légère accélération de f_{ps} comparativement au substrat 6 - 12 Ω.cm. Notons également que la précision sur f_{ps} démarre à ± 100 Å/s à faible J_{ano} pour augmenter progressivement jusqu'à ± 200 Å/s sur la plage de J_{ano} explorée. La Figure 93 reprend les données expérimentales de la Figure 92 pour les comparer avec les études de Arita *et al.* [154], Lehmann *et al.* [192] ainsi que Labunov *et al.* [151]. Lehmann *et al.* ne décrivent pas d'étude précise pour un substrat de 100 mΩ.cm, mais comme nous l'avons expliqué à propos du substrat 6 - 12 Ω.cm, ils proposent une tendance f_{ps} en fonction de J_{ano} globale, qui semblerait pouvoir s'appliquer de 50 à 0,005 Ω.cm. Les deux autres analyses sont très proches (substrat type P, orientation (111), $\rho_{Si} = 100$ mΩ.cm et électrolyte HF : H₂O), elles diffèrent l'une de l'autre uniquement à propos de la concentration en volume de HF, 47 % pour Arita *et al.* contre 24 % pour Labunov *et al.* Au final, on retrouve une bonne correspondance entre les différentes études et ce malgré les dissimilitudes au niveau des électrolytes.

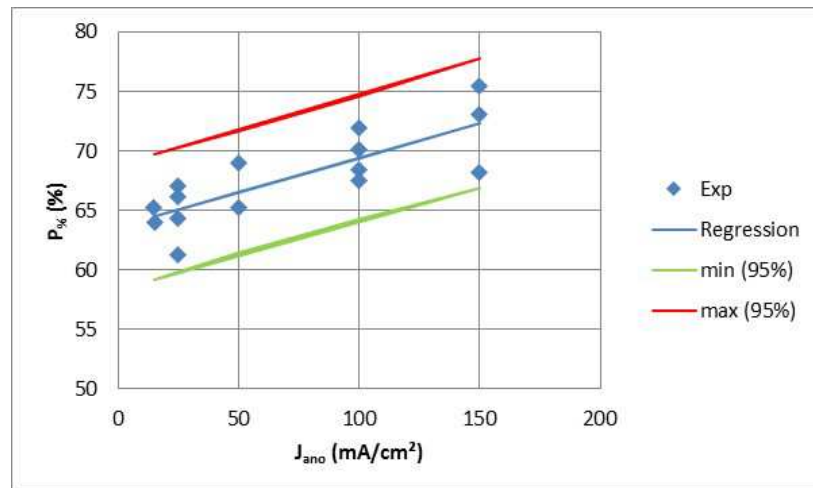


Figure 91 : $P_{\%}$ en fonction de J_{ano} pour le substrat 6 - 12 Ω.cm.

A la lecture de la Figure 94, on constate que les $P_{\%}$ se sont globalement affaiblies par rapport au substrat 6 - 12 Ω.cm. Une telle évolution avec le dopage a déjà été rapportée par Arita *et al.* ainsi que Lehmann *et al.* Plus précisément, la $P_{\%}$ évolue de 40 à 70 % en augmentant J_{ano} de 10 à 200 mA/cm² avec un niveau d'incertitude s'élevant à ± 10 %, soit une erreur deux fois supérieure à celle apportée par la mesure gravimétrique. Ajoutons également que les données présentées mélangent différentes valeurs de Q comprises entre 10 et 60 C/cm², ces variations traduisent des t_{ps} s'étalant de 10 à 45 μm. Pour un substrat voisin du nôtre (type P, orientation (111), $\rho_{Si} = 100$ mΩ.cm), un électrolyte aqueux contenant 30 % en masse de HF et $Q = 5,4$ C/cm², Beale *et al.* rapportent une $P_{\%}$ variant de 40 à 60 % pour J_{ano} allant de 10 à 100 mA/cm² [122]. Labunov *et al.* ont utilisé un substrat et une composition d'électrolyte similaires à Beale *et al.*, seule leur concentration massique en HF se différencie légèrement en atteignant 27.5 %. Pour $J_{ano} = 10$ mA/cm², la $P_{\%}$ augmente de 35 à 45 % en balayant Q de 1,5 à 12 C/cm². Pour $J_{ano} = 40$ mA/cm², la $P_{\%}$ se stabilise autour de 50 % malgré une évolution sur

Q comprise entre 2,5 et 15 C/cm². A partir de l'abaque proposé par Arita *et al.* (substrat type P, orientation (111) et électrolyte HF : H₂O dans des proportions (1 : 1)), on relève pour $\rho_{Si} = 100 \text{ m}\Omega\cdot\text{cm}$ des P_% de 43 et 52 % respectivement pour $J_{ano} = 30$ et 150 mA/cm². Ces résultats sont donnés pour $t_{PS} = 10 \text{ }\mu\text{m}$. De façon générale, on observe une bonne cohérence entre les différentes analyses relatant les P_% issues de substrats de type P et de résistivité 100 m $\Omega\cdot\text{cm}$.

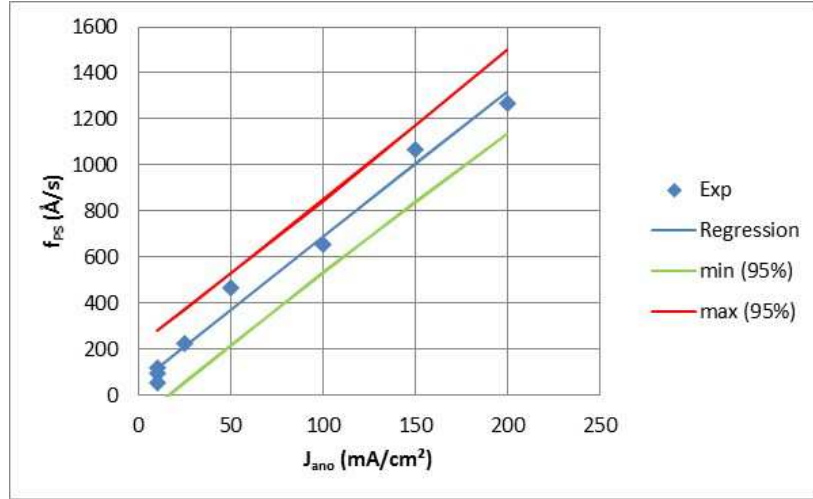


Figure 92 : f_{PS} en fonction de J_{ano} pour le substrat 80 - 120 m $\Omega\cdot\text{cm}$.

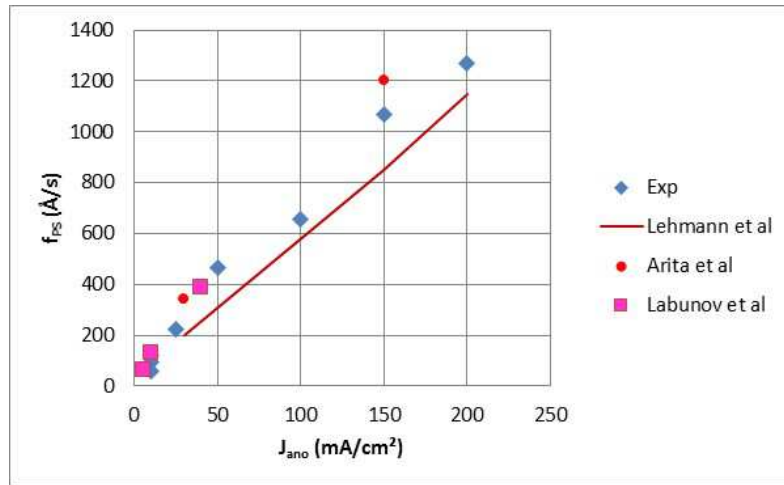


Figure 93 : f_{PS} en fonction de J_{ano} pour le substrat 80 - 120 m $\Omega\cdot\text{cm}$ et comparaison par rapport aux données de Lehmann *et al.* [192], Arita *et al.* [154], ainsi que Labunov *et al.* [151].

Finalement, les résultats associés au substrat 10 - 15 m $\Omega\cdot\text{cm}$ sont décrits dans les Figures 95, 96 et 97. Au niveau de f_{PS} (Figure 95), on observe une évolution de 100 à 600 Å/s en augmentant J_{ano} de 10 à 100 A/cm² avec une précision à $\pm 200 \text{ Å/s}$. Ce comportement apparaît similaire à celui décrit pour le substrat 80 - 120 m $\Omega\cdot\text{cm}$. La Figure 96 reprend les données expérimentales de la Figure 95 en y ajoutant les résultats de Lehmann *et al.* (substrat type P, orientation (100), $\rho_{Si} = 5 \text{ m}\Omega\cdot\text{cm}$ et électrolyte

constitué de HF (50 %) et H₂O dans des proportions (1 : 1)) ainsi que Arita *et al.* (substrat type P, orientation (111), $\rho_{Si} = 6 \text{ m}\Omega.\text{cm} \pm 10 \%$ et électrolyte HF : H₂O avec une concentration en HF de 50 % en masse) [154, 192]. Les trois études concordent.

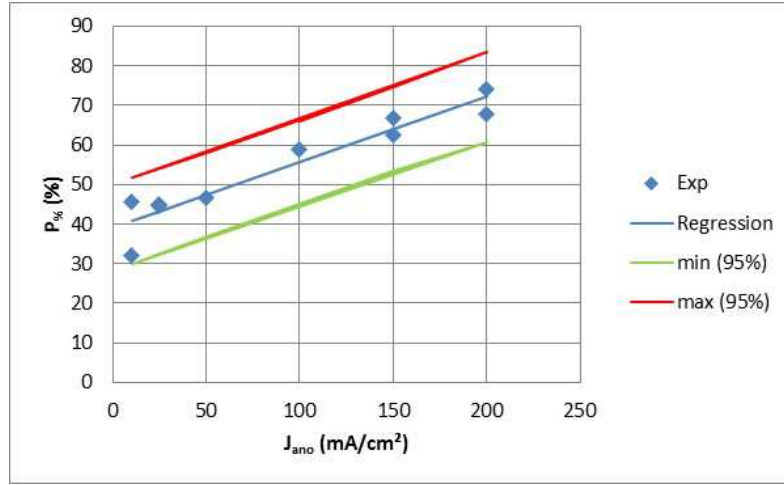


Figure 94 : $P_{\%}$ en fonction de J_{ano} pour le substrat 80 - 120 $\text{m}\Omega.\text{cm}$.

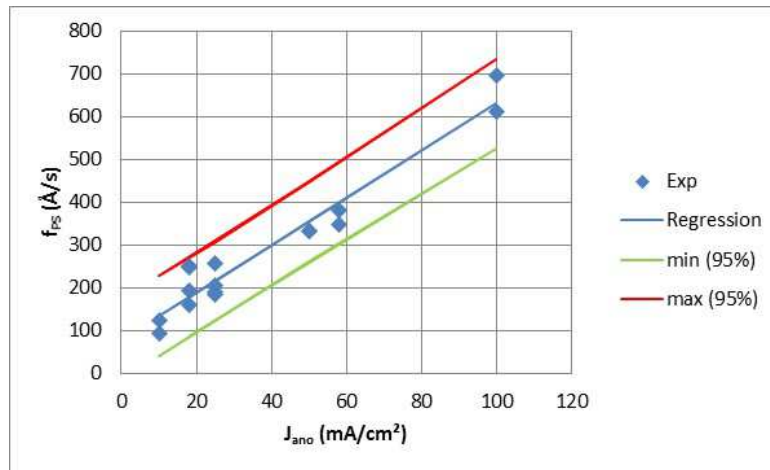


Figure 95 : f_{PS} en fonction J_{ano} pour le substrat 10 - 15 $\text{m}\Omega.\text{cm}$.

Concernant la $P_{\%}$ (Cf. Figure 97), les différences sont plus marquées par rapport au cas 80 - 120 $\text{m}\Omega.\text{cm}$. En effet, avec le substrat 10 - 15 $\text{m}\Omega.\text{cm}$, la $P_{\%}$ croît seulement de 25 à 50 % en balayant J_{ano} de 10 à 100 mA/cm^2 . L'erreur sur la $P_{\%}$ est estimée à $\pm 10 \%$. Ajoutons par ailleurs que ces résultats ont été obtenus pour Q compris entre 5 et 45 C/cm^2 . Cette variation sur Q traduit différentes t_{PS} incluses dans l'intervalle 5 - 35 μm . Dans les conditions expérimentales décrites ci-dessus à propos de f_{PS} , Arita *et al.* rapportent des $P_{\%}$ de 29 et 42 % respectivement pour J_{ano} égal à 20 et 150 mA/cm^2 . Beale *et al.*, évoquent quant à eux des $P_{\%}$ évoluant de 30 à 45 % en augmentant J_{ano} de 10 à 100 mA/cm^2 et avec $Q = 5,4 \text{ C/cm}^2$ [122]. Ils ont travaillé sur un substrat type P, orientation

(100), $\rho_{Si} = 10 \text{ m}\Omega\cdot\text{cm}$ et un électrolyte aqueux contenant 30 % en masse de HF. Malgré les variantes expérimentales, les résultats proposés par les trois études sont cohérents.

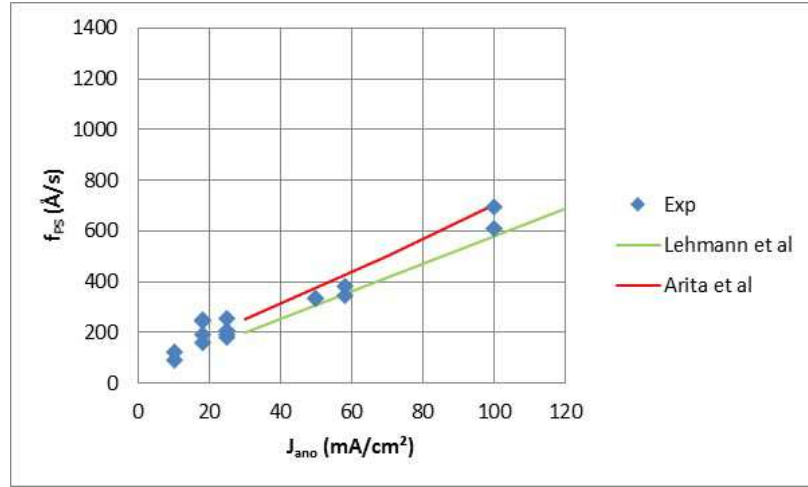


Figure 96 : f_{PS} en fonction de J_{ano} pour le substrat 10 - 15 $\text{m}\Omega\cdot\text{cm}$ et comparaison par rapport aux données de Lehmann *et al.* [192] ainsi que Arita *et al.* [154].

Signalons que la plage de J_{ano} investiguée sur le substrat 10 - 15 $\text{m}\Omega\cdot\text{cm}$ a été moins étendue car des décollements de couche PS lors du séchage post-anodisation se sont en effet produits lorsque J_{ano} devenait trop forte. Ces observations apparaissent surprenantes compte tenu des $P\%$ plus faibles résultant de ce substrat, elles peuvent néanmoins traduire une morphologie PS différente.

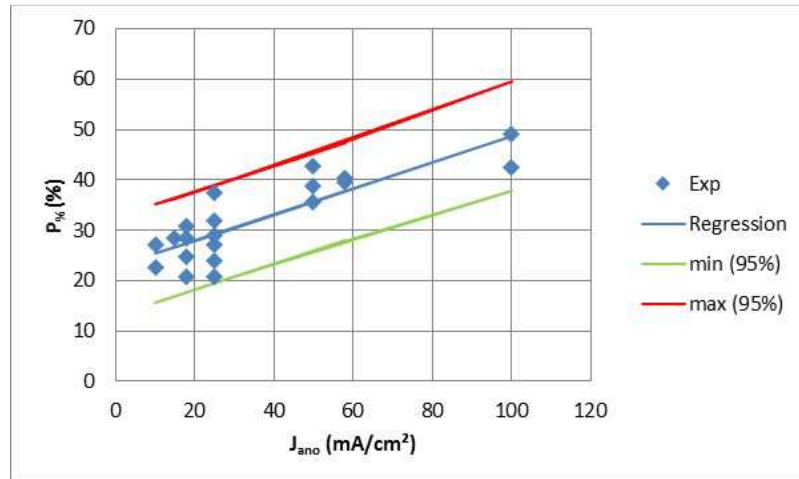


Figure 97 : $P\%$ en fonction J_{ano} pour le substrat 10 - 15 $\text{m}\Omega\cdot\text{cm}$.

Globalement, les mesures de $P\%$ et f_{PS} révèlent des dispersions et ce quelle que soit ρ_{Si} . Ce comportement pourrait traduire une difficulté à reproduire une condition expérimentale donnée. Cependant, les courbes chrono-voltamétriques $V_{ano}(t)$ (Cf. chapitre 2, paragraphe 3.3.4), dont un exemple est donné en Figure 98 pour le substrat 80 - 120 $\text{m}\Omega\cdot\text{cm}$ et $J_{ano} = 25 \text{ mA/cm}^2$, démontrent le

contraire. Certes, quelques tendances atypiques sont observées, mais dans l'ensemble, les relevés se superposent d'un wafer à un autre. Les dispersions sur les $P_{\%}$ et t_{PS} seraient plutôt attribuables aux variations sur Q et t_{PS} . Par ailleurs, dans le but d'éliminer les comportements extrinsèques lors de la croissance du PS (wafers A et F sur la Figure 98), et ainsi atteindre une meilleure maîtrise du procédé de fabrication, différents axes d'amélioration ont déjà été identifiés et feront l'objet de futures études : composition et renouvellement du bain, géométrie de la cuve d'anodisation, agitation vis-à-vis des problématiques d'homogénéité du bain et du bullage de dihydrogène (H_2), etc.

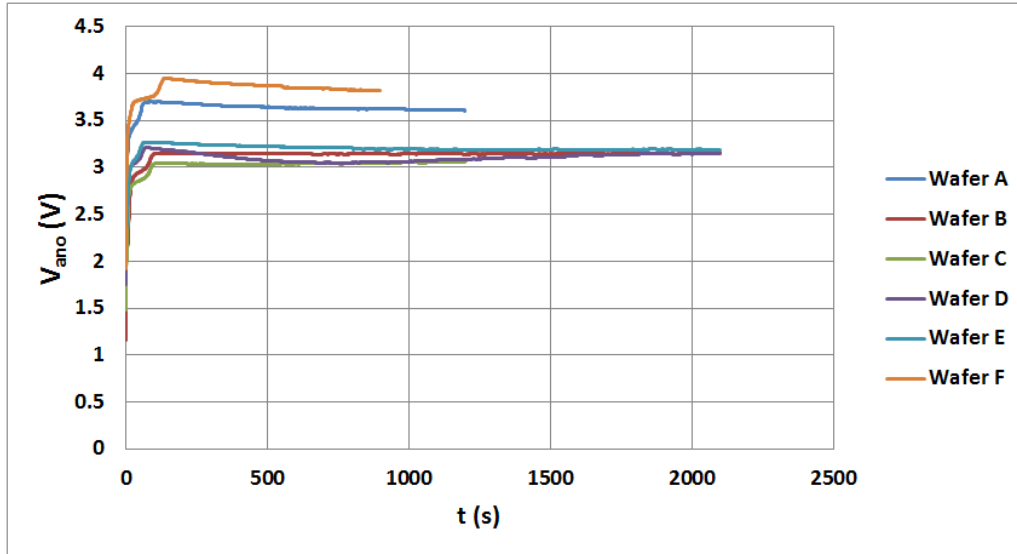


Figure 98 : Courbes chrono-voltamétriques $V_{ano}(t)$ associées au substrat 80 - 120 $m\Omega.cm$ et pour $J_{ano} = 25 \text{ mA/cm}^2$.

1.6 Propriétés physiques du PS des plaquettes tests

1.6.1 $P_{\%}$ et épaisseur PS (t_{PS})

Les estimations de $P_{\%}$ et t_{PS} correspondant aux plaquettes tests sont extrapolées des abaques discutées dans le paragraphe précédent et reportées dans les Tableaux 7, 8 et 9 ci-dessous, respectivement pour les substrats 6 - 12 $\Omega.cm$ (A), 80 - 120 $m\Omega.cm$ (B) et 10 - 15 $m\Omega.cm$ (C).

Tableau 7 : Estimation de t_{PS} et $P_{\%}$ sur les plaquettes tests du substrat 6 - 12 $\Omega.cm$.

Code carac	Anodisation		t_{PS} (μm)			$P_{\%}$ (%)		
	J_{ano} (A/cm^2)	D_{ano} (s)	min	typ	max	min	typ	max
A_J50_D20_H	50	1200	20,24	34,05	47,86	61,42	66,52	71,63
A_J15_D105_H	15	6300	NA	64,47	140,95	59,21	64,49	69,76
A_J25_D60_S	25	3600	12,60	55,50	98,41	59,86	65,07	70,28
A_J100_D15_S	100	900	38,65	48,87	59,09	64,32	69,44	74,56
A_J100_D10_S	100	600	25,76	32,58	39,39	64,32	69,44	74,56
A_J25_D35_S	25	2100	7,35	32,38	57,41	59,86	65,07	70,28
A_J15_D105_S	15	6300	NA	64,47	140,95	59,21	64,49	69,76
A_J50_D30_S	50	1800	30,37	51,08	71,80	61,42	66,52	71,63
A_J50_D20_S	50	1200	20,24	34,05	47,86	61,42	66,52	71,63
A_J150_D5_S	150	300	20,43	24,07	27,70	66,91	72,35	77,79

Tableau 8 : Estimation de t_{PS} et $P_{\%}$ sur les plaquettes tests du substrat 80 - 120 Ω .cm.

Code carac	Anodisation		t_{PS} (μ m)			$P_{\%}$ (%)		
	J_{ano} (A/cm ²)	D_{ano} (s)	min	typ	max	min	typ	max
B_J25_D35_H	25	2100	11,85	44,96	78,08	32,52	43,29	54,05
B_J10_D35_H	10	2100	NA	25,06	58,76	29,86	40,81	51,76
B_J25_D20_H	25	1200	6,77	25,69	44,62	32,52	43,29	54,05
B_J50_D10_H	50	600	13,03	22,32	31,61	36,88	47,42	57,95
B_J50_D20_H	50	1200	26,07	44,65	63,23	36,88	47,42	57,95
B_J100_D10_H	100	600	31,93	41,28	50,63	45,29	55,67	66,06
B_J150_D5_H	150	300	25,15	30,11	35,08	53,26	63,93	74,60
B_J25_D35_H2	25	2100	11,85	44,96	78,08	32,52	43,29	54,05
B_J15_D36_H	15	2160	NA	32,60	67,04	30,75	41,64	52,52
B_J150_D5_S	150	300	25,15	30,11	35,08	53,26	63,93	74,60
B_J25_D30_S	25	1800	10,16	38,54	66,93	32,52	43,29	54,05
B_J50_D20_S	50	1200	26,07	44,65	63,23	36,88	47,42	57,95
B_J100_D10_S	100	600	31,93	41,28	50,63	45,29	55,67	66,06
B_J10_D25_S	10	1500	NA	17,90	41,97	29,86	40,81	51,76
B_J25_D15_S	25	900	5,08	19,27	33,46	32,52	43,29	54,05
B_J50_D10_S	50	600	13,03	22,32	31,61	36,88	47,42	57,95

Tableau 9 : Estimation de t_{PS} et $P_{\%}$ sur les plaquettes tests du substrat 10 - 15 m Ω .cm.

Code carac	Anodisation		t_{PS} (μ m)			$P_{\%}$ (%)		
	J_{ano} (A/cm ²)	D_{ano} (s)	min	typ	max	min	typ	max
C_J50_D15_H	50	900	23,57	31,84	40,12	26,04	35,67	45,31
C_J25_D20_H	25	1200	14,88	25,92	36,96	19,60	29,21	38,82
C_J100_D6_H	100	360	18,92	22,66	26,39	37,74	48,60	59,45
C_J25_D15_H	25	900	11,16	19,44	27,72	19,60	29,21	38,82
C_J50_D10_H	50	600	15,71	21,23	26,74	26,04	35,67	45,31
C_J15_D25_H	15	1500	10,15	24,14	38,12	16,90	26,62	36,34
C_J50_D15_S	50	900	23,57	31,84	40,12	26,04	35,67	45,31
C_J10_D20_S	10	1200	4,71	16,00	27,29	15,53	25,33	35,13
C_J25_D15_S	25	900	11,16	19,44	27,72	19,60	29,21	38,82
C_J50_D10_S	50	600	15,71	21,23	26,74	26,04	35,67	45,31
C_J100_D6_S	100	360	18,92	22,66	26,39	37,74	48,60	59,45
C_J10_D20_S2	10	1200	4,71	16,00	27,29	15,53	25,33	35,13

On retrouve sur les abaques de croissance des grandeurs dispersées, notamment aux abords des intervalles explorés. Des valeurs négatives au niveau t_{PS} ont été parfois extraites des modèles. Elles sont bien entendu non applicables (NA). Quelques wafers ont été mesurés après clivage avec un microscope électronique à balayage (MEB). Les résultats sont synthétisés dans le Tableau 10. On retrouve une adéquation entre t_{PS} extrapolée (t_{PS} modèle) et t_{PS} mesuré (t_{PS} réel). Le niveau d'erreur réel apparaît notamment plus faible (au maximum 40 %) par rapport aux intervalles de confiances calculés (min / max dans les Tableaux 7, 8 et 9). Le Tableau 10 fait également référence à la plaquette test C_J50_D10_S_600 non discutée jusqu'ici. Comme l'indique sa nomenclature, elle s'apparente au wafer C_J50_D10_S (Cf. Tableau 6) avec comme seule et unique différence son recuit post-anodisation effectué à 600 °C au lieu de 350 °C. A noter également que les effets de bord observés sur la Figure 88 (profilomètre) sont confirmés par les visualisations MEB.

A la lecture de ces tableaux, une étendue de la $P_{\%}$ de 20 à 75 % a été atteinte. Les propriétés électriques du PS pourront donc être étudiées sur un large panel. Il convient de préciser que cette plage

de $P_{\%}$ comprend différentes morphologies PS. L'amplitude des t_{PS} obtenue (de 10 à 70 μm) et surtout leur dispersion compliquera néanmoins l'extraction de paramètres tels que ε_{PS} ou ρ_{PS} .

Tableau 10 : Vérification de t_{PS} sur quelques plaquettes tests après clivage et à partir de mesures MEB.

Code carac	ρ_{Si} ($\Omega\cdot\text{cm}$)	t_{PS} modèle (μm)			t_{PS} réel (μm)	Erreur (%)
		min	typ	max		
A_J15_D105_H	6 - 12	NA	64,47	140,95	45	30,2
A_J100_D15_S		38,65	48,87	59,09	47	3,8
A_J100_D10_S		25,76	32,58	39,39	32	1,8
A_J25_D35_S		7,35	32,38	57,41	32	1,2
A_J150_D5_S		20,43	24,07	27,70	24	0,3
B_J10_D35_H	0,08 - 0,1	NA	25,06	58,76	16	36,2
B_J100_D10_H		31,93	41,28	50,63	35	15,2
B_J15_D36_H		NA	32,60	67,04	24	26,4
B_J150_D5_S		25,15	30,11	35,08	29	3,7
B_J25_D15_S		5,08	19,27	33,46	19	1,4
B_J50_D10_S	0,01 - 0,015	13,03	22,32	31,61	22	1,4
C_J50_D15_H		23,57	31,84	40,12	24	24,6
C_J50_D15_S		23,57	31,84	40,12	34	-6,8
C_J100_D6_S		18,92	22,66	26,39	26	-14,8
C_J10_D20_S2		4,71	16,00	27,29	16	0
C_J50_D10_S_600		15,71	21,23	26,74	22	-3,6

1.6.2 Morphologie du PS

1.6.2.1 Substrat 10 - 15 $\text{m}\Omega\cdot\text{cm}$

Les couches PS obtenues à partir des substrats 10 - 15 $\text{m}\Omega\cdot\text{cm}$ apparaissent uniformes au niveau morphologique sur toute l'épaisseur t_{PS} . A partir de nos observations MEB, Il est également impossible de différencier les plaquettes tests les unes des autres malgré leur différence de $P_{\%}$. Plus précisément, quelques soient J_{ano} et D_{ano} , on distingue des pores longilignes, avec des ramifications qui tendent, elles aussi, à se verticaliser. Ce type de morphologie est illustré sur la Figure 99, qui reprend le cas du wafer C_J50_D15_H. Ce dernier se caractérise par une $P_{\%}$ de l'ordre de 36 %. L'interface PS / Si y est bien visible et le diamètre des cristallites avoisine 10 nm.

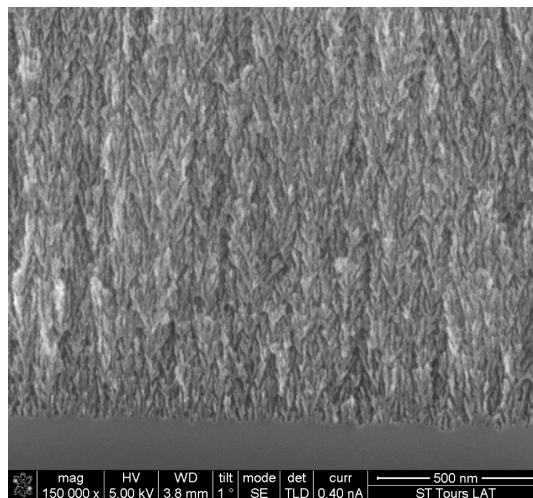


Figure 99 : Observation MEB, après clivage et au niveau de l'interface PS / Si, associée à la plaquette test C_J50_D15_H ($P_{\%} = 36 \%$).

Au niveau de l'interface PS / Al, aucune couche intermédiaire n'a pu être visualisée. On identifie néanmoins la présence d'oxygène dans PS à l'aide de spectrométries EDX (Energy Dispersive X-ray), sans pouvoir constater d'écart de concentration en fonction de la position dans le volume PS.

1.6.2.2 Substrat 80 - 120 mΩ.cm

La Figure 100 présente une morphologie typique obtenue sur une couche PS formée à partir d'un substrat 80 - 120 mΩ (Cas du wafer B_J50_D10_S, $P_{\%} = 47 \%$). Comparativement au cas présenté au paragraphe précédent (substrat 10 - 15 mΩ.cm), on observe une texture plus dense et les pores semblent posséder une forme dendritique. L'évaluation de la taille des pores est compliquée, probablement quelques nanomètres.

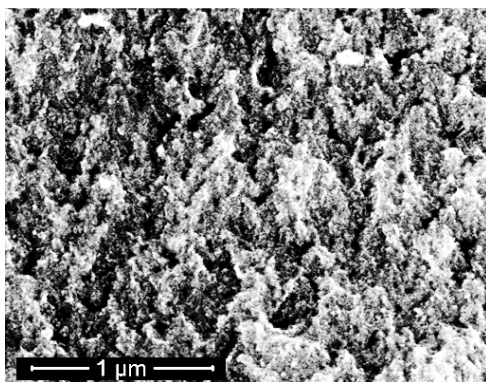


Figure 100 : Observation MEB de la plaquette test B_J50_D10_S ($P_{\%} = 47 \%$) après clivage.

Au niveau du volume PS et malgré les différences de $P_{\%}$ mesurées, les observations morphologiques n'ont pas permis de mettre l'accent sur une quelconque dissimilitude entre les wafers. On note tout de même un front de gravure PS / Si d'autant plus homogène que la $P_{\%}$ de l'échantillon est élevée. Cette affirmation est notamment visible à la comparaison des wafers B_J15_D36_H ($P_{\%} = 42 \%$) et B_J150_D5_S ($P_{\%} = 64 \%$) (Cf. Figure 101).

Par ailleurs, les plaquettes tests présentent un gradient de $P_{\%}$ à leur surface. L'analyse TEM (Transmission Electron Microscopy) effectuée sur le wafer B_J10_D35_H ($P_{\%} = 41 \%$) et donnée en Figure 102 illustre ces propos. Aux premiers abords, une couche présentant des pores plus volumineux est effectivement visible sur les cinq cent premiers nanomètres de la couche PS (Cf. chapitre 2, paragraphe 3.3). En zoomant (photographie encadrée en rouge sur la Figure 102), il semblerait qu'ils soient eux même remplis par des pores de plus petites tailles. Notons également que le réseau de diffraction électronique obtenu par TEM semble révéler une structure amorphe. Sur la base des observations MEB, il est possible que cette strate superficielle diffère d'un échantillon à un autre, mais seul le cas B_J10_D35_H a été considéré en TEM.

Enfin, des analyses EDX démontre la présence d'oxygène dans le volume PS. Il n'est cependant pas possible de conclure quant à un taux d'oxydation plus élevé ou non en surface.

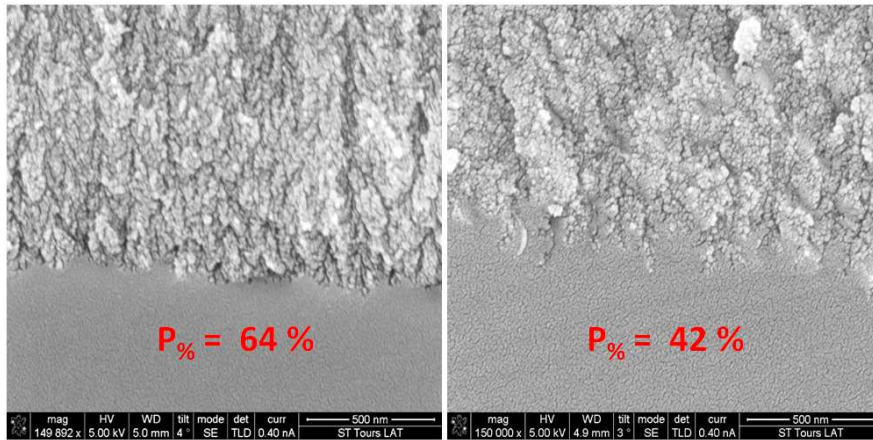


Figure 101 : Comparaison de l'interface PS / Si en fonction de la $P_{\%}$ pour les plaquettes tests B_J15_D36_H ($P_{\%} = 42 \%$) et B_J150_D5_S ($P_{\%} = 64 \%$) (vues MEB après clivage).

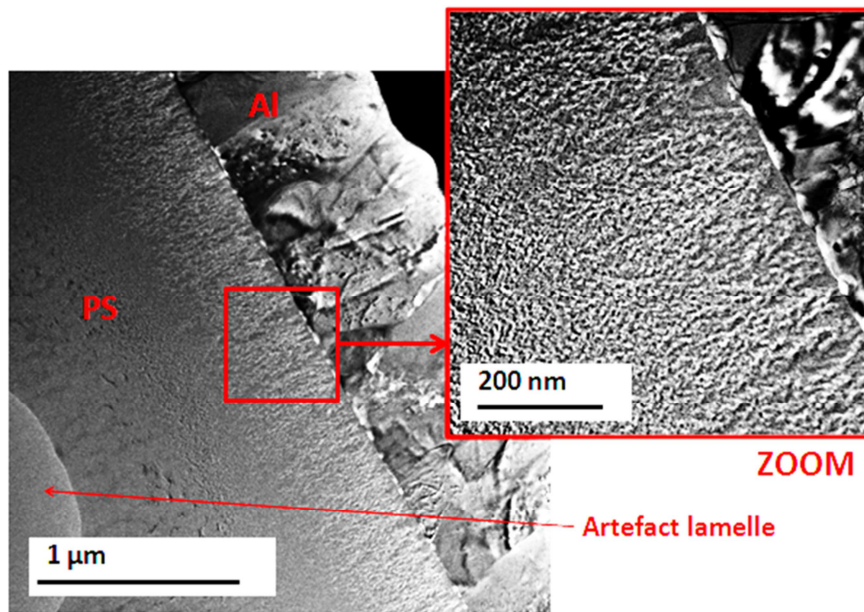


Figure 102 : Observations TEM se focalisant sur la morphologie PS superficielle de la plaquette test B_J10_D35_H ($P_{\%} = 41 \%$).

1.6.2.3 Substrat 6 - 12 $\Omega.cm$

Les couches PS formées à partir des substrats 6 - 12 $\Omega.cm$ sont encore plus denses en comparaison avec les structures issues des cas 80 - 120 m $\Omega.cm$ comme le montre la Figure 103 relative à l'interface PS / Si du wafer A_J100_D10_S ($P_{\%} = 69 \%$).

On retrouve systématiquement une couche superficielle de quelques micromètres et semble-t-il macroporeuse (Cf. chapitre 2, paragraphe 3.3). L'analyse TEM de la Figure 104 effectuée sur le wafer

A_J25_D35_S ($P_{\%} = 65 \%$) se focalise sur cette zone. Une première vue zoomée révèle des macropores remplis de micro-pores. La vue N°2 se concentre, quant à elle, sur l'interface entre les deux types de PS. Le contraste est visible et suggère une texture micro-poreuse sur la majeure partie du volume PS de cet échantillon. Seule cette plaquette test A_J25_D35_S a été analysée en TEM. Cependant, les observations MEB effectuées sur d'autres échantillons de la même famille tendent à confirmer la présence de cette strate superficielle, avec tout de même quelques variabilités en termes d'épaisseur.

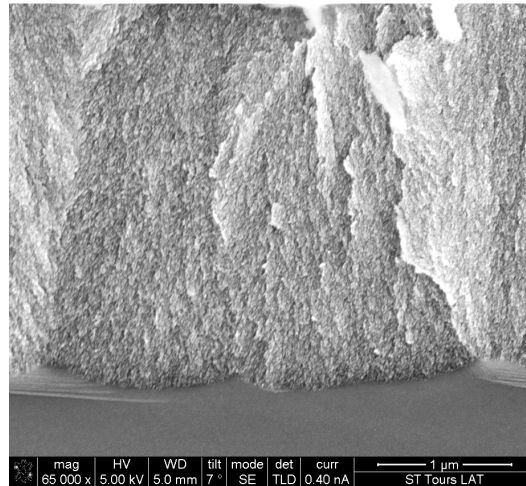


Figure 103 : Observation MEB, après clivage et au niveau de l'interface PS / Si, associée à la plaquette test A_J100_D10_S ($P_{\%} = 69 \%$).

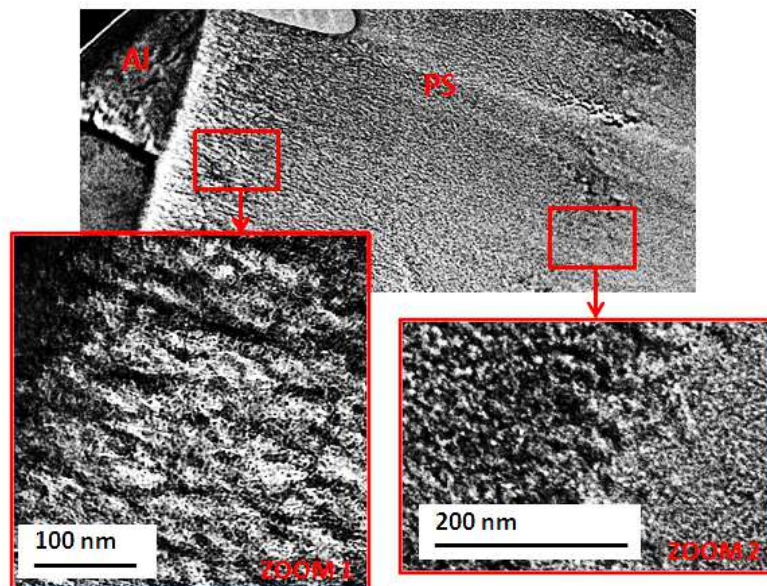


Figure 104 : Observations TEM se focalisant sur la morphologie PS superficielle de la plaquette test A_J25_D35_S ($P_{\%} = 65 \%$). Les vues zoomées N°1 et N°2 sont focalisées sur la couche macro-poreuse et sur l'interface entre les deux types de PS respectivement.

Ajoutons enfin que des analyses EDX ont confirmé la présence d'oxygène sur le volume entier de la couche PS, toujours sans distinction de zones préférentielles dans lesquelles il pourrait se concentrer.

2. Principe de caractérisation

2.1 Mesures de capacité

Les mesures de capacité ont été réalisées à l'aide d'un capacimètre Agilent 4285A. La Figure 105a décrit le principe de la mesure de capacité telle que nous l'avons exploitée. Le dispositif à évaluer, le wafer PS dans notre cas, est modélisé par la mise en parallèle d'une conductance (G) et une capacité (C). Un signal alternatif (AC) de faible amplitude (V_i) est appliqué aux bornes du wafer PS et de la résistance de sortie du capacimètre (R). Le courant i circulant dans le circuit génère une chute de tension V_0 aux bornes de R . Le déphasage entre V_i et V_0 permet d'extraire C .

Le capacimètre est relié à une station sous pointes dont le chuck n'est pas connecté. Une configuration de mesures horizontales est alors nécessaire telle que représentée sur la Figure 105b. Les mesures ont été réalisées pour une amplitude du signal AC de 100 mV. Aucune polarisation continue (DC) ne peut être appliquée avec cet équipement. Une correction en circuit ouvert a été réalisée de façon à minimiser les capacités parasites pouvant être apportées parallèlement aux deux pointes de mesure. En toute rigueur, une compensation de type circuit fermé aurait également dû être réalisée pour s'affranchir des inductances et conductances séries potentiellement amenées par le câblage. Cette remarque devra être prise en compte dans l'analyse des résultats notamment lorsque la fréquence (f) dépasse 1 MHz (Cf. paragraphe 3.2.1).

Les capacités PS semblent dépendre à la fois de T et de f [163, 193, 194, 195]. Aucun élément chauffant n'est connecté sur notre dispositif expérimental. De fait, seules des mesures à T ambiante ont été possibles. Cette lacune expérimentale semble toutefois contournable puisque l'effet de T s'atténue en augmentant f . Le rôle de T devient même complètement inexistant à partir d'une fréquence f_0 de l'ordre de 1 MHz à plus ou moins une décade. Balagurov *et al.* ont aussi mis en évidence un impact de ρ_{Si} [193]. Plus cette dernière est élevée, et plus f_0 est faible. Deux fréquences de caractérisation ont finalement été retenues, 1 et 10 MHz, de façon à mettre éventuellement le phénomène en évidence. A noter également que les résultats relevés par notre équipement deviennent très approximatifs en deçà de 100 kHz.

Certaines équipes de recherche rapportent également une dépendance de la capacité avec le taux d'humidité (RH) [187, 196]. Avant chaque évaluation, les plaquettes tests ont donc été chauffées quelques minutes sur une plaque portée à 150 °C pour éliminer la présence d'humidité au fond des pores. Les mesures sont ensuite réalisées à l'air ambiant.

Par ailleurs, aucune précaution n'a été prise pour maintenir les wafers PS dans l'obscurité. Des expérimentations préliminaires n'ont en effet pas mis en évidence d'impact de la lumière sur les résultats.

Pour conclure ce paragraphe, précisons que les quatre diamètres de plots (0.25 ; 0.5 ; 1 et 2 mm) ont été évalués (uniquement pour OUT, la surface des plots IN n'ayant pas d'impact sur les résultats), trois motifs différents par diamètre ont été testés.

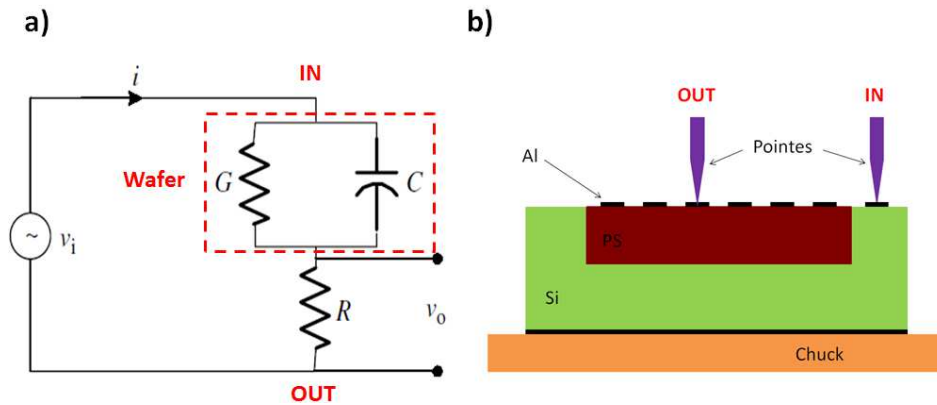


Figure 105 : a) Principe de la mesure de capacité b) Configuration de la mesure de capacité appliquée aux plaquettes tests PS.

2.2 Caractéristiques I - V en température (T)

La grande majorité des I - V a été relevée à l'aide d'un analyseur de semi-conducteurs de la marque Keithley modèle 4200. Cet équipement présente une puissance maximale de 1 W, largement suffisante pour des I - V de -10 V à +10 V, l'excursion en tension que nous avons appliquée. Il autorise également une précision de mesure inférieure au nano-ampère. Pour évaluer des niveaux de tension plus élevés, nous avons eu recours à un traceur de courbes de la société Tektronik modèle 370A. Ce dernier dispose en effet d'une puissance maximale de 100 W et une précision de mesures de l'ordre de 10 nA dans nos conditions de test (leakage current mode).

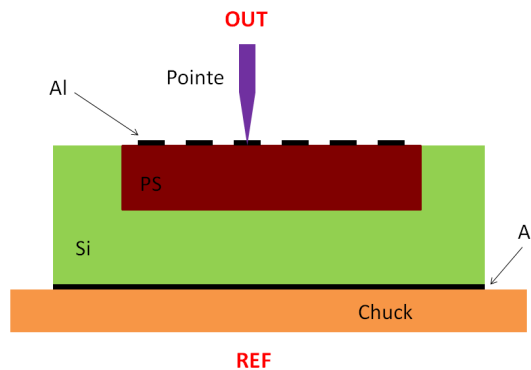


Figure 106 : Configuration des mesures I - V sur les plaquettes tests.

Toutes les I - V sont mesurées sous pointes, à l'aide d'une station permettant de maintenir les échantillons dans l'obscurité. Les wafers sont disposés sur un support conducteur (chuck) permettant le contact électrique de la face arrière (équipement différent par rapport au paragraphe précédent). Les mesures sont en effet réalisées verticalement telles qu'indiquées sur la Figure 106. Notons que la référence est systématiquement prise sur la face arrière de la plaquette, à savoir le contact chuck. La polarisation positive ou négative est quant à elle appliquée sur la pointe, côté PS. Ce chuck est également chauffant. L'élément de chauffe est programmable de 30 à 200 °C.

Les I - V sont obtenues sous atmosphère ambiante. Dans le laboratoire, RH évolue de 10 à 80 % selon les conditions météorologiques. Or il est connu que les propriétés électriques du PS évoluent fortement en fonction de RH [187, 197]. Nous avons donc mis en place un protocole de caractérisation stricte. Avant toute mesure, les plaquettes sont directement portées à 200 °C de façon à évacuer l'humidité des pores. Les I - V sont ensuite réalisées à 200, 150, 100, 50 et 30 °C en respectant scrupuleusement cet ordre. Chaque mesure démarre à zéro. Une caractérisation de -10 à +10 V par exemple est donc effectuée en deux temps : de 0 à -10 V puis de 0 à +10 V ou inversement sachant qu'aucun impact sur les I - V n'a pu être mis en évidence entre une première séquence de polarisation positif / négatif et son opposée négatif / positif. Le suivi rigoureux de ces règles a facilité la cohérence des résultats.

Seuls les plots de diamètre 0,5 mm ont été caractérisés dans le détail. Des analyses préliminaires ont de surcroît montré de nombreuses incohérences de résultats entre plots de différentes tailles. La statistique est en effet plus limitée sur des plots 1 ou 2 mm. Leurs nombres plus restreints ne permettent pas une comparaison fiable avec les petits plots. De plus, ces plots de grande surface sont susceptibles de couvrir des zones PS d'épaisseur non uniforme (Cf. Figure 88). Il en résulte une distribution du courant non homogène et une surface effective plus faible par rapport au dimensionnel réel. Quant aux plots de diamètre 0,25 mm, leurs performances peuvent être plus facilement masquées par des effets de bord [180]. A noter également que la complexité des mécanismes de transport au sein du PS complique l'extraction de sa résistivité, accentuant ainsi les irrégularités entre les différentes tailles de plots. Cet aspect fera l'objet de la quatrième section de ce chapitre. A noter que cette stratégie de mesures se distingue de celle appliquée pour les capacités. Ce choix s'explique par la nécessité d'interpréter les I - V avant de les exploiter, alors qu'une lecture immédiate de la capacité est possible et facilite la mise en exergue d'une quelconque incohérence de mesures.

Au final, chaque I - V est répétée deux fois consécutivement au minimum. Chaque série de caractéristiques I - V (de 200 à 30 °C) est effectuée sur quatre plots. Ces dernières sont reproduites trois fois, en respectant un intervalle de plusieurs jours, afin d'étudier la reproductibilité des résultats dans le temps. Bien entendu, nous avons pris soin d'utiliser les mêmes motifs.

3. Constante diélectrique relative du micro / méso-PS type P (ϵ_{PS})

3.1 Extraction de ϵ_{PS}

Des mesures de capacité ont été implémentées selon la procédure décrite dans le paragraphe 2.2 et sur l'ensemble des plaquettes listées dans les Tableaux 4, 5 et 6.

La configuration des mesures de capacité (C_{mes}) choisie met en jeu plusieurs capacités en série [163, 198] :

Équation 3.3
$$C_{mes} = \left(\frac{1}{C_{PS}} + \sum \frac{1}{C_i} \right)^{-1}$$

Parmi ces capacités C_i , nous pouvons citer les contacts sur PS et Si, l'interface PS / Si ou encore le Si lui-même.

L'identification de C_{PS} à partir de C_{mes} nécessite donc quelques précautions. En choisissant des fréquences de mesures élevées ($f > 100$ kHz) [163, 193, 194, 195], des t_{PS} supérieures à $10 \mu m$ [163] et une polarisation faible (ici 0) pour maximiser les capacités de type déplétion aux interfaces, on peut s'attendre à accéder à C_{PS} , la capacité la plus faible et donc dominante compte tenu de l'expression de C_{mes} (Cf. équation 3.3).

Pour chaque wafer, le tracé de C_{PS} en fonction de la surface des plots testés (S) a permis d'extraire ϵ_{PS} . La Figure 107 présente le cas du wafer A_J50_D30_S dont les caractéristiques précises sont données dans les Tableaux 4 et 7. Les mesures ont été effectuées sans polarisation DC, en appliquant un signal AC de fréquence 1 MHz et d'amplitude 100 mV (Cf. paragraphe 2.2). Sans surprise, la capacité évolue linéairement avec la surface selon l'expression bien connue de la capacité, à savoir :

Équation 3.4
$$C_{PS} = \frac{\epsilon_0 \cdot \epsilon_{PS} \cdot S}{t_{PS}}$$

Le terme ϵ_0 représente la permittivité diélectrique du vide.

ϵ_{PS} est extraite à partir de la pente de la régression linéaire connaissant t_{PS} . Les intervalles de confiance associés à la mesure de la capacité ont également été calculés. Notons toutefois que dans l'obtention de ϵ_{PS} , les imprécisions apportées par la mesure restent souvent négligeables par rapport à l'incertitude sur t_{PS} . Cette remarque nous a amené à ne discuter par la suite que des valeurs typiques de ϵ_{PS} calculées sur la base de valeurs moyennes de t_{PS} , la prise en compte des dispersions pouvant conduire à des valeurs aberrantes.

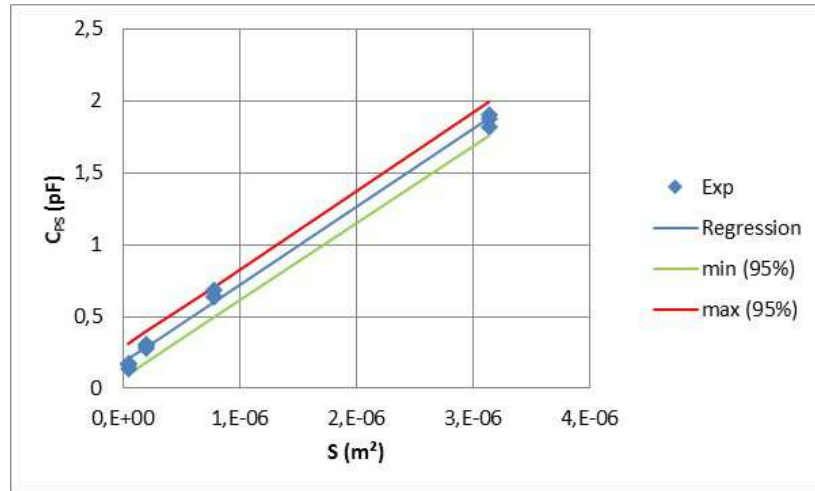


Figure 107 : Evolution de C_{PS} (1 MHz, 100 mV) du wafer A_J50_D30_S (Cf. Tableaux 4 et 7) en fonction de la surface (S) des plots mesurés.

3.2 Résultats expérimentaux

3.2.1 Relations entre la $P_{\%}$ et ϵ_{PS}

Les Figures 108, 109, 110 et 111 recensent l'ensemble des ϵ_{PS} extrapolées des mesures de capacité en fonction de la $P_{\%}$ à 1 MHz (Figures 108 et 109) et 10 MHz (Figures 110 et 111). Toutes les plaquettes listées dans les Tableaux 4 à 9 ont été considérées. Les Figures 109 et 111 sont issues respectivement des Figures 108 et 110, avec une focalisation sur $\epsilon_{PS} < 12$ et un passage à une échelle linéaire sur l'axe des ordonnées.

Quelle que soit la fréquence de mesure considérée, une décroissance linéaire de ϵ_{PS} avec la $P_{\%}$ est observée. Les modélisations de Vegard et de Bruggeman (Cf. paragraphe 3.3) ont été insérées dans chacune des quatre figures. Modèles et mesures se rejoignent convenablement, notamment au regard des Figures 109 et 111. Plus précisément, à $f = 1$ MHz, la grande majorité des points expérimentaux sont encadrés par ces deux lois alors qu'à $f = 10$ MHz, les valeurs de ϵ_{PS} apparaissent plus élevées et dépassent même la tendance prédite par Vegard.

Certains points présentent cependant des résultats très différents des modèles donnés dans les Figures 108 et 110. Plus précisément, dans le cas du substrat 10 - 15 mΩ.cm, de fortes C_{PS} sont mesurées pour des $P_{\%}$ en deçà de 25 %. Un comportement similaire est visible pour le substrat 80 - 120 mΩ.cm mais cette fois-ci pour des $P_{\%}$ inférieures à environ 45 %. Un troisième et dernier cas de figure semble aussi se dessiner pour les plus fortes $P_{\%}$ du substrat 80 - 120 mΩ.cm où des ϵ_{PS} étonnamment plus élevées que celles prédites par Vegard ou Bruggeman ont été obtenues. Nous verrons par la suite (Cf. paragraphe 3.3.2) que tous ces points atypiques ne reflètent pas réellement ϵ_{PS} .

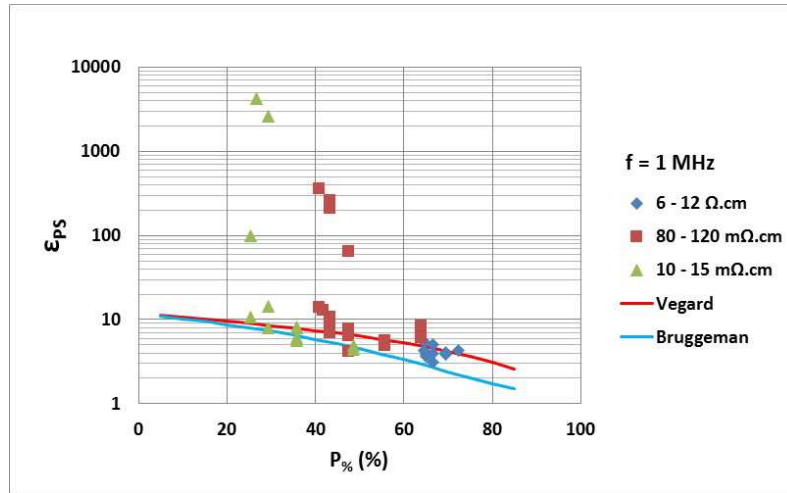


Figure 108 : Evolution de ϵ_{PS} en fonction de la $P\%$, mesures à $f = 1$ MHz. Tous les cas décrits dans les Tableaux 4 à 9 sont considérés.

Vis-à-vis de la légère augmentation de ϵ_{PS} de 1 à 10 MHz, cette tendance s'oppose quelque peu aux résultats présentés par Balagurov *et al.* ainsi que Ben Chorin *et al.* (Cf. paragraphe 2.2). Sachant par ailleurs que des fréquences élevées nécessitent un banc de mesures bien adapté (notamment au niveau des pointes de mesures), il est donc possible que cette observation soit simplement le fruit de notre appareillage expérimental plutôt qu'un phénomène physique relié à T ou f . De fait, la mesure à 1 MHz sera préférentiellement utilisée dans les analyses qui suivront. Ce choix est par ailleurs renforcé par la cohérence obtenue avec les résultats publiés dans la littérature et traduits par les lois de Vegard et Bruggeman.

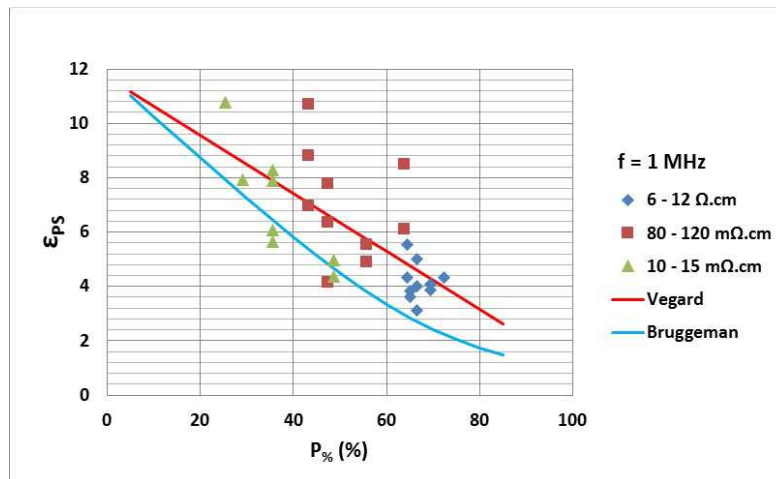


Figure 109 : ϵ_{PS} mesurée à $f = 1$ MHz en fonction de la $P\%$, focalisation sur les données les plus faibles (< 12).

Précisons également qu'en augmentant la température du recuit post-anodisation de 350 à 600 °C (1 h sous atmosphère N₂ non contrôlée) ou en ajoutant un recuit métallisation (1 h à 350 °C sous atmosphère N₂ non contrôlée), aucun effet significatif n'a pu être mis en évidence sur ϵ_{PS} .

Au final, sur la base des mesures effectuées à 1 MHz, il semble possible d'ajuster ϵ_{PS} à partir de la P% du PS. Pour une P% variant de 10 à 80 %, ϵ_{PS} diminue en effet de 11 à 2 ou 3 selon le modèle considéré. Cette propriété du PS apparaît évidemment intéressante à exploiter dans le cadre de notre application.

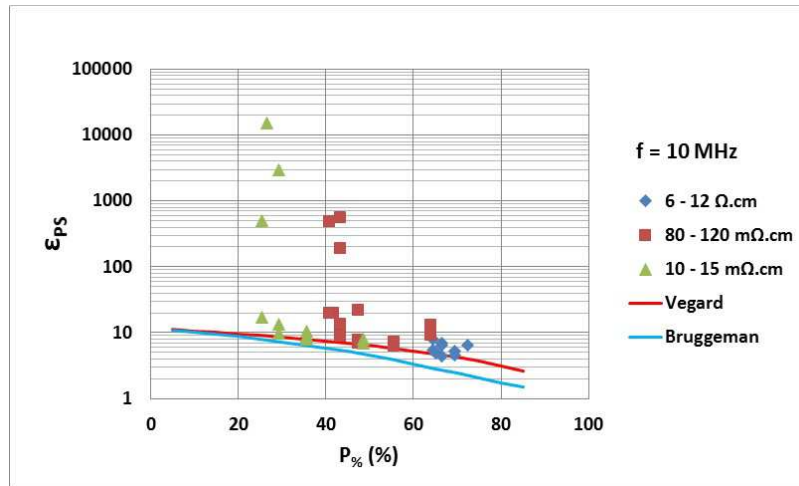


Figure 110 : Evolution de ϵ_{PS} en fonction de la P%, mesures à $f = 10$ MHz. Tous les cas décrits dans les Tableaux 4 à 9 sont considérés.

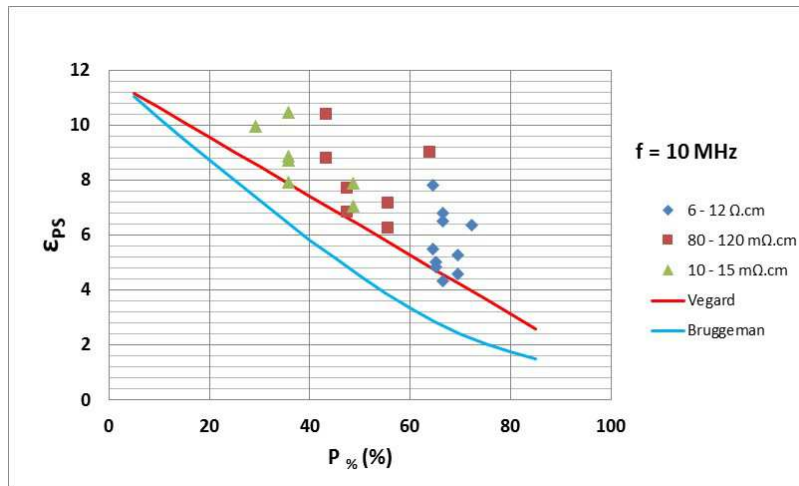


Figure 111 : ϵ_{PS} mesurée à $f = 10$ MHz en fonction de la P%, focalisation sur les données de la Figure 111 les plus faibles (< 12).

3.2.2 Impact du procédé de gravure métallisation sur ϵ_{PS}

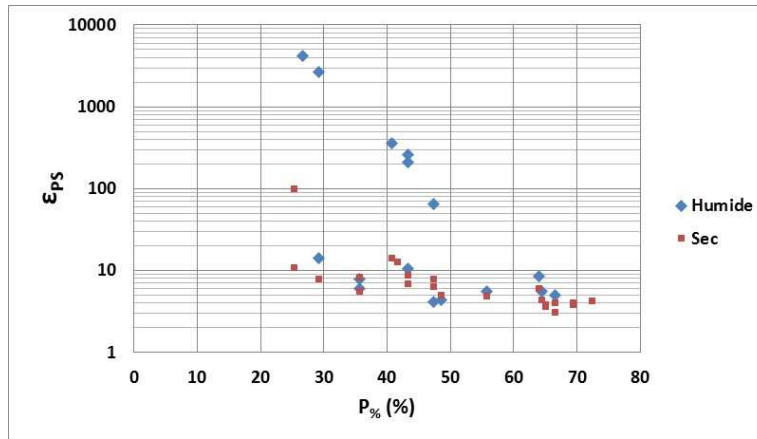


Figure 112 : Impact de la méthode de gravure Al sur ϵ_{PS} . Les mesures ont été effectuées à 1 MHz. Les trois familles de substrats sont représentées.

Concernant le rôle du mode de gravure de l'aluminium (Cf. paragraphe 1.4) sur ϵ_{PS} , les résultats sont rapportés sur la Figure 112. Les trois familles de substrats sont représentées. On constate que la gravure humide favorise la présence de points atypiques s'écartant des lois de Vegard ou Bruggeman. Ce point sera plus particulièrement discuté au paragraphe 3.3.2. Dans tous les cas, ces « anomalies » sont plus fréquentes aux faibles $P_{\%}$, ϵ_{PS} semble donc majoritairement contrôlée par ce paramètre.

3.2.3 Impact du temps d'anodisation (D_{ano}) sur ϵ_{PS}

Tableau 11 : Impact de D_{ano} sur ϵ_{PS} pour $J_{ano} = 50 \text{ mA/cm}^2$. Trois cas regroupant plusieurs wafers sont considérés pour chacune des ρ_{Si} étudiées : G1 pour le substrat 6 - 12 $\Omega\cdot\text{cm}$, G2 pour le substrat 80 - 120 $\text{m}\Omega\cdot\text{cm}$, G3 pour le substrat 10 - 15 $\text{m}\Omega\cdot\text{cm}$. Toutes les plaquettes d'un même cas présentent des $P_{\%}$ moyennes semblables.

ρ_{Si} ($\Omega\cdot\text{cm}$)	Wafers	D_{ano} (s)	$P_{\%}$ (%)	ϵ_{PS} (1 MHz)	
				Typ	$\Delta\epsilon$ (%)
6 - 12 (G1)	A_J50_D20_H	1200	66,5	5,0	42%
	A_J50_D20_S	1200	66,5	4,0	42%
	A_J50_D30_S	1800	66,5	3,1	42%
0,08 - 0,12 (G2)	B_J50_D10_H	600	47,4	4,2	47%
	B_J50_D10_S	600	47,4	6,3	42%
	B_J50_D20_H	1200	47,4	64,6	42%
0,01 - 0,015 (G3)	B_J50_D20_S	1200	47,4	7,8	42%
	C_J50_D10_H	600	35,7	6,1	27%
	C_J50_D10_S	600	35,7	5,6	26%
	C_J50_D15_H	900	35,7	7,9	26%
	C_J50_D15_S	900	35,7	8,3	26%

La diversité des expérimentations menées nous permet également de juger l'impact de D_{ano} sur ϵ_{PS} . Bien entendu, l'analyse ne peut être entreprise que pour des $P_{\%}$ équivalentes. A ce titre, le Tableau 11 regroupe trois cas, un par ρ_{Si} étudiée. Le substrat 6 - 12 $\Omega\cdot\text{cm}$ (G1) est représenté par les wafers A_J50_D20_H, A_J50_D20_S et A_J50_D30_S, caractérisés par des $P_{\%}$ de l'ordre de 60 %. Les

plaquettes B_J50_D10_H, B_J50_D10_S, B_J50_D20_H et B_J50_D20_S du substrat 80 - 120 mΩ.cm (G2) sont également comparées et possèdent quant à elles des P_% avoisinant 45 %. Et enfin, les échantillons C_J50_D10_H, C_J50_D10_S, C_J50_D15_H et C_J50_D15_S ont été sélectionnés pour le substrat 10 - 15 mΩ.cm avec une P_% typique de 35 % (G3). Si une diminution de ϵ_{PS} est observée pour G1 en augmentant D_{ano}, la tendance opposée se produit pour G2 et G3. Porter une conclusion s'avère donc difficile. Pour autant, il n'est pas impossible que D_{ano} joue un rôle sur les variabilités observées au niveau de la courbe de ϵ_{PS} en fonction de la P_%. En effet, Unno *et al.* ont montré une augmentation de la P_% avec D_{ano} [191]. Cet aspect n'a pas été directement pris en compte dans l'obtention des abaques relatifs aux P_% présentées, néanmoins il apparaît au travers des dispersions déduites sur la P_%. Dès lors, les estimations de la P_%, données au travers des Figures 91, 94 et 97 pour chaque échantillon, correspondent rigoureusement à des moyennes sur t_{PS}. De fait, allonger D_{ano} impliquerait une élévation de la P_% et par conséquent une réduction de ϵ_{PS} . D'un autre côté, des temps d'électrolyse trop longs peuvent générer une inhomogénéité de la couche PS au niveau de sa P_%. Cette dernière augmenterait plus on s'éloigne de la surface du PS [49]. Cette irrégularité pourrait être à l'origine d'un rehaussement artificiel de ϵ_{PS} via une distribution de la zone de charge d'espace (ZCE ou zone de déplétion) plus localisée.

3.3 Discussion des résultats expérimentaux relatifs aux ϵ_{PS} du micro / méso-PS

3.3.1 Modélisation de ϵ_{PS}

La présentation des résultats du paragraphe précédent amène une constatation quasiment univoque. La P_% apparaît comme le paramètre physique majeur régissant ϵ_{PS} . Cette dernière est d'autant plus faible que la P_% est élevée. Deux tendances sont principalement pratiquées pour modéliser ce comportement : Vegard et Bruggeman.

3.3.1.1 Loi de Vegard

La loi de Vegard considère le PS comme un mélange homogène entre Si et l'air. De fait ϵ_{PS} est lié linéairement à la P_% à partir des constantes diélectriques de l'air (ϵ_{air}) et du Si massif (ϵ_{Si}) selon la formule :

Équation 3.5
$$\epsilon_{PS} = \epsilon_{Si} + P_{\%}(\epsilon_{air} - \epsilon_{Si})$$

Cette loi a notamment permis d'interpréter les résultats publiés par Zimin *et al.* [163]. Les structures étudiées s'apparentaient à celle présentée en Figure 106 pour des substrats multiples, de type N ou P et ρ_{Si} variant de 0,01 à 7,5 Ω.cm. Les P_% des échantillons s'étaient de 30 à 68 %.

Kim *et al.* ont également utilisé cette relation avec succès pour commenter leurs évolutions de ϵ_{PS} avec la $P_{\%}$ [162]. Dans leur cas, ϵ_{PS} a été déduite de mesures RF sur des lignes coplanaires formées sur des substrats PS de différentes $P_{\%}$.

Cox *et al.* ont complété les résultats de Zimin *et al.* par un ensemble de données issues d'autres équipes de recherche avec notamment des $P_{\%}$ supérieures à 60 % [198]. Au-delà de 60 %, Vegard surestime les résultats. La loi de Bruggeman serait probablement plus adaptée. Il est aussi possible que la présence de SiO_2 abaisse artificiellement ϵ_{PS} . Ce cas de figure est également discuté dans le prochain paragraphe.

3.3.1.2 Loi de Bruggeman

L'approximation de Bruggeman trouve ses origines dans les théories des milieux effectifs (EMT/EMA : Effective Medium Theory/Approximation, [199]). Ces dernières correspondent en fait à des descriptions de matériaux composites, s'appuyant sur les propriétés physiques des constituants et leur fraction relative dans le milieu. En appliquant ces préceptes à la constante diélectrique et en supposant une géométrie des pores de type cylindrique ($n = 1$) ou sphérique ($n = 2$), on aboutit à l'expression 3.6 ci-dessous liant $P_{\%}$, ϵ_{air} , ϵ_{Si} et ϵ_{PS} [161, 200]) :

$$\text{Équation 3.6} \quad P_{\%} \frac{\epsilon_{air} - \epsilon_{PS}}{\epsilon_{air} + n \cdot \epsilon_{PS}} + (1 - P_{\%}) \frac{\epsilon_{Si} - \epsilon_{PS}}{\epsilon_{Si} + n \cdot \epsilon_{PS}} = 0$$

Le modèle de Bruggeman cylindrique n'a pas été reporté dans les Figures 108, 109, 110 et 111. Les constantes diélectriques issues de ce modèle sont en effet trop faibles pour représenter correctement nos données expérimentales. Dans la suite de la discussion, le modèle de Bruggeman sera uniquement associé à sa définition sphérique ($n = 2$).

Badoz *et al.* ont montré que Bruggeman reproduisait les tendances observées sur ϵ_{PS} en fonction de la $P_{\%}$ [161]. Leur étude s'appuyait essentiellement sur des mesures de transmission optiques réalisées sur des échantillons de PS auto-supportés (c'est-à-dire sans le substrat à partir duquel ils sont formés). Quelques mesures de capacité sur des structures équivalentes à celle décrite en Figure 105 ont également été intégrées parmi les données. Deux substrats de type P ont été analysés : 1 $\Omega \cdot \text{cm}$ et 0,01 $\Omega \cdot \text{cm}$. L'intervalle de $P_{\%}$ exploré s'étendait de 60 à 90 %.

Astrova *et al.* ont quant à eux étendu l'approximation de Bruggeman pour un système comprenant trois phases [200]. Cette configuration est nécessaire pour estimer l'impact d'une phase SiO_2 supplémentaire sur ϵ_{PS} . Plusieurs couches atomiques de SiO_2 sont en effet souvent formées sur les parois des pores, sachant qu'un séchage des échantillons à l'air libre suffit pour en obtenir. Certains chercheurs ont par ailleurs volontairement ajouté une étape d'oxydation du PS pour en accroître les performances diélectriques. Astrova *et al.* ont ainsi reproduit le comportement de l'indice de réfraction

du PS à partir de résultats trouvés dans la littérature. Le modèle a également été validé sur leurs propres échantillons PS formés par « stain etching », à partir d'un substrat N fortement dopé et oxydé à différentes T.

Toujours sur la base des approximations EMA, Campos *et al.* ont utilisé les équations de Maxwell Garnett, ainsi que Bruggeman pour des pores de forme ellipsoïdale [201]. Deux prototypes formés sur substrat P et de P% de l'ordre de 45 et 66 % ont été étudiés par voie optique. Maxwell Garnett reproduit correctement l'indice de réfraction du cas le plus poreux, alors que Bruggeman semble plus judicieux lorsque les fractions de Si massif et d'air sont semblables.

Enfin, Pan *et al.* ont mis en œuvre une approche encore différente par rapport à Vegard ou Bruggeman. Ils ont décomposé leur structure PS en plusieurs capacités montées en série et/ou en parallèle en prenant en compte trois phases : l'air, le Si massif et le SiO₂ [165]. Cette approche leur a permis d'obtenir une bonne concordance au niveau de ϵ_{PS} entre leur modèle et plusieurs travaux dont ceux de Badoz *et al.* [161] et Adam *et al.* [164] inclus dans l'analyse de Cox *et al.* [198].

3.3.2 Phénomènes de discontinuité dans la relation liant P% et ϵ_{PS}

Une bonne partie de nos résultats s'inscrivent donc tout à fait dans la lignée de ceux rencontrés dans la littérature, puisque la corrélation ϵ_{PS} en fonction de la P% se positionne entre les deux lois de Vegard et Bruggeman (Cf. Figure 108). Néanmoins, certains points s'en démarquent et parfois très nettement. Ces « anomalies » se produisent essentiellement à basse P% pour le substrat 10 - 15 mΩ.cm. Des points atypiques apparaissent aussi pour les plus faibles et les plus fortes P% obtenues à partir du cas 80 - 120 mΩ.cm.

Adam *et al.* ont également observé une rupture au niveau de leur tracé ϵ_{PS} en fonction de la P% [164]. Deux familles de PS ont été considérées. A partir d'un substrat P de résistivité 5,1 - 6,9 Ω.cm, un premier type de PS de morphologie spongieuse est formé (A). En conservant le même substrat de base, mais en ajoutant une diffusion de bore de l'ordre de $5.10^{18} \text{ cm}^{-3}$ du côté de la surface à rendre poreuse, un second cas de PS à structure colonnaire est obtenu (B). Les échantillons (A) suivent une loi de Vegard sur toute la plage de P% étudiée, c'est-à-dire de 40 à 80 %. Les prototypes (B) suivent cette même tendance seulement pour P% = 60 %. En deçà de cette P%, de fortes ϵ_{PS} sont atteintes. Ces résultats s'accordent avec nos travaux.

Anderson *et al.* n'ont pas cherché à extraire ϵ_{PS} de leurs mesures de capacité. Néanmoins, les résultats présentés et l'interprétation proposée semblent pouvoir expliquer nos observations relatives aux faibles P% issues des substrats 10 - 15 mΩ.cm [202]. Anderson *et al.* ont considéré des structures identiques à la Figure 105 pour des substrats de type P⁻ et P⁺. Pour des surfaces de plot similaire (4.10^{-4} cm^2), une t_{PS} quasiment constante ($\approx 2,5 \text{ } \mu\text{m}$), des P% évaluées à 36 et 23 % respectivement

pour P^- et P^+ , les échantillons P^- présentent une capacité à zéro volt de 0,5 pF, contre 15 pF pour les cas P^+ . Cet écart est justifié selon un modèle simple de déplétion décrit sur la Figure 113. A zéro volt, la ZCE à l'origine de la capacité est induite par deux effets : le développement d'une ZCE apportée par un contact métal de type Schottky et la présence de charges positives piégées sur les parois des pores. Le déploiement de ces deux composantes de la ZCE se caractérise respectivement par les épaisseurs δ_1 et δ_2 . Dépendamment du dopage substrat (N_A), de la densité de charges surfaciques (Q_{PS}) et de l'espacement inter-pores (d), la couche de PS peut être totalement ou partiellement vidée de porteurs libres. En situation de déplétion incomplète (Figure 113a), la capacité est bien entendu dominée par les portions où la ZCE est la plus fine, c'est à dire en vis-à-vis des régions inter-pore sans champ électrique (indiquées par des cercles rouges sur la Figure 113a). Lorsque δ_1 et δ_2 sont suffisamment importantes, le champ électrique se distribue sur tout le volume de PS et la capacité de la structure est alors régie tel que décrit précédemment avec les lois de Vegard ou Bruggeman. (Figure 113b) A noter qu'en toute rigueur, dans l'expression de la capacité de la structure (Cf. équation 3.4), l'épaisseur δ_2 vient s'ajouter à t_{PS} .

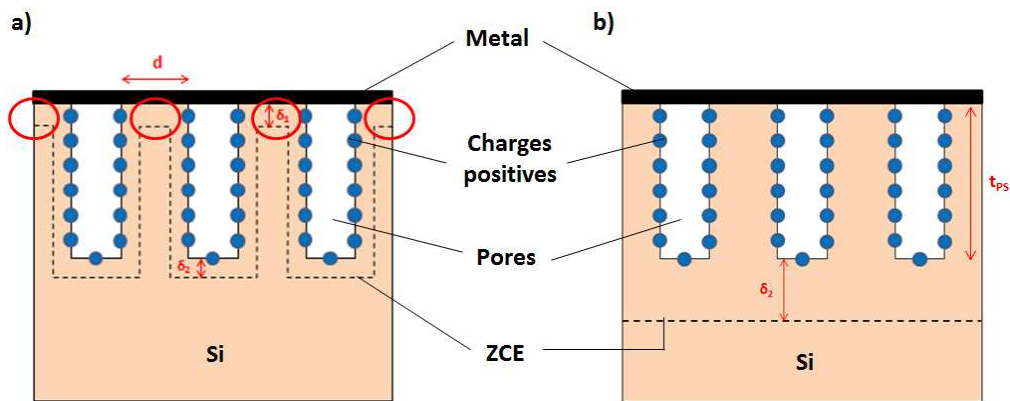


Figure 113 : Distribution du champ électrique dans une couche de PS : a) déplétion partielle b) déplétion complète (selon [202]).

Dans le cas d'un substrat 6 - 12 $\Omega \cdot \text{cm}$, si l'on considère une densité de charge à la surface des pores s'étalant entre $1 \cdot 10^{11} \text{ cm}^{-2}$ et $1 \cdot 10^{13} \text{ cm}^{-2}$, la largeur de la ZCE (W) dépasse un micromètre (Cf. Figure 114). Or pour de tels dopages, la taille des cristallites du PS ne dépasse pas les quelques nanomètres. La couche de PS est donc systématiquement complètement vide de porteurs. Pour les substrats 80 - 120 $\text{m}\Omega \cdot \text{cm}$ et 10 - 15 $\text{m}\Omega \cdot \text{cm}$, W peut descendre sous la dizaine de nanomètres. Ce dimensionnel reste supérieur à celui des microstructures issues du cas 80 - 120 $\text{m}\Omega \cdot \text{cm}$ (Cf. paragraphe 1.6.2.2). Par contre, une déplétion partielle semble tout à fait plausible avec la morphologie des couches de PS construites depuis un dopage 10 - 15 $\text{m}\Omega \cdot \text{cm}$ (Cf. paragraphe 1.6.2.3).

La description d'Anderson *et al.* permet au final de comprendre l'origine des déviations observées sur la Figure 108 pour les plus faibles $P\%$. La mesure de capacité peut donc être très utile pour identifier

les mécanismes de conduction opérant dans les couches de PS issues d'un substrat P. D'un autre côté, elle ne permet pas d'estimer la capacité d'une couche PS faiblement poreuse.

Les échantillons associés au substrat 80 - 120 mΩ.cm présentent également des irrégularités au niveau des P% extrêmes. Le modèle d'Anderson ne peut pas s'appliquer à ce type de texture PS (Cf. paragraphe 1.6.2.2). L'hypothèse la plus plausible pour expliquer ce comportement serait plutôt une inhomogénéité de la couche de PS. Dans une telle configuration, le champ électrique aura tendance à se distribuer préférentiellement sur les parties les plus poreuses et non sur l'épaisseur complète du PS. Une augmentation artificielle de la capacité, et par conséquent de ϵ_{PS} extraite, sera donc relevée (Cf. paragraphe 3.2.3). Deux mécanismes sont possibles. Premièrement, plus J_{ano} est élevée et plus la P% augmente de la surface vers l'interface PS / substrat. Deuxièmement, une couche de P% distincte par rapport au volume a été relevée sur la majeure partie des échantillons, un désaccord de P% suffisamment prononcé pourrait également conduire aux résultats de forte capacité observés. Par ailleurs, cette inconstance structurelle au sein de la couche PS permet de relativiser les résultats de la Figure 112. Le procédé de gravure Al n'est probablement aucunement responsable des discontinuités observées sur la relation $\epsilon_{PS} = f(P\%)$.

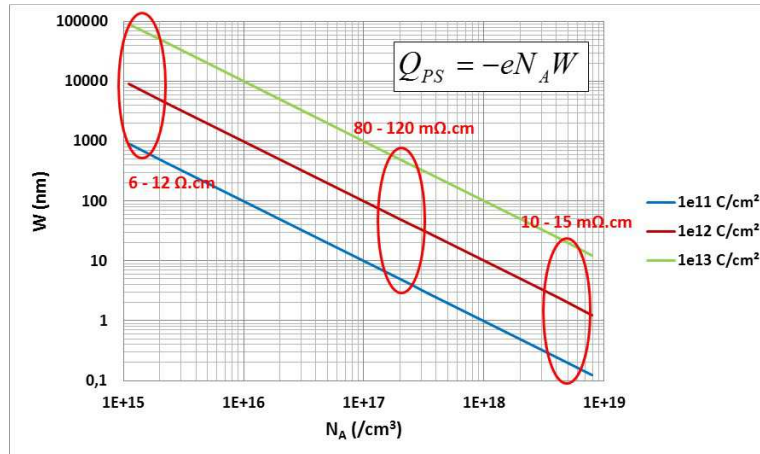


Figure 114 : Largeur de la ZCE (W) en fonction d'un dopage substrat de type P (N_A) et de la densité de charges positives à la surface des pores (Q_{PS}).

4. Résistivité du micro / méso-PS type P (ρ_{PS})

4.1 Mécanismes de transport dans le micro / méso-PS

4.1.1 Cristallinité et gap du micro / méso-PS (Δ_{PS})

Compte tenu du dimensionnement des nanostructures de Si constituant le micro / méso-PS (du nanomètre à quelques dizaines de nanomètres), on pouvait s'interroger sur la conservation de leur nature cristalline. De multiples études ont été menées et ont démontré que le micro / méso-PS se composait de nano-

cristallites interconnectées les unes aux autres. Citons notamment la publication de Cullis *et al.* Synthétisant l'essentiel des travaux menés sur le sujet [203].

Ces cristallites sont supposées jouer un rôle prépondérant au niveau du comportement observé en photoluminescence (PL). Le mécanisme PL serait alors majoritairement attribué à un confinement quantique des porteurs dans les cristallites [44, 173, 204, 205, 206]. Il découle de ce constat un élargissement du gap PS (Δ_{PS}) par rapport au substrat Si de base. Cet accroissement évolue en fonction de la taille des cristallites. Pour des tailles supérieures à 5 nm, aucun effet n'est attendu. Ensuite, Δ_{PS} augmentera d'autant plus que la taille des cristallites sera faible [207, 208, 209]. Une oxydation à la surface des pores peut conduire à une atténuation du phénomène, du fait de la présence de centres de recombinaison non radiatifs à l'interface entre SiO₂ et les cristallites Si. Par ailleurs, la taille des cristallites n'étant généralement pas homogène, il peut en résulter une fluctuation de Δ_{PS} au sein de la structure.

Il convient également de préciser que l'efficacité de l'émission PL peut être limitée par la présence de centres non radiatifs positionnés dans la bande interdite du PS [210]. Ces pièges jouent également un rôle déterminant au niveau des propriétés électriques du PS, nous en discuterons plus en détail dans les prochains paragraphes.

4.1.2 ρ_{PS} et température critique (T_c)

Le comportement de ρ_{PS} avec T se décompose en règle générale en deux régions. Sous une température critique, ρ_{PS} évolue faiblement avec T. Au-delà de T_c , ρ_{PS} suit une loi d'Arrhenius :

Équation 3.7
$$\rho_{PS} = \rho_0 \cdot \exp\left(-\frac{E_A}{k.T}\right)$$

E_A représente l'énergie d'activation de ρ_{PS} avec T et ρ_0 le pré-facteur.

Selon l'étude de Mikrajuddin *et al.*, T_c serait dépendante de la taille moyenne des cristallites et de leur distribution [211]. Ces travaux ont été validés pour des échantillons PS dont les tailles de cristallites moyennes ont été estimées à 1,3 et 3,3 nm et pour lesquels T_c correspondait respectivement à 310 et 230 K. Des valeurs de T_c du même ordre ont également été rapportées par les publications listées dans le Tableau 12 à l'exception de [185] où T_c atteint 565 K, néanmoins la distribution de la taille des cristallites étant inconnue, la cohérence avec les résultats de Mikrajuddin *et al.* est tout à fait plausible.

4.1.2.1 ρ_{PS} à $T > T_c$

Le Tableau 12 recense plusieurs travaux décrivant une activation de ρ_{PS} . Pour chaque référence, les caractéristiques du substrat à partir duquel le PS est formé (type, orientation et ρ_{Si}) sont rappelées ainsi

que les propriétés physiques du PS ($P\%$, taille des cristallites, t_{PS}). E_A , ρ_0 et T_c sont donnés sur la plage de T étudiée.

Tableau 12 : liste de publications relatant une activation de ρ_{PS} .

REF	Substrat Type P		Propriétés physiques PS			Activation			
	Orientation	$\rho_{Si}(\Omega.cm)$	$P\%$ (%)	Taille cristallites (nm)	$t_{PS}(\mu m)$	Plage Températures (K)	E_A (eV)	$1/\rho_0$ ($\Omega^{-1}.cm^{-1}$)	T_c (K)
[195]	100	5	?	≈ 5	10	100 - 350	0,45	1.10^{-4}	200
[169]	111	0,005	30	> 10	1,5 - 30	240 - 300	0,55	2.10^{-2}	?
						300 - 350	1,25 - 1,55	?	?
[212]	?	10	65 - 85	?	1,1 - 7,2	98 - 346	0,26 ⁽¹⁾	$\approx 5.10^{-7}$	?
							0,36 ⁽²⁾	$\approx 1.10^{-8}$	?
[170]	100	15	?	3,5	10	298 - 480	0,38	$1,2.10^{-6}$	?
	100	4	?	3	16		0,67	$5,1.10^{-4}$	?
	100	0,3	?	2,5	8		0,67	$3,5.10^{-3}$	?
[213]	100	10	70	> 50	6	100 - 300	0,35	?	245
[194]	100	0,01	50	?	9	250 - 400	0,4	?	?
[173]	111	0,1 - 0,2	?	?	40	77 - 300	0,64	?	200
[175]	111	8 - 11	?	?	3 - 50	78 - 300	0,2	?	200
[178]	111	0,03	18 - 30	?	15 - 60	200 - 350	0,2 - 0,8	?	200
						350 - 400	0,6 - 1,2	?	
[214]	100	6 - 10	?	2,5 - 3	?	15 - 450	0,51	?	300
[184]	100	1,72-2,58	40 - 80	3 - 6	25 ⁽³⁾	140 - 400	0,3 - 1,01	$1.10^{-2} - 1.10^4$	?
[185]	100	1 - 25	?	1,8	15	300 - 800	0,79	7.10^1	565
[215]	?	0,01	?	4	5	160 - 360	1,03	?	310
	?	0,005	?	10	10		0,71	?	240

(1) PS oxydé

(2) PS oxydé après vieillissement

(3) à $P = 40\%$

La majorité des énergies d'activation obtenues varie entre 0,2 et 1 eV. Seuls Balagurov *et al.* [169] et Zimin *et al.* [178] ont extrait de leurs analyses des énergies supérieures. Ces deux équipes ont travaillé sur du méso-PS de faible $P\%$ ($< 30\%$), où un agrandissement de Δ_{PS} est exclu compte tenu de la taille des cristallites (> 10 nm). Une double activation est également observée. E_A reste en effet inférieur à 1 eV en deçà de 300 K et 350 K respectivement pour [169] et [178], puis augmente fortement. Le mécanisme de transport évoqué par Balagurov *et al.* dans ces structures correspond au cas décrit sur les Figures 113a et b. Lors de l'anodisation, de l'hydrogène viendrait passiver les dopants contenus dans les cristallites. Le niveau de Fermi est ainsi repoussé en milieu de bande de manière équivalente à du Si intrinsèque. Si l'espacement entre les pores est tel que les ZCE ne se rejoignent pas, le mode de transport demeure équivalent à celui du Si massif (cas de la Figure 113a). Sinon, la présence des pièges en surface (Hydrogène) génère des champs électriques locaux, qui viennent moduler les bandes et contribuer ainsi à l'apparition de queues de bandes. Le transport se ramène alors à la première loi MNR (Meyer Neldel Rule) décrite ci-dessous (cas de la Figure 113b). Pour atteindre de fortes E_A , on évoque une modification structurelle au niveau des cristallites impliquant la dissociation de complexes Si – H – B.

Dans le cas où E_A reste inférieure à 1 eV, en exploitant les résultats disponibles dans la littérature (E_A et ρ_0) et en s'appuyant sur le formalisme MNR, Lubianiker *et al.* ont abouti à la conclusion que seuls deux types de transport officiaient dans le PS [166]. Le premier s'apparente à celui observé pour le Si amorphe hydrogéné. La conduction se produit dans le tissu entourant les cristallites, via des queues de

bande et des centres profonds où serait épinglé le niveau de Fermi (E_F). Selon Ben Chorin *et al.*, le PS dispose en effet d'une densité d'état effective de l'ordre de $1.10^{19} \text{ cm}^{-3} \cdot \text{eV}^{-1}$ à E_F [188]. La Figure 115 schématise les densités d'états des queues de bandes de conduction (E_C) et valence (E_V), ainsi que les transitions électroniques (E_A) entre E_F et l'énergie moyenne des électrons dans la bande de conduction (E_T) en accord avec ce premier mode de transport. Ajoutons également qu'après avoir été activés thermiquement, les électrons progressent dans le tissu en sautant de site en site dans la queue de bande de conduction (Cf. second mode de transport ci-dessous).

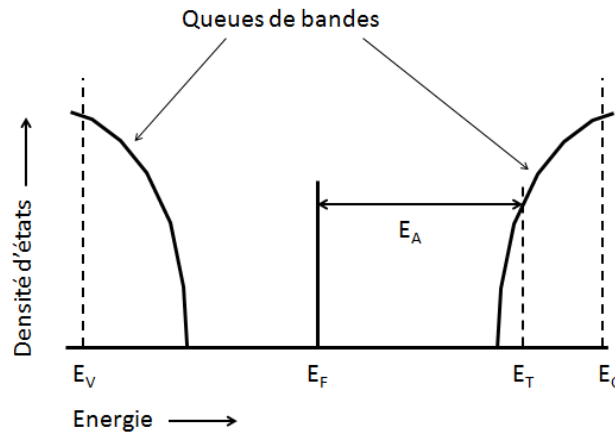


Figure 115 : Schématisation de la densité d'état en fonction de l'énergie dérivée du diagramme de bandes du Si amorphe hydrogéné [185].

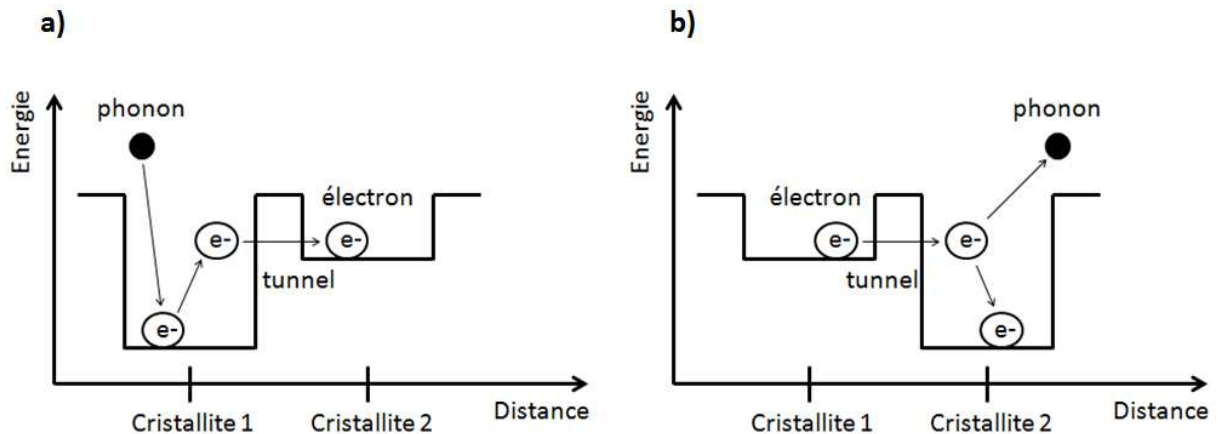


Figure 116 : Transport de charges (électrons e^-) par saut entre cristallites voisins lorsque le niveau initial est plus bas en énergie par rapport à l'état final (a) et inversement (b).

Le second type de conduction susceptible d'apparaître dans le PS correspondrait à des sauts d'électrons (Hopping) entre cristallites voisins. Ce transport de charges s'effectue par effet tunnel entre deux états d'énergie localisés soit à proximité du niveau de Fermi, soit dans les queues de bande

et nécessite l'implication de phonons. La Figure 116 illustre les cas où le transfert s'effectue d'un état initial énergétiquement plus bas par rapport au niveau final (a) et la situation inverse (b).

4.1.2.2 ρ_{PS} à $T < T_c$

En deçà de T_c , ρ_{PS} évolue peu avec T . Deux types de conduction sont encore observés. A basse T , les porteurs se déplacent d'un état localisé à un autre par des sauts à distance variable (VRH : Variable Range Hopping). Ce mécanisme de conduction se caractérise selon l'expression générale suivante [216]:

Équation 3.8 $\rho_{PS} = \rho_0 \cdot \exp\left(-\frac{T_0}{T}\right)^m$

T_0 est appelée température de Mott, elle est fonction de la longueur de localisation des porteurs (dimension caractéristique du site dans lequel est contenu la charge) et de leurs densités à E_F .

Le paramètre m traduit la dimensionnalité du système (2D ou 3D). La loi de Mott (VRH_M) se caractérise par $m = 1/4$, les interactions coulombiennes entre sites chargés sont alors négligées. Lorsque ces derniers sont pris en compte, on parle alors d'une loi Efros-Shklovskii (VRH_ES) avec $m = 1/2$.

Le mécanisme VRH diffère de la conduction par saut évoquée dans le chapitre précédent 4.1.2.1 par le fait que le transfert de charges d'un site à un autre n'est plus seulement fonction de la distance séparant les deux sites mais également de leur différence énergétique. De fait, un saut entre deux sites éloignés, mais dont les états d'énergie sont proches, devient probable.

Islam *et al.* ont observé sur des échantillons PS, dont la taille des cristallites s'étale entre 2,5 et 3 nm, des conductions VRH_M et VRH_ES respectivement de 140 à 180 K et de 15 à 120 K [214]. Ces mêmes auteurs rapportent également un comportement de type Berthelot entre 180 et 280 K. Les vibrations thermiques entraînent une variation des distances entre sites voisins et donc un changement de la probabilité de transition des porteurs d'un site à un autre. La loi Berthelot s'exprime alors selon l'expression ci-dessous [217]:

Équation 3.9 $\log(\rho_{PS}) = a \cdot T + b$

Les coefficients a et b sont des variables empiriques.

Mares *et al.* ont également retrouvé ce même mode de transport entre 200 et 300 K sur leurs échantillons méso-PS (taille de cristallites autour de 10 nm et $P\% = 70\%$) [217]. Les travaux de Deresmes *et al.* ont aussi permis d'identifier ce type de conduction entre 180 et 300 K sur des échantillons dont la $P\%$ s'élevait à 45 % et probablement de type méso-poreux compte tenu de ρ_{Si} (10 m Ω .cm) [172].

Bien entendu ces mécanismes ne sont pas attendus dans le cadre de nos caractérisations puisque nous nous sommes limités à l'intervalle de T 300 - 475 K.

4.1.3 Influence du champ électrique sur ρ_{PS} (cas du micro / méso-PS)

4.1.3.1 Relation de Poole Frenkel

Ben Chorin *et al.* ont relevé une dépendance en tension sur ρ_{PS} . Leur étude portait sur du méso-PS (taille de cristallites de 3 à 5 nm). L'utilisation de la relation de Poole Frenkel ci-dessous pour exprimer la conductance PS (G_{PS}) a permis une bonne reproduction des résultats [167]:

$$\text{Équation 3.10} \quad G_{PS}(V, T) = G_0 \cdot \exp\left(\frac{-E_A}{k.T}\right) \cdot \exp\left[\left(\frac{V}{V^*}\right)^{1/2}\right]$$

V^* est définie telle que:

$$\text{Équation 3.11} \quad \sqrt{V^*} = \frac{k.T}{e} / \left(\frac{e}{\pi \cdot \epsilon_0 \cdot \epsilon_{PS} \cdot t_{PS}} \right)^{1/2}$$

Cette loi traduit un transport assisté par le champ électrique des charges piégées dans des puits de potentiel. Elle se caractérise par une évolution du logarithme de G_{PS} selon la racine carrée de la tension. A basse T, le terme $G_0 \cdot \exp\left(\frac{-E_A}{k.T}\right)$, typique d'une conduction par saut telle que discutée dans le paragraphe 4.1.2.1, est dominant. Et plus T augmente, plus l'effet Poole Frenkel est susceptible d'influencer les caractéristiques I - V.

4.1.3.2 SCLC (Space Charge Limited Current)

Plusieurs auteurs décrivent la présence de phénomènes SCLC (Space Charge Limited Current) dans leurs caractéristiques I - V de structures métal / PS / Si / métal [169, 175, 193, 197, 218]. Dans le cadre des études [169] et [218], la couche PS provient d'un substrat fortement dopé (entre $2 \cdot 10^{18}$ et $2 \cdot 10^{19} \text{ cm}^{-3}$), on s'attend alors à des tailles de pores supérieures à 10 nm. Des $P_{\%}$ de 30 et 50 %, respectivement pour [169] et [218], sont mentionnées. Les travaux [175], [193], et [197] traitent, quant à eux, de PS à forte $P_{\%}$ (> 60 %) et de substrats résistifs ($\approx 10 \Omega \cdot \text{cm}$), pour lesquels des diamètres de pores inférieurs à 10 nm sont généralement observés. A noter également que [193] évoque un mécanisme SCLC pour des structures PS formées depuis un substrat hautement résistif (> 20 k $\Omega \cdot \text{cm}$). La conduction SCLC apparaît donc sur des morphologies et $P_{\%}$ variées.

L'injection de courant dans les isolants est un mécanisme complexe [219]. On distingue la simple injection de porteurs de la double par le nombre de type de charges (électron ou trou) introduit dans l'isolant. La Figure 117 illustre le cas d'un régime de conduction SCLC à simple porteur. Les caractéristiques I - V réelles (représentées par des tirets sur la Figure 117 à la fois pour des niveaux

profonds et superficiels) sont en fait encadrées par trois lois. La première est dite « carrée sans piège », elle est obtenue dans le cas d'un isolant parfait sans piège et avec une densité de porteurs libres négligeable. Elle s'exprime selon la formule 3.12.

Équation 3.12 $J \propto \varepsilon \cdot \mu \frac{V^2}{L^3}$

Les termes ε , L et μ représentent respectivement la constante diélectrique de l'isolant, son épaisseur et la mobilité des porteurs libres.

En présence de porteurs libres générés thermiquement et/ou résultant d'un processus d'équilibre thermique avec des pièges, la loi d'Ohm s'applique :

Équation 3.13 $J = e \cdot n_0 \cdot \mu \frac{V}{L}$

Le paramètre n_0 représente la densité de porteurs libres.

Dans l'hypothèse (non réaliste) où tous les pièges seraient saturés, les charges en excès nécessitent l'application d'une tension V_{TFL} pour initier le passage du courant. On parle de loi TFL (Trap Filled Limit). La tension V_{TFL} s'exprime telle que :

Équation 3.14 $V_{TFL} = \frac{e \cdot N_t \cdot L^2}{2 \cdot \varepsilon}$

N_t représente la densité de pièges présente dans l'isolant à un niveau d'énergie donné E_t .

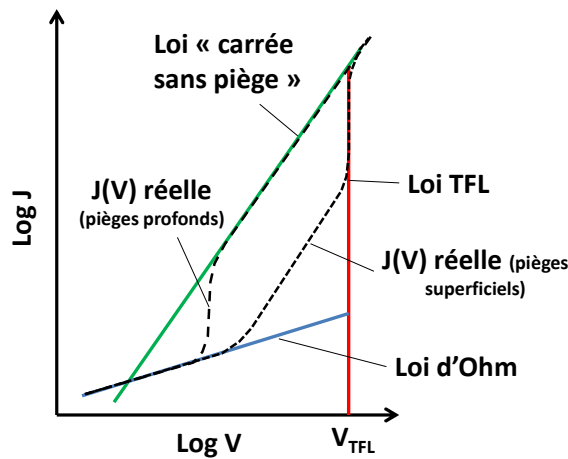


Figure 117 : Caractéristiques I - V schématisées d'un régime de conduction SCLC à simple porteur dans le cas de pièges profonds et superficiels.

La situation se complexifie dès lors que l'on cherche à considérer des phénomènes de diffusion, ou quand la distribution énergétique des pièges n'est plus singulière mais plutôt de type gaussienne, ou

encore à partir du moment où les deux types de porteurs sont injectés dans l'isolant. Dans ce dernier cas, les recombinaisons électron / trou doivent être prises en compte [219].

Les publications mentionnées au début de ce paragraphe évoquent toutes une dépendance des caractéristiques I - V en V^2/L^3 , typique de la loi « carrée sans piège ». Cette dernière étant précédée au préalable par un comportement ohmique. La description donnée en Figure 117 semble donc refléter les comportements expérimentaux observés.

4.2 Rôle des interfaces sur les I - V de structures métal / PS / Si / métal

Les allures des caractéristiques I - V de structures métal / PS / Si / Métal sont fortement influencées par le comportement aux interfaces métal / PS et PS / Si. Les deux paragraphes suivants ont pour but de synthétiser les principaux résultats obtenus dans ce domaine.

4.2.1 Interface métal / PS

4.2.1.1 Contact ohmique ou quasi ohmique

L'emploi de l'Al pour contacter les couches de PS a déjà été discuté dans le paragraphe 1.4. En règle générale, en l'absence de couche intermédiaire entre Al et PS, le contact est jugé suffisamment linéaire pour ne pas perturber les caractéristiques I - V. Ajoutons également les résultats de Kanungo *et al.* qui améliorent l'ohmicité de l'interface Al / PS par un traitement au palladium (Pd), leurs travaux portaient sur du micro / méso-PS obtenu depuis un substrat de type P [220].

Ce comportement semble également pouvoir se transcrire sur d'autres types de métallisation. Kaganovitch *et al.* n'ont en effet pas pu mettre en évidence de différence notable sur la barrière métal / PS dépendamment que le film utilisé soit de l'Al, du cuivre (Cu), de l'indium (In) ou encore de l'or (Au). La couche poreuse a été obtenue par « stain etching » dans une solution HF (49 %) : HNO₃ (70 %) : H₂O (1 : 3 : 5) et présente une t_{PS} de l'ordre du micromètre. La morphologie PS est décrite comme nano-poreuse [221]. Des résultats similaires ont été obtenus par Pulsford *et al.* avec des dépôts de calcium (Ca), de magnésium (Mg), d'antimoine (Sb) et de Au [171]. Néanmoins, l'influence de la barrière devient visible lorsque la polarisation atteint un niveau suffisant pour se distribuer à la fois sur l'interface métal / PS et sur le volume PS. Peu d'informations sont données au niveau de la structure PS, on indique seulement t_{PS} (1,5 μ m) et ρ_{Si} (25 Ω .cm). Par ailleurs, l'observation de PL suggère la présence de cristallites de petites tailles (< 5 nm).

Ces études pointent le positionnement de E_F sur les états de surface présents en fortes concentrations sur les parois des pores, limitant ainsi les courbures de bande sur l'interface métal / PS. Ce constat semble d'autant plus justifié sur des structures micro / méso-poreuses.

4.2.1.2 Contact redresseur

Une première catégorie d'études mentionnant un contact redresseur au niveau de l'interface métal / PS évoquent également la présence d'une couche intermédiaire. Pour Deresme *et al.* [172] ainsi que Cadet *et al.* [176], une fine couche de SiO₂ natif se serait interposée entre métal et PS. Ces deux équipes ont travaillé sur un silicium supposé méso-poreux compte tenu du dopage substrat ($> 1.10^{18} \text{ cm}^{-3}$), se caractérisant par des P_% comprises entre 45 et 50 % et des t_{PS} allant de 2 à 30 μm. Selon Deresme *et al.*, cet oxyde engendrerait une dépendance de la hauteur de barrière avec la tension appliquée. Les observations MEB réalisées sur nos structures (Cf. paragraphe 1.6.2) n'ont pas mis en évidence de SiO₂ entre Al et PS, ce cas de figure n'est donc pas réaliste vis à vis de nos expérimentations.

Toujours sur une morphologie PS de type méso-poreuse, Zimin *et al.* évoquent quant à eux la présence d'un film amorphe résultant du procédé d'anodisation [180]. Zimin *et al.* ont alors considéré une barrière à l'interface métal / PS pour reproduire leurs courbes I - V expérimentales. La présence d'une telle couche n'est pas à exclure sur nos échantillons et notamment ceux élaborés à partir des substrats 80 -120 mΩ.cm. Aucune cristallinité n'a en effet pu être mise en évidence sur l'analyse TEM de la couche superficielle issue de la plaquette test B_J10_D35_H (Cf. paragraphe 1.6.2.2).

Dimitrov discute lui aussi l'impact d'une couche d'interphase entre métal et PS [187]. Peu d'indications sont données sur les propriétés physiques du PS, l'utilisation d'un substrat de résistivité 50 Ω.cm laisse supposer une structure macro-poreuse remplie de micro-pores. Selon Dimitrov, la présence de cette barrière à l'interface PS / Si influe sur les caractéristiques I - V notamment en inverse. Des centres profonds entraîneraient une génération de porteurs dans la ZCE du PS. Le courant serait alors une fonction de la racine carrée de la tension.

Le comportement redresseur semble également pouvoir se produire sans identification d'une couche isolante superficielle. En effet, pour des morphologies PS se caractérisant par des tailles de cristallites supérieures à 10 nm, ce qui est généralement le cas pour du méso-PS formé à partir d'un substrat bien dopé ($> 1.10^{18} \text{ cm}^{-3}$), un contact non linéaire peut être rapporté. Les études [202], [218] et [222] s'inscrivent dans ce cas de figure. Le transport des charges au sein de la couche PS semble alors pouvoir se décrire tel que présenté sur la Figure 113a (Cf. paragraphes 3.3.2 et 4.1.2.1). Un canal résistif est modulé par la ZCE induite par les charges localisées à la surface des pores. En règle générale, ces structures sont fortement dépendantes du milieu extérieur. Ce dernier peut en effet influencer sur les états de surface et donc modifier la largeur du chemin de conduction [222]. Dépendamment de la nature du film métallique déposé, un contact ohmique ou Schottky peut être favorisé. Les études [178] et [222] se rapprochent des trois cas cités précédemment, dans le sens où les échantillons PS analysés présentent des caractéristiques physiques similaires. Néanmoins, les auteurs rapportent une interface métal / PS ohmique. Concernant [222], ce comportement est attribué à la

présence d'une couche superficielle fortement résistive. Pour [178], la suppression d'une pellicule amorphe est mentionnée.

Pour conclure ce paragraphe, il est clair que le traitement de surface semble primordial pour assurer un comportement linéaire entre métallisation et PS. Il est également évident que la présence d'une barrière à l'interface métal / PS, qu'elle soit de nature Schottky ou la conséquence d'une couche isolante intermédiaire, perturbe l'exploitation des caractéristiques I - V et notamment l'extraction de ρ_{PS} .

4.2.2 Interface PS / Si

Les paragraphes suivants se focaliseront sur le transport à l'interface PS / Si pour le cas des morphologies poreuses se caractérisant par une taille de cristallites de petites tailles (typiquement inférieure à 10 nm). Les autres cas de figure semblent pouvoir être traités conformément au schéma de la Figure 113a, c'est-à-dire par le biais de chemins résistifs inter-pores (Cf. paragraphes 1.4 et 4.2.1.2).

4.2.2.1 Modélisation de Ben Chorin (Mésopore sans élargissement de Δ_{PS})

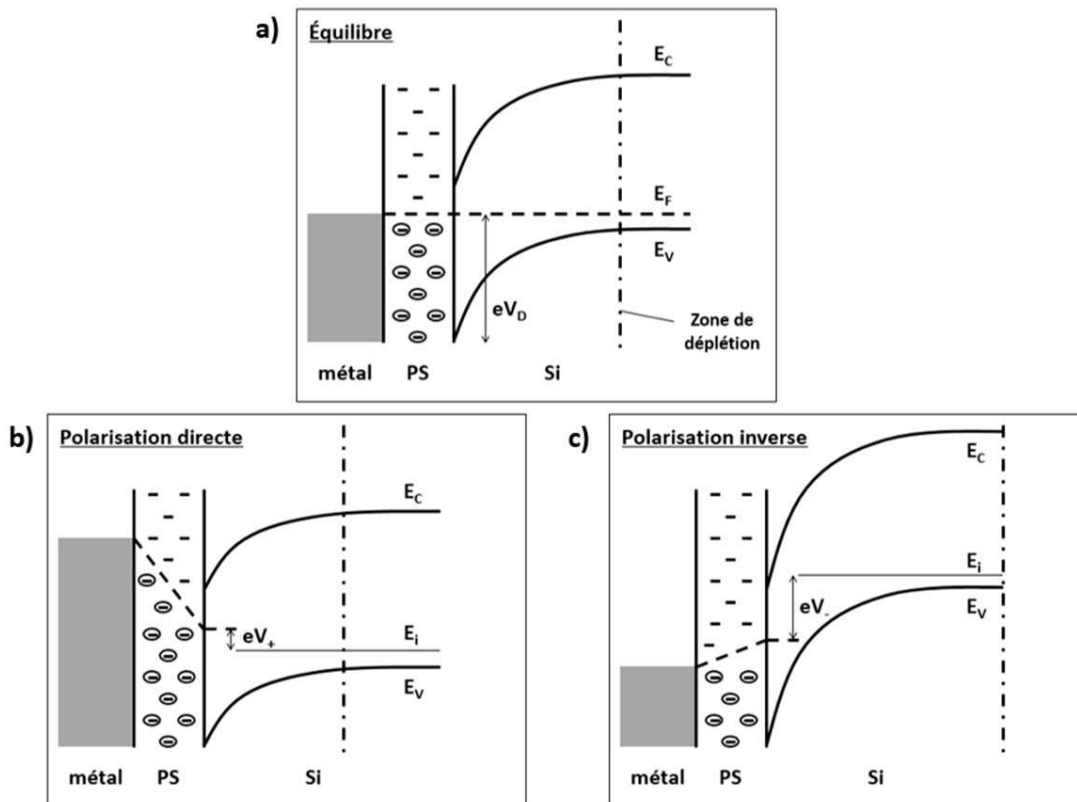


Figure 118 : Diagramme de bandes d'une interface Mésopore / Si : a) à l'équilibre b) en polarisation directe c) en polarisation inverse (selon [188]). Le Si est ici de type P.

L'interface PS / Si serait assimilable à une diode Schottky [188]. Une forte densité d'états effective existerait à E_F , de l'ordre de $1.10^{19} \text{ cm}^{-3} \text{ eV}^{-1}$, épinglant ce dernier sur l'interface PS / Si. Cette

caractéristique confèrerait au PS le rôle d'une « pseudo métallisation ». Le transport à l'interface PS / Si peut alors se décrire à l'aide du diagramme de bandes présenté en Figure 118.

A l'équilibre, le nombre de trous injectés du substrat Si vers PS (J_1) est égal à ceux circulant du PS vers Si (J_2). La courbure de bandes à l'interface PS / Si est associée à une barrière (V_D). Une ZCE se déploie côté Si (Cf. Figure 118a). En appliquant une tension positive (V_p) côté Si par rapport à PS, la barrière s'abaisse à une valeur $V_+ = V_D - V_p$. J_2 reste inchangé alors que J_1 est favorisé (Régime direct). A l'opposé, lorsque Si est polarisé négativement par rapport à PS ($V_- = V_D + |V_p|$), J_2 prédomine (régime inverse). En régime inverse, on pourrait s'attendre à observer une caractéristique de saturation, ce n'est généralement pas le cas, des phénomènes de génération dans la ZCE et/ou le passage d'électrons par effet tunnel de la bande de valence vers PS sont possibles.

4.2.2.2 Hétéro structures (Micro / Méso - PS avec élargissement de Δ_{PS})

La taille des cristallites s'amenuisant (< 5 nm), un effet de confinement génère un élargissement du gap. Dès lors, l'interface PS / Si se comporte comme une hétéro structure isotype P. De plus, compte tenu de la forte densité de défauts à l'interface, le diagramme de bandes le plus plausible est celui donné par [197] et [221], où les courbures de bandes sont opposées (Cf. Figure 119).

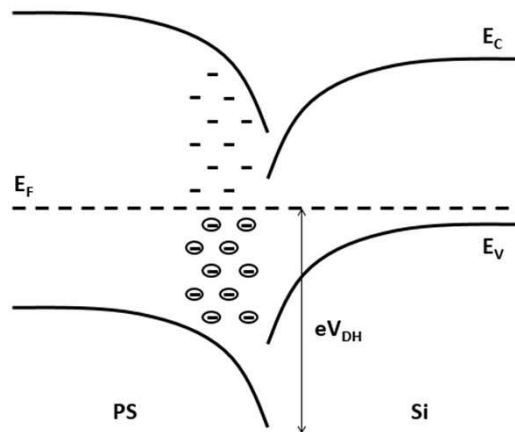


Figure 119 : Diagramme de bandes d'une hétéro jonction isotype P schématisant l'interface PS / Si.

La barrière vue par les porteurs pour atteindre les cristallites (V_{DH}) est ainsi surélevée, notamment par rapport à V_D (Cf. Figure 118). Ce fait corrobore avec la difficulté d'observer de l'électroluminescence (EL) comparativement à la PL [173, 221, 223]. Il complète également la discussion du paragraphe 4.1.2.1 relative à une conduction localisée dans le tissu entourant les cristallites [224]. De fait, le schéma de conduction proposé par Ben Chorin (Cf. paragraphe 4.2.2.1) semble pouvoir s'appliquer pour tout type de structures micro / méso-poreuse où la taille des cristallites reste inférieure à environ 10 nm, dimension à partir de laquelle un transport par canal (Cf. Figure 113a) est plus probable.

D'autres diagrammes de bandes ont également été proposés dans la littérature. Ces publications considèrent le PS comme un semi-conducteur de type N, alors que le substrat initial est de type P [182, 212, 225]. Cette approche nécessite une neutralisation électrique des dopants présents dans le PS. Si des phénomènes de passivation des parois des pores par l'hydrogène sont en effet probables [177, 226, 227], des traitements spécifiques post-anodisations sont aussi vraisemblablement nécessaires. Dans le cas de Balagurov *et al.*, la couche PS a été oxydée à 850 °C sous argon et oxygène (1:1) [212]. Islam *et al.* mentionnent quant à eux un recuit métallisation à 200 °C pendant 45 min, l'atmosphère ambiante utilisée n'étant pas stipulée [182]. A noter également que les mesures d'Islam *et al.* ont été réalisées sous vide. Assimiler le PS à un semi-conducteur de type N donne lieu à un transport de nature différente. Ray *et al.* évoquent une conduction classique de jonction PN par diffusion de porteurs [225]. Pour Islam *et al.*, le régime direct serait gouverné par des effets tunnels multiples alors qu'en inversant la polarisation, des phénomènes de génération / recombinaisons officieraient dans un premier temps dans la ZCE côté PS. Puis en augmentant la tension, des effets d'affaissement de barrière se produiraient. La structure deviendrait alors équivalente à une diode Schottky en inverse.

4.3 Caractéristiques I - V et extraction de ρ_{PS}

Le transport au sein de la couche PS et ceux des interfaces Métal / PS et PS / Si ayant été décrits, les caractéristiques I - V de nos échantillons peuvent être analysées et exploitées afin d'identifier les mécanismes contrôlant la conduction.

4.3.1 Description des caractéristiques I - V

4.3.1.1 Cas des substrats 6 - 12 $\Omega.cm$

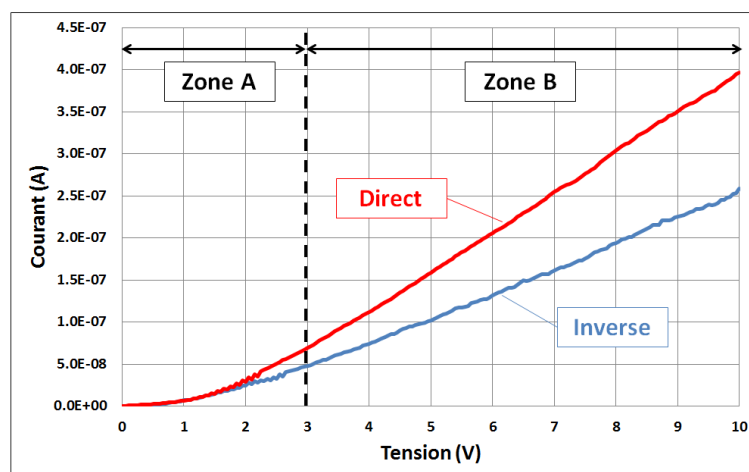


Figure 120 : Caractéristique I - V typique observée sur des structures Al / PS / Si / Al obtenues à partir d'un substrat 6 - 12 $\Omega.cm$ (Cas du wafer A_J100_D15_S à 200 °C).

La Figure 120 présente un exemple typique de caractéristique I - V provenant de nos structures Al / PS / Si / Al formées à partir d'un substrat 6 - 12 $\Omega\cdot\text{cm}$ à la fois pour les régimes direct (courbe rouge) et inverse (courbe bleue).

On distingue deux zones : une limitation du courant à basse tension (Zone A) suivie d'une évolution linéaire (Zone B). La zone A est probablement liée à la couche observée à la surface des échantillons (Cf. paragraphe 1.6). La zone B serait quant à elle représentative des propriétés électriques du volume PS. Notons également la présence de quelques cas marginaux. Le wafer A_J15_D105_H et à un degré moindre le wafer A_J25_D35_S se démarquent en effet par l'absence de zone A et ce malgré la présence d'une strate superficielle. Ces comportements sont aujourd'hui trop isolés pour être interprétés correctement, nous n'en discuterons donc pas plus dans le cadre de ce manuscrit.

Les courbes direct et inverse sont en règle générale dissymétriques, tant au niveau de la zone A que de la zone B, tant en faveur du régime direct que de l'inverse. Le décalage entre les deux courbes reste néanmoins léger. Il s'explique très certainement à partir des mécanismes régissant les deux interfaces Al / PS et PS / Si (Cf. paragraphe 4.2). Par ailleurs, on remarque quelquefois dans la zone B, une perte de linéarité avec la tension mais cela reste anecdotique.

Si les ordres de grandeurs diminuent avec T, qualitativement les courbes restent similaires.

4.3.1.2 Cas des substrats 80 - 120 $\text{m}\Omega\cdot\text{cm}$

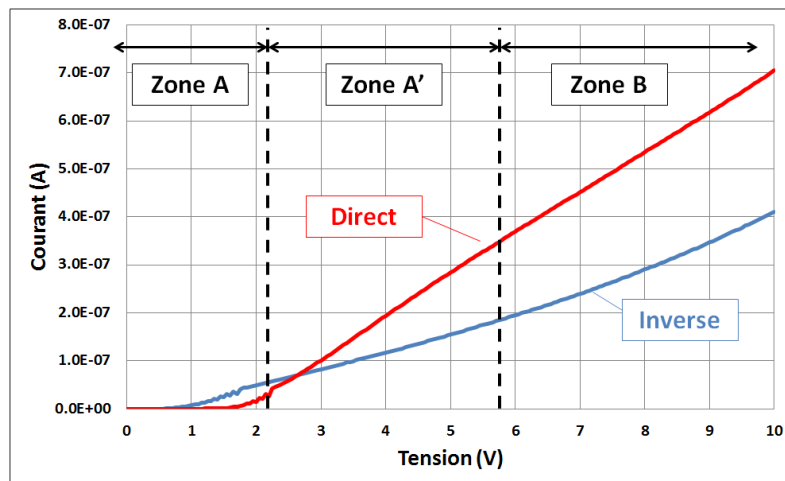


Figure 121 : Caractéristique I - V typique observée sur des structures Al / PS / Si / Al obtenues à partir d'un substrat 80 - 120 $\text{m}\Omega\cdot\text{cm}$ (Cas du wafer B_J25_D30_S à 30 °C).

Les caractéristiques I - V des structures Al / PS / Si / Al obtenues à partir d'un substrat 80 - 120 $\text{m}\Omega\cdot\text{cm}$ restent proches de ses homologues issues de substrats 6 - 12 $\Omega\cdot\text{cm}$. On retrouve en effet les zones A et B mentionnées dans le paragraphe précédent. La zone A limite le courant aux basses tensions soit sous la forme d'une diode, soit par une résistance de plus forte valeur par rapport à

la zone B. L'origine de la zone A semble toujours reliée à la couche observée en surface de l'échantillon, alors que la zone B apparaît comme l'image de la résistivité globale de la couche PS.

Les courbes I - V se démarquent en fait par la présence d'une zone marquée par un point d'inflexion (Zone A') plus ou moins prononcée suivant les cas, insérée entre les zones A et B. Cette zone A' n'est pas systématique et lorsqu'elle est bien présente, elle est souvent (mais pas exclusivement) plus marquée en régime inverse. La Figure 121 illustre un exemple typique dans lequel la zone A' est bien visible (cas du wafer B_J25_D30_S mesuré à 30 °C). Ces effets s'apparentent à des saturations que l'on pourrait interpréter sur la base des diagrammes de bandes (type hétéro structure) donnés au paragraphe 4.2.2.2 et associés aux structures Al / PS / Si / Al.

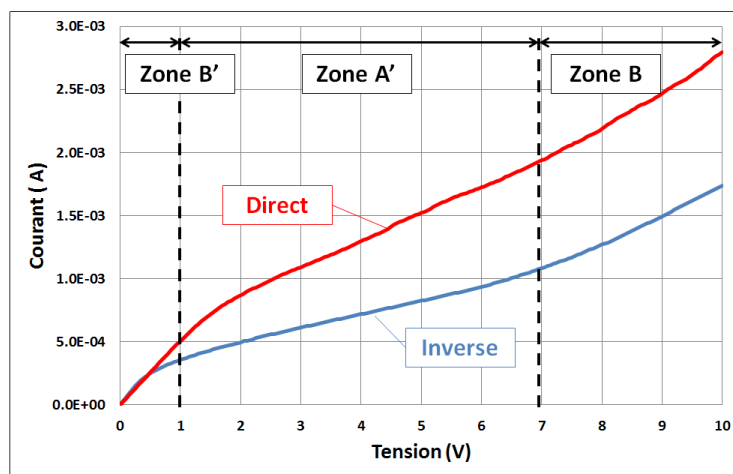


Figure 122 : Caractéristique I - V typique observée sur des structures Al / PS / Si / Al obtenues à partir d'un substrat 80 - 120 mΩ.cm (Cas du wafer B_J25_D35_H2 à 200 °C).

Pour certains wafers (B_J100_D10_H, B_J150_D5_H et B_J25_D35_H2), la zone A est absente. Dans ce cas, soit un comportement purement résistif est observé, soit la saturation (zone A') reste visible. Ce dernier cas est par ailleurs illustré par le biais de la Figure 122 où la zone A a été remplacée par une zone B'. La résistance associée à B' paraît plus faible par rapport à celle issue de B, néanmoins il est probable que la saturation A' influence B. Ces cas de figure sont tout à fait aléatoires, ni les propriétés physiques, ni la température de caractérisation, ni les conditions du procédé de fabrication de ces trois wafers ne permettent de justifier la suppression de cette zone A.

4.3.1.3 Cas des substrats 10 - 15 mΩ.cm

Les courbes I - V des structures Al / PS / Si / Al obtenues à partir d'un substrat 10 - 15 mΩ.cm sont dans l'ensemble beaucoup plus linéaires (Cf. Figure 123, Wafer C_J50_D15_H à 30 °C). La zone A décrite dans les deux paragraphes précédents est cette fois-ci absente, aucun film superficiel n'a par ailleurs été détecté (Cf. paragraphe 1.6). On remarque toutefois régulièrement, mais pas systématiquement, une dépendance en tension telle que présentée dans l'exemple de la Figure 124

(Wafer C_J10_D20_S à 100 °C). L'identification du mécanisme à l'origine de cette tendance reste complexe. Dépendamment de la taille des cristallites, on privilégiera une génération de courants liée à l'extension de ZCE du PS (Cf. paragraphe 4.2.1.2) ou un effet Poole Frenkel (Cf. paragraphe 4.1.3.1). On constate également des phénomènes SCLC (Cf. paragraphe 4.1.3.2) sur les couches PS les moins poreuses et les plus minces. La Figure 125 en illustre un exemple concret obtenu à 200 °C à partir de la plaquette test C_J25_D15_S_600 non discutée jusqu'ici se caractérisant par le procédé d'anodisation suivant : $J_{ano} = 25\text{mA/cm}^2$, $D_{ano} = 15\text{ min}$, recuit post-anodisation d'une heure à 600 °C sous atmosphère N_2 .

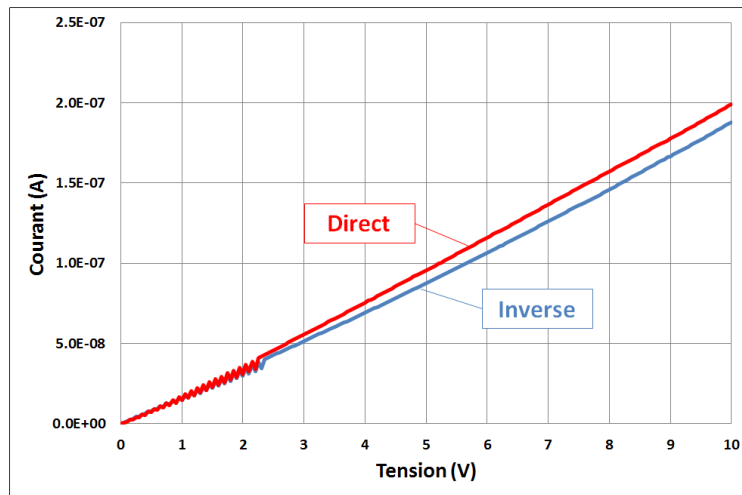


Figure 123 : Caractéristique I - V typique observée sur des structures Al / PS / Si / Al obtenues à partir d'un substrat 10 - 15 mΩ.cm (Cas du wafer C_J50_D15_H à 30 °C).

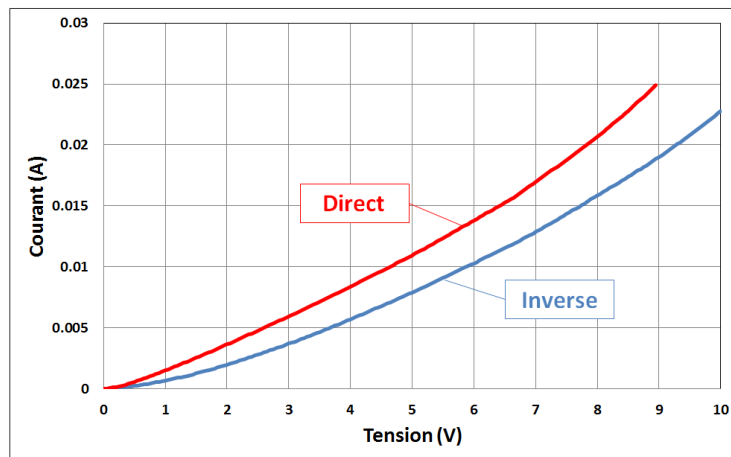


Figure 124 : Caractéristique I - V typique observée sur des structures Al / PS / Si / Al obtenues à partir d'un substrat 10 - 15 mΩ.cm (Cas du wafer C_J10_D20_S à 100 °C).

A noter également que des petits effets de saturation tels que décrits en Figure 121 sont ponctuellement possibles, et ce uniquement dans le régime inverse. Lorsque des recuits post-

anodisation sont effectués à T plus élevée (600 °C au lieu de 350 °C), les saturations s'accroissent, la zone A peut réapparaître et au final les caractéristiques I - V se retrouvent très proches des cas rencontrés sur des substrats 80 - 120 mΩ.cm.

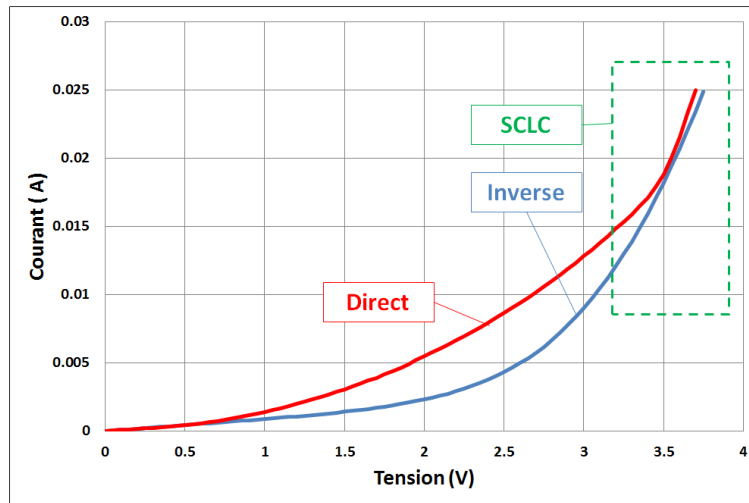


Figure 125 : Caractéristique I - V avec une conduction SCLC observée sur des structures Al / PS / Si / Al obtenues à partir d'un substrat 10 - 15 mΩ.cm (Cas du wafer C_J25_D15_S_600 à 100 °C).

4.3.2 Problématiques d'extraction de ρ_{PS}

Les formes des courbes I - V obtenues sont diverses et variées dépendamment de la résistivité du substrat de base utilisé pour la fabrication des échantillons. La présence possible sur les I - V d'une région redresseur ou fortement résistive à basses tensions (Zone A), d'effets de saturation (Zone A'), ainsi que des pertes de linéarité en augmentant la tension (Zone B), compliquent très vite leurs exploitations. Notamment, l'utilisation de modèles physiques simplifiés (diodes ou hétéro structures) est généralement trop limitée vis à vis des phénomènes de transport observés (Cf. paragraphes 4.1 et 4.2). Quelques exemples sont néanmoins cités dans les lignes qui suivent.

Nous avons tout d'abord recensé une première série d'études relatives à des structures verticales métal / PS / Si / métal avec un PS de type micro / méso-poreux et pour lequel aucun problème de contact métal / PS n'est précisé. Balagurov *et al.* ont cherché à exploiter leurs courbes I - V sur la base de deux diodes « back to back » [197]. Si la reproduction du régime inverse a donné des résultats corrects, des divergences importantes sont observées en direct. L'écart observé serait lié à une simplification faite au niveau de l'avalanche de la diode montée en inverse. Laptev *et al.* ont complexifié l'approche en s'appuyant directement sur les équations d'une hétérojonction isotype (théorie de l'émission thermoélectronique) [228]. Peu d'informations sont dévoilées à propos de la qualité de leur modèle. Les auteurs mentionnent avoir correctement retrouvé la caractéristique inverse. Quant au régime direct, un coefficient d'idéalité (n) élevé est annoncé, attribué à la forte concentration de niveaux profonds dans le PS, ainsi qu'à son inhomogénéité. Strikha *et al.* se sont efforcés de

modéliser n à partir des constantes diélectriques (PS et Si) et des charges présentes dans le volume de PS et à son interface avec Si [196]. Leur analyse fait défaut d'un point de vue quantitatif mais démontre l'importance des charges associées au PS dans la valeur de n .

Dans le cas où la couche PS présente une architecture méso voire macro-poreuse, toutes les études s'appuient sur l'équation générale de la diode. Si les résultats obtenus reproduisent plus que convenablement les courbes expérimentales, les coefficients d'idéalité extraits s'avèrent élevés et dénués de sens sans une analyse plus approfondie telle que menée par Strikha *et al.* ci-dessus. Cette observation a notamment conduit Ben Chorin à un mécanisme de conduction au sein de la couche PS de type Poole Frenkel décrit dans le paragraphe 4.1.3.1. D'autres équipes avancent la présence d'une fine couche intermédiaire isolante entre PS et métal (de type oxyde ou Si amorphe) pour justifier ce comportement sur n , sans trop donner le détail vis-à-vis du transport induit (effet tunnel) [172, 187, 229].

Mentionnons également que des effets dynamiques ont pu être observés. Il s'agit de phénomène de polarisation conduisant à une évolution des caractéristiques avec le temps, à l'échelle des séquences de mesures, à savoir de l'ordre de la dizaine de secondes. Laptev *et al.* attribuent ce comportement à la présence de pièges profonds dans PS [228]. Cadet *et al.* considèrent, quant à eux, un mécanisme d'émission et capture de porteurs à partir de centres de type P_b présents à l'interface entre PS et une fine couche d'oxyde natif recouvrant les parois des pores [176, 177]. Dans tous les cas, ces phénomènes transitoires doivent être distingués des effets de vieillissement du PS discutés au paragraphe 4.4.4.

Une dernière subtilité peut se manifester sur les courbes $I - V$. Alors que ρ_{PS} augmente de façon monotone en diminuant T (Cf. paragraphe 4.4.2), une remontée soudaine peut se produire en fin de campagne de mesures pour les basses températures, à savoir 30 °C et à un degré moindre 50 °C. Les trois familles d'échantillons ont pu présenter cette particularité. Ce comportement est probablement lié au taux d'humidité variable dans l'enceinte de caractérisation sachant que ce dernier n'a pas été contrôlé. Il est en effet admis que les propriétés électriques du PS sont extrêmement dépendantes de l'atmosphère environnante [168, 187, 196, 222, 230]. Par ailleurs, il semble que le vieillissement des échantillons tende à atténuer le phénomène. A l'opposé, ne pas implémenter de recuit post-anodisation l'exacerbe (Cf. paragraphe 4.4.4).

Au final, pour extraire nos données ρ_{PS} , nous avons choisi de nous positionner dans le régime direct (PS polarisé négativement par rapport à Si), globalement plus stable, notamment vis-à-vis des phénomènes de saturation. Nous nous sommes simplement limités aux zones B de nos tracés pour ensuite reproduire nos résultats expérimentaux par des lois linéaires simples, tout en sachant que des dépendances en tension pouvaient ponctuellement nuire à la précision des résultats.

4.4 Données ρ_{PS} expérimentales

4.4.1 ρ_{PS} en fonction de la $P_{\%}$

Les Figures 126, 127 et 128 présentent l'évolution de ρ_{PS} extraite de nos structures Al / PS / Si / Al respectivement à 30, 100 et 200 °C et ce conformément à la stratégie d'étude explicitée précédemment (Cf. paragraphe 4.3.2). Les trois ρ_{Si} utilisées comme base de fabrication des échantillons sont identifiables en bleu, en rouge et en vert, respectivement pour les substrats 6 - 12 $\Omega.cm$, 80 - 120 m $\Omega.cm$ et 10 - 15 m $\Omega.cm$. Sur la plage de $P_{\%}$ étudiée et ce quelle que soit T, il apparaît de ces graphes que ρ_{PS} suit une tendance exponentielle avec la $P_{\%}$ tracée en pointillé noir sur les Figures 126, 127 et 128. Une continuité semble également s'opérer entre les trois familles.

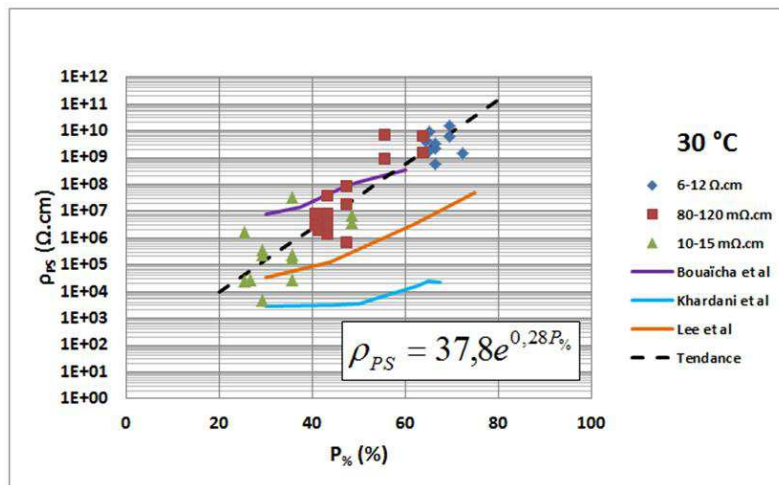


Figure 126 : Évolution de ρ_{PS} en fonction de la $P_{\%}$ à 30 °C.

Vis-à-vis de la Figure 126 (données ρ_{PS} à 30 °C), les résultats obtenus par Bouaïcha *et al.* [160] en violet, Khardani *et al.* [231] en bleu ciel, ainsi que Lee *et al.* [232] en orange ont été ajoutés. Bouaïcha *et al.* ont travaillé sur des structures verticales Al / PS / Si / Al construites à partir d'un substrat de type P et de résistivité 1 $\Omega.cm$. Pour les fortes $P_{\%}$, on retrouve une certaine cohérence avec nos résultats. Par contre, plus la $P_{\%}$ diminue et plus les deux études divergent. Globalement, leur tendance ρ_{PS} en fonction de la $P_{\%}$ reste exponentielle mais avec une pente plus douce. Leurs valeurs de ρ_{PS} sont issues de courbes I - V non linéaires. Par analogie avec les nombreuses publications relatives à ce type de morphologie micro-poreuse, les auteurs relient ce comportement redresseur à l'interface PS / Si. Par contre, aucune information n'est donnée sur la procédure et les résultats de l'extraction. Par ailleurs, un recuit post-métallisation a été effectué (à 500 °C et pendant 1 min). Ce traitement pourrait également influencer sur les performances. Möller *et al.* [168], ainsi que Balagurov *et al.* [169], ont par exemple rapporté des évolutions de ρ_{PS} sur plusieurs décades dépendamment de la température de

recuit appliquée. Ce comportement serait attribué au départ de l'hydrogène passivant les parois des pores lors de l'anodisation ainsi qu'à une oxydation.

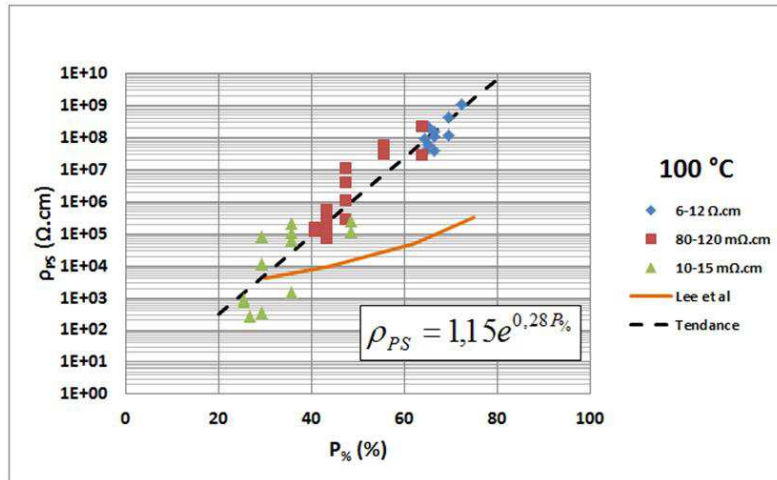


Figure 127 : Evolution de ρ_{PS} en fonction de la $P\%$ à 100 °C.

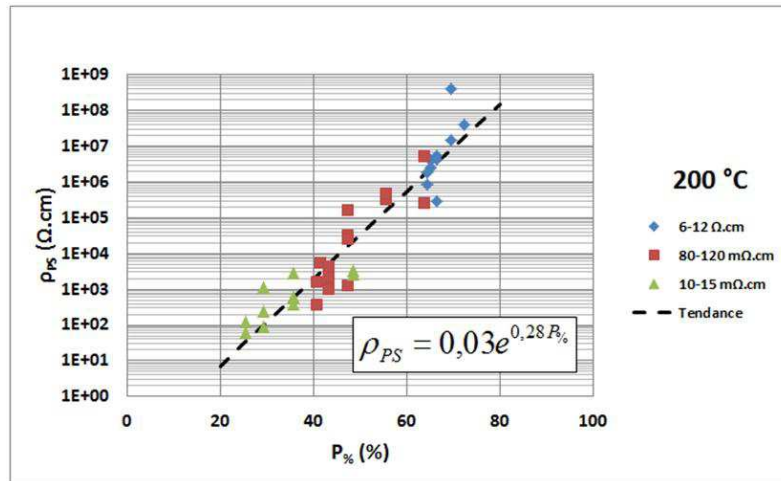


Figure 128 : Evolution de ρ_{PS} en fonction de la $P\%$ à 200 °C.

Khardani *et al.* ont réalisé le même type d'étude mais pour des structures verticales PS auto-supportées, c'est-à-dire sans le substrat qui a servi de base à la fabrication. Ce dernier, de type P, présentait par ailleurs une résistivité de 20 mΩ.cm, donnant probablement lieu à une structure mésoporeuse, proche de celles présentées dans le paragraphe 1.6.2.1. De fait, on pourrait s'attendre à des similitudes avec les points de couleur verte sur la Figure 126. Il n'en est rien. Les résultats ρ_{PS} obtenus par Khardani *et al.* s'avèrent en effet nettement plus faibles et n'évoluent que légèrement avec la $P\%$. Les auteurs déclarent avoir obtenu des caractéristiques I - V linéaires à partir desquelles ρ_{PS} a été relevée. L'ohmicité des contacts sur PS a été garantie par un dépôt Au (0,2 μm) recuit deux minutes à 450 °C. Il est possible que ce traitement, et plus globalement l'ensemble du procédé de fabrication

compte tenu de la spécificité des échantillons, ait conduit à une évolution de la structure PS. Notons également que plusieurs études effectuées sur ce type de morphologie PS ont observé un fort impact du milieu extérieur sur les propriétés électriques [172, 218].

Lee *et al.* proposent également une étude de ρ_{PS} en fonction de la $P_{\%}$. L'analyse porte sur des échantillons PS auto-supportés, formés à partir d'un substrat de type P et de résistivité 5 - 10 $\Omega \cdot \text{cm}$. Les auteurs ne divulguent pas d'information à propos de la morphologie de leur PS, il est fort possible qu'elle s'apparente à celle présentée au paragraphe 1.6.2.3, à savoir de type micro-PS. Que ce soit à 30 °C (Figure 126) ou 100 °C (Figure 127), alors qu'aux basses $P_{\%}$ les résultats de Lee *et al.* et les nôtres se confondent, plus la $P_{\%}$ augmente et plus les tendances $\rho_{PS} = f(P_{\%})$ divergent. Les auteurs précisent que ρ_{PS} est issue de caractéristiques linéaires mesurées latéralement et sous vide. On se retrouve donc une fois encore dans des conditions de fabrication et de caractérisation bien différentes.

Au final, les quatre études présentées au travers des Figures 126, 127 et 128 décrivent toutes des niveaux de résistivités PS différents, pointant ainsi l'importance du procédé de fabrication ainsi que du protocole d'évaluation des prototypes. Néanmoins, elles convergent toutes sur le fait que ρ_{PS} croît avec la $P_{\%}$.

4.4.2 Activation de ρ_{PS} avec T

La Figure 129 regroupe l'ensemble des tendances exponentielles $\rho_{PS} = f(P_{\%})$ obtenues pour les températures d'intérêt. On constate une grande similarité entre les cas et une augmentation de la résistivité en diminuant T, typique d'un mode de transport par activation. Pour une $P_{\%}$ donnée, trois décades séparent ρ_{PS} à 30 et 200 °C.

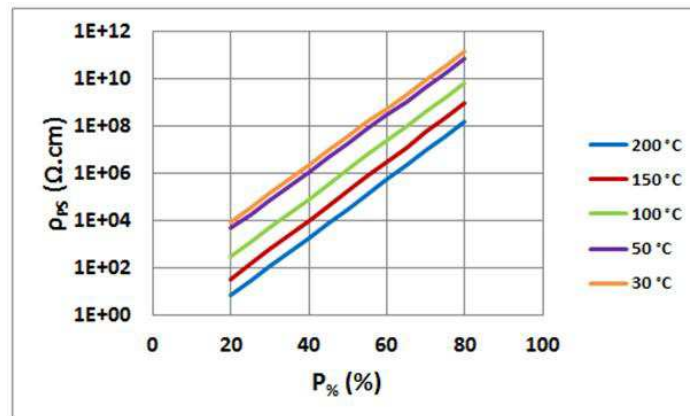


Figure 129 : Tendance $\rho_{PS} = f(P_{\%})$ pour différentes T. Les trois types de substrats étudiés sont intégrés dans chacune des courbes représentées.

L'activation de la résistivité d'un semi-conducteur s'exprime selon la loi d'Arrhenius (Cf. Equation 3.7, paragraphe 4.1.2). Les résistivités ρ_{PS} extraites de nos structures Al / PS / Si / Al

suivent, pour la grande majorité, cette loi d'Arrhenius. La Figure 130 illustre le cas du wafer A_J15_D105_S où une énergie d'activation de 0,55 eV et un pré-facteur de 2,9 $\Omega\cdot\text{cm}$ sont déduits.

Des phénomènes de double activation tels que présentés sur la Figure 131 ont également été observés. Plus précisément, deux cas de figure sont rencontrés. Le premier (dit « DA1 ») est parfaitement illustré par la tendance indiquée en bleu et associée au wafer C_J10_D20_S2. E_A augmente de 0,14 à 0,41 eV en basculant de l'intervalle [200 ; 150 °C] vers [100 ; 30 °C]. Parallèlement, ρ_0 s'abaisse de 5000 à 1,7 m $\Omega\cdot\text{cm}$. Cette situation DA1 est uniquement rencontrée sur les substrats 10 - 15 m $\Omega\cdot\text{cm}$ à partir desquels résultent des $P_{\%}$ plus faibles. Aux plus fortes températures, les courants trop élevés atteignent les limites des équipements de mesures, compliquant ainsi l'extraction de ρ_{PS} . Ce comportement DA1 ne semble donc pas avoir de sens physique, il est plutôt attribuable à une problématique de métrologie.

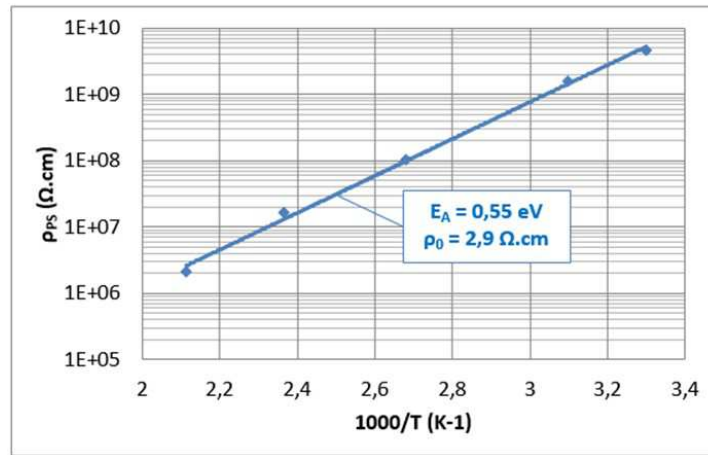


Figure 130 : Activation de ρ_{PS} associée au wafer A_J15_D105_S.

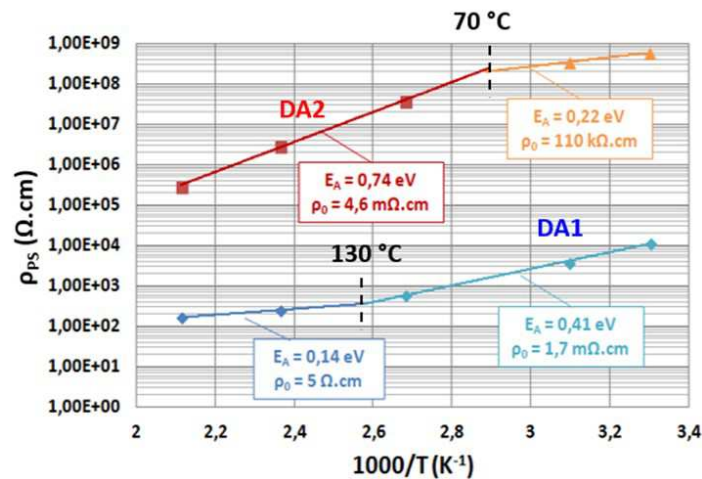


Figure 131 : Doubles activations observées sur les wafers C_J10_D20_S2 (Comportement dit « DA1 » en bleu) et A_J50_D20_H (Comportement dit « DA2 » en rouge).

A l'opposé, il existe une seconde éventualité dite « DA2 », typiquement représentée en rouge sur la Figure 131 par le wafer A_J50_D20_H où E_A diminue de 0,74 à 0,22 eV et ρ_0 augmente de 4,6 mΩ.cm à 110 kΩ.cm des fortes vers les faibles T. Ce comportement DA2 pourrait être assimilé à celui décrit dans le paragraphe 4.1.2 où T_c signale une transition entre un régime d'activation (T et E_A élevées) à une conduction par saut (T et E_A plus faibles). Il peut également être associé à une modification structurale au niveau de la paroi des pores, cette situation se produit lorsque des fortes énergies d'activation (> 1 eV) sont atteintes au-delà de 150 °C (Cf. paragraphe 4.1.2.1). Dans le cadre de notre étude, les comportements DA2 restent trop isolés et aléatoires pour être attribués à l'un ou l'autre des deux mécanismes.

L'analyse conjointe de E_A et ρ_0 donne des informations précieuses sur le transport au sein de la couche PS. Comme nous l'avons mentionné dans le paragraphe 4.1.2.1, en reliant les règles MNR et ρ_{PS} , Lubianiker *et al.* ont abouti à la conclusion qu'il existait deux modes de transport au sein du PS [166]. Ce formalisme se manifeste par l'expression suivante :

Équation 3.15 $\ln\left(\frac{1}{\rho_0}\right) = B_{MNR} + \frac{E_A}{E_{MNR}}$

B_{MNR} et E_{MNR} sont des constantes propres à un mécanisme de conduction donné.

La Figure 132 rassemble les énergies d'activation et pré-facteurs de résistivité extraits à partir de l'analyse des structures Al / PS / Si / Al faisant l'objet de ce chapitre. Tout comme Lubianiker *et al.*, on retrouve deux lois. La première est indiquée en rouge sur la Figure 132. Elle contient les échantillons de la famille B dont les $P_{\%}$ sont inférieures à 45 % (Cf. Tableau 5) ainsi que l'intégralité des plaquettes issues du substrat C (Cf. Tableau 6). Elle s'apparente à celle donnée par Lubianiker. Les couples E_{MNR} / B_{MNR} présentent en effet des valeurs voisines : 41,1 meV / $2,6 \cdot 10^{-3} \Omega^{-1} \cdot \text{cm}^{-1}$ dans notre cas, comparativement à 50 meV / $7,2 \cdot 10^{-3} \Omega^{-1} \cdot \text{cm}^{-1}$ pour Lubianiker. Cette similitude confirme que le transport des porteurs au sein de la couche PS de ces échantillons s'opère dans le tissu entourant les cristallites, à travers des queues de bandes et centres profonds, comme pour le Si amorphe hydrogéné (Cf. Figure 115).

La seconde règle obtenue dans le cadre de nos travaux est indiquée en bleu sur la Figure 132. Elle comprend les wafers A (Cf. Tableau 4) ainsi que les échantillons de B dont les $P_{\%}$ dépassent 45 % (Cf. Tableau 5). Elle présente des caractéristiques bien différentes par rapport à celle obtenue par Lubianiker. Elle se distingue en effet par un couple E_{MNR} / B_{MNR} estimé par les grandeurs 33,4 meV / $6 \cdot 10^{-8} \Omega^{-1} \cdot \text{cm}^{-1}$ alors que Lubianiker a obtenu 166 meV / $2,2 \cdot 10^{-5} \Omega^{-1} \cdot \text{cm}^{-1}$. Cette divergence pourrait s'expliquer par la faible quantité de données constituant la seconde loi MNR déduite par Lubianiker *et al.* Notamment, il est fait référence aux travaux de Kocka *et al.* [170, 233]. Cette équipe a travaillé sur trois résistivités de substrats type P différentes (15 ; 4 et 0,3 Ω.cm). Ils ont caractérisé la

couche PS seule, en désolidarisant le PS de son substrat de base. Le contact est réalisé à l'aide d'un porte échantillon bien particulier. Les caractéristiques I - V obtenues ne sont pas linéaires, les ρ_{PS} dévoilées par les auteurs sont dépendantes de la tension de polarisation. Lubianiker a seulement repris dans son analyse les ρ_{PS} extraites à 39 V. Dans tous les cas, les échantillons et leurs comportements électriques, tout comme la méthodologie d'extraction de ρ_{PS} discutés par Kocka *et al.* se démarquent très nettement de notre étude. Ajoutons également que les trois autres sources citées par Lubianiker dans la définition de sa seconde loi MNR proposent des résultats cohérents vis-à-vis de la deuxième loi de la Figure 132 (en bleu). Parmi ces trois publications, on retrouve [195] dans laquelle les auteurs prônent une conduction par saut via des états situés à proximité du niveau de Fermi (Cf. Figure 116). Ce mode de transport inter-cristallites régit donc probablement la conduction au sein du PS associée à la seconde moitié de nos échantillons. (Cf. paragraphe 4.1.2.1)

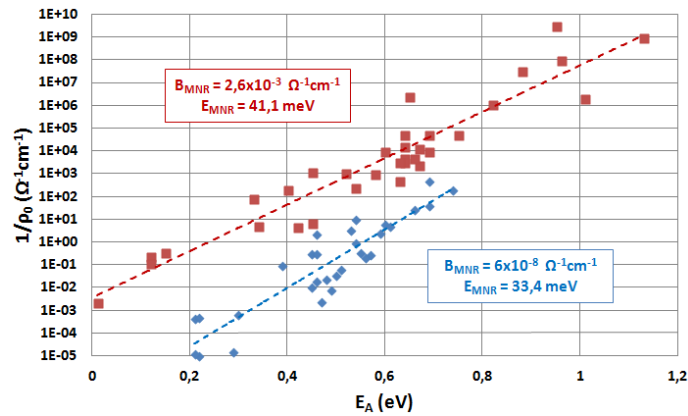


Figure 132 : Formalisme de Meyer-Neldel appliqué aux ρ_{PS} extraites des structures Al / PS / Si / Al construites à partir des trois substrats A, B et C telles qu'indiquées dans les Tableaux 4, 5 et 6. La première loi en rouge comprend toutes les plaquettes issues de la famille C et celles de B dont les $P_{\%}$ sont inférieures à 45 %. La seconde loi en bleu rassemble les cas restants (Familles A et B avec $P_{\%} > 45\%$).

4.4.3 Impact du procédé de gravure aluminium (Al)

Afin de compléter la comparaison des procédés de gravure Al initiée Figure 112 à propos de ε_{PS} et discutée au paragraphe 3.3.2, la Figure 133 propose le même type de représentation mais cette fois-ci pour ρ_{PS} . Les points de mesures sont donnés à 30 °C, mais aux ordres de grandeur près, des tendances identiques sont observées à plus haute T. Aucune distinction entre les deux traitements n'est visible sur ρ_{PS} . Les écarts apparus sur ε_{PS} sont par conséquent attribuables à des inhomogénéités de $P_{\%}$ dans la couche PS. Ces dernières sont bien évidemment insensibles au choix de la gravure Al.

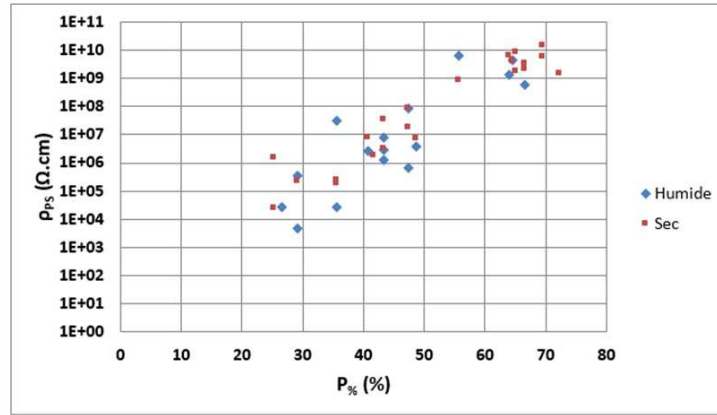


Figure 133 : Evolution de ρ_{PS} en fonction de la $P\%$ dépendamment du procédé de gravure Al adopté: sec ou humide (Cf. paragraphe 1.4).

4.4.4 Reproductibilité des résultats expérimentaux avec le temps, notion de vieillissement

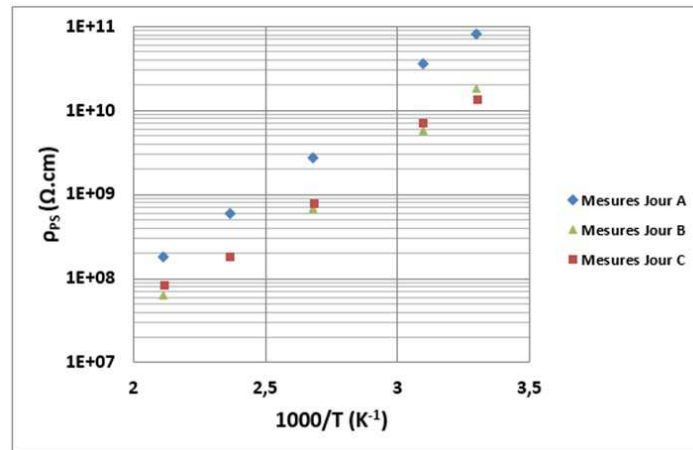


Figure 134 : Evolutions $\rho_{PS} = f(T)$ du wafer A_J25_D60_S et vieillissement dans le temps. Chaque série de mesures est séparée de quelques jours.

Ce paragraphe ne traite pas des dispersions pouvant résulter des inhomogénéités de la couche PS mais de l'impact de la procédure expérimentale sur les caractéristiques I - V et plus particulièrement du vieillissement des échantillons. Comme il a été discuté au paragraphe 2.1, nous avons choisi de réaliser nos caractérisations sur quatre plots en démarrant et terminant respectivement à 200 et 30 °C. Ce type de campagne est réitéré plusieurs fois. La majorité des échantillons produits à partir des substrats A et C ont vu leur ρ_{PS} diminuée après un tel enchaînement de mesures. Un exemple de ce type est donné sur la Figure 134. Il concerne le wafer A_J25_D60_S. Les trois séries de mesures espacées de quelques jours se sont soldées par une perte de résistivité de l'ordre d'une décade (notamment à faible T) avec une évolution majeure de la première à la seconde vague de mesures.

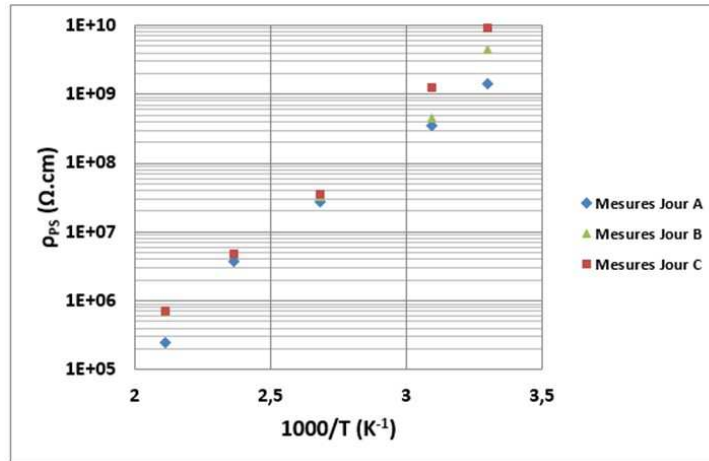


Figure 135 : Evolutions $\rho_{PS} = f(T)$ du wafer B_J150_D5_H et vieillissement dans le temps. Chaque série de mesures est séparée de quelques jours.

Pour les échantillons formés sur les substrats B, une partie d'entre eux présente effectivement une diminution de ρ_{PS} telle que représentée sur la Figure 134. Néanmoins, le cas inverse a aussi été observé comme en témoigne la Figure 135 à propos du wafer B_J150_D5_H où un gain proche d'une décade (notamment aux plus faibles températures de caractérisation) est observé sur ρ_{PS} . Cette dernière tendance résulte en fait de l'hygrométrie environnante qui tend à faire diminuer ρ_{PS} à 30 et 50 °C. Dès lors, nous pouvons considérer que les plaquettes présentant ces caractéristiques restent quasiment stables avec le temps.

Précisons également qu'aucun lien existe entre le vieillissement de ρ_{PS} et les deux modes de transport susceptibles d'opérer dans ces échantillons (Cf. paragraphe 4.4.2).

L'interprétation de ces tendances pose la question du stress thermique accompagnant les caractérisations, notamment à 200 °C. Un recuit post-anodisation d'une heure à 350 °C a systématiquement été appliqué sur les échantillons qui ont fait l'objet de cette étude (Cf. paragraphe 1.4). Néanmoins à cette température, la substitution de l'hydrogène par des complexes à base d'oxygène ne reste que partielle [168]. Une désorption de l'hydrogène des parois des pores est donc susceptible de se poursuivre lors des mesures. Balagurov *et al.* considèrent en effet que les complexes Si – H – B se dissocient dès 150 °C [169]. Un tel mécanisme favoriserait une diminution de ρ_{PS} . Pour éliminer complètement l'hydrogène présent naturellement dans PS, la température des traitements succédant la réaction électrochimique du PS a été élevée de 350 à 600 °C, toujours pendant une heure et sous atmosphère N₂ non contrôlée (Cf. paragraphe 1.4). L'expérimentation a été menée sur des couches PS formées à partir des substrats 10 - 15 mΩ.cm. Les résultats n'ont pas été concluants, un abaissement de ρ_{PS} est toujours présent avec l'enchaînement des séries de mesures.

Dans le cadre de leur étude, Möller *et al.* considèrent qu'une faible oxydation de la couche PS ne joue qu'un rôle mineur sur ρ_{PS} . La formation de groupes silanol (Si – OH) sur les parois des pores après une longue exposition du PS à l'air ambiant serait bien plus prépondérante [168]. Ces liaisons Si – OH ne se décomposeraient que pour des traitements dépassant les 200 °C. Le développement, tout comme la destruction de ce type de liaison durant l'exploitation de nos échantillons restent possibles. L'impact sur ρ_{PS} reste donc ambigu. Dans tous les cas, il est clair que les évolutions de ρ_{PS} sont reliées à une transformation structurelle du PS, cette dernière étant très certainement corrélée à l'humidité que peuvent endurer les échantillons. Par ailleurs, les diminutions de ρ_{PS} observées sur les I - V essentiellement à 30 °C (Cf. paragraphe 4.3.2) s'inscrivent tout à fait dans la lignée des travaux de Möller.

4.4.5 Notions de claquage

Les matériaux utilisés dans les P_G des composants de puissance sont sujets à de forts champs électriques. Leur tenue au claquage doit donc être au moins équivalente à celle du Si. A cette occasion, quelques mesures jusqu'à 1000 V sur les échantillons de plus fortes $P_{\%}$ (> 60%) ont été implémentées. Des courants inférieurs à 1 μ A à 30 °C ont alors été obtenus comme l'illustre la Figure 136 relative au wafer A_J100_D15_S. Ce tracé a été réalisé en régime direct (application d'un signal négatif sur PS) à l'aide d'un traceur de courbes (type Tektronik 370A). Compte tenu du t_{PS} observé sur cet échantillon (de l'ordre de 50 μ m), l'amplitude du champ électrique au sein de la couche PS a atteint 2.10^5 V/cm, une valeur équivalente au champ de claquage du Si massif.

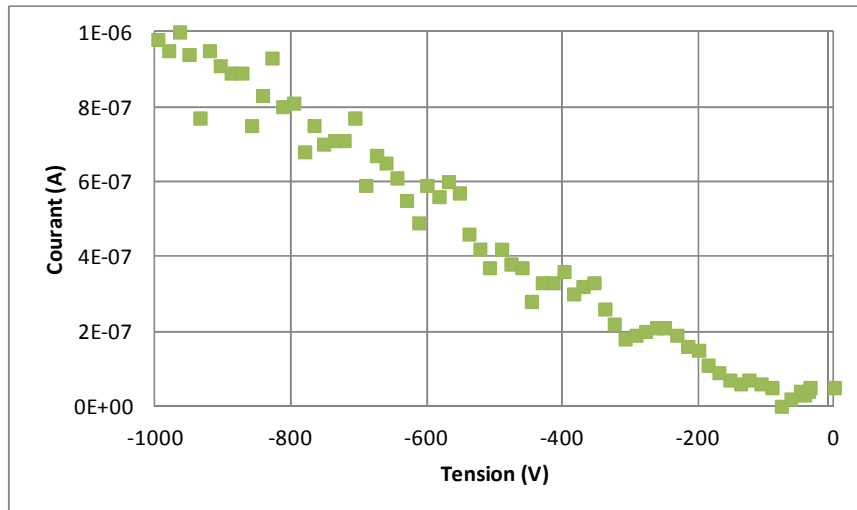


Figure 136 : Relevé I - V de 0 à 1000 V sur la caractéristique directe (polarisation négative sur PS) du wafer A_J100_D15_S à 30 °C.

5. Conclusion

La mise au point de structures Al / PS / Si / Al et leur exploitation dans un cadre rigoureux a permis de quantifier les propriétés diélectriques du PS, à savoir sa résistivité et sa constante diélectrique relative. L'exercice a été effectué sur des textures PS différentes (micro / méso-poreuse), pour un domaine de $P_{\%}$ s'étalant de 20 à 75 % et pour des t_{PS} variant de 10 à 70 μm , soit un périmètre d'étude bien élargi par rapport aux analyses menées jusqu'ici. Seul le type du substrat, en l'occurrence P, a été cloisonné. Cette particularité provient de l'application visée. En effet, le procédé de fabrication des TRIACs fait souvent appel à des dopages P graduels, traversant un substrat N sur toute son épaisseur, et à partir desquels la formation d'une couche de PS apparaît facilement accessible. Afin d'anticiper la porosification de tels profils, trois ρ_{Si} ont été considérées : 6 - 12 $\Omega.cm$, 80 - 120 $m\Omega.cm$ et 10 - 15 $m\Omega.cm$. Le choix de ces trois familles d'échantillons a aussi fortement contribué à la variété des propriétés morphologiques explorées.

ϵ_{PS} a été déduite des capacités mesurées sur les structures Al / PS / Si / Al. ϵ_{PS} est directement contrôlable à partir de la $P_{\%}$. Pour une $P_{\%}$ variant de 20 à 80 %, ϵ_{PS} diminue de 11,7 (la constante diélectrique relative du Si massif) à 3, soit en deçà des valeurs caractéristiques du SiO_2 ($\epsilon_{SiO_2} = 3,9$), un des isolants les plus utilisés dans le domaine des semi-conducteurs. Cet ajustement possible de ϵ_{PS} constitue un avantage très intéressant pour la définition d'une $P_{\%PS}$ pour les TRIACs où des faibles valeurs de ϵ_{PS} seront nécessaires.

ρ_{PS} a quant à elle été estimée à partir de l'exploitation des caractéristiques I - V obtenues sur les structures Al / PS / Si / Al. Afin d'interpréter correctement ces relevés I - V, les mécanismes de transport au sein de la couche PS et à ses interfaces PS / Métallisation et PS / Si ont été discutés. D'un point de vue qualitatif, nos résultats s'inscrivent complètement dans la classification des propriétés électriques du PS proposée par Zimin [234]. Nos travaux apportent néanmoins une dimension supplémentaire dans la mesure où l'évolution de ρ_{PS} avec la $P_{\%}$ a été quantifiée et ce, sur une plage de T s'étalant de 30 à 200 °C. Au final, dépendamment des propriétés physiques du micro / méso-PS, on a distingué deux types de transport :

- une conduction dans le tissu entourant les cristallites, à travers des queues de bandes et centres profonds comme pour le Si amorphe hydrogéné (échantillons dont la $P_{\%}$ est comprise entre 30 et 50 % environ)
- une conduction par saut de cristallite en cristallite via des états situés à proximité du niveau de Fermi (échantillon à $P_{\%}$ supérieure à environ 50 %)

Pour les couches de PS dont la $P_{\%}$ est abaissée sous des valeurs de l'ordre de 30 %, le transport s'apparente à celui du Si massif. En effet, dans ces conditions, la ZCE englobant les pores ne s'étend pas suffisamment et l'espace inter-pores n'est plus totalement vidé de ses porteurs libres.

Lorsque la $P_{\%}$ s'élève de 20 à 70 %, ρ_{PS} croît de 1.10^4 à 1.10^{10} $\Omega.cm$ à 30 °C. En augmentant T, la dépendance de ρ_{PS} avec la $P_{\%}$ reste similaire, cependant les valeurs de ρ_{PS} sont plus faibles. Une perte de trois décades est typiquement observée de 30 à 200 °C. Dans le cas de notre application TRIAC, des ρ_{PS} les plus fortes possibles seront nécessaires. Cette contrainte nécessite l'obtention de $P_{\%}$ supérieures à 50 % où le transport par saut opère.

Des premières notions de vieillissement et claquage de la couche PS ont également été données. Des investigations complémentaires seront bien entendu nécessaires, mais globalement l'étude menée dans le cadre de ce chapitre nous conforte dans l'idée d'insérer le PS comme élément de base aux $P_{\%}$ des TRIACs.

QUATRIEME CHAPITRE :
**Terminaison de jonction à base de silicium
poreux et application au TRIAC.**

Le chapitre précédent a mis en exergue la capacité du silicium poreux (PS) à jouer le rôle d'une couche semi-isolante. La constante diélectrique relative du PS (ϵ_{PS}) et sa résistivité (ρ_{PS}) peuvent en effet être ajustées avantageusement en contrôlant la porosité ($P\%$). Dès lors que cette dernière excède 50 %, un bon niveau d'isolation semble possible. Ces résultats ont été obtenus par exploitation de couches de PS formées à partir d'un substrat de type P, homogène en dopage sur toute son épaisseur. Dans le cadre de l'application visée, nous verrons que cette configuration reste idéale.

Les périphéries (P_{J}) TRIAC requièrent le plus souvent des profils de dopage (P_{iso}) traversant la totalité du wafer (Cf. Chapitre 1). A ce jour, tous les concepteurs de TRIACs faisant appel à ce type de technologie diffusent un dopant de type P (bore ou aluminium) dans un substrat N. L'emploi de P_{iso} offre deux privilèges majeurs. Tout d'abord, une isolation électrique (IE) et mécanique est assurée entre la P_{J} et les bords de puce. Le champ électrique (E) est en effet circonscrit à la périphérie et cette dernière est protégée des éventuels dommages apportés par la découpe des plaquettes. Deuxièmement, la terminaison de la jonction inférieure du TRIAC est reportée en face supérieure, facilitant ainsi sa passivation.

P_{iso} offre également un troisième avantage, peu exploité à ce jour dans le domaine des composants électroniques : la formation localisée du PS. La Figure 69 du second chapitre illustre cette propriété du PS. En effet, des profils P traversants réalisés par TGZM (Thermal Gradient Zone Melting) quadrillent la plaquette. Ils sont ensuite anodisés sans masquage particulier, puis gravés afin de former des tranchées isolantes (TI) aux emplacements des dopages TGZM.

Au final, il semble possible de tirer profit des propriétés diélectriques du PS et de la présence de P_{iso} pour accroître la densité d'intégration des TRIACs. Un meilleur dimensionnement des terminaisons de jonction du TRIAC semble en effet possible. Sur la base de ces deux prérogatives, une P_{J} innovante de TRIAC sera ainsi proposée et discutée en détail dans ce quatrième et dernier chapitre. L'inconnue principale porte sur la nature graduelle des profils P_{iso} . Cette particularité bouleverse nos repères en termes de propriétés physiques et électriques du PS.

La première partie de ce chapitre sera consacrée à la présentation de la périphérie PS ($P_{\text{J}}\text{-PS}$) qui fera l'objet de premiers prototypages. Son procédé de fabrication sera commenté dans le détail, en insistant tout particulièrement sur les points critiques du procédé : la localisation du PS lors de l'anodisation et la gestion des contraintes mécaniques engendrées par la formation du PS. De façon à mieux évaluer les performances des TRIACs fabriqués, des motifs de caractérisation électrique spécifiques ont également été conçus et seront discutés.

Les performances électriques des dispositifs seront évaluées en deuxième partie de ce chapitre. Dans un premier temps, sera proposée une analyse des propriétés physiques du PS, à savoir la géométrie des caissons PS (Ca_PS) obtenus et la morphologie des pores. Les motifs de caractérisation seront ensuite

analysés à l'aide de mesures de capacités et de relevés courant – tension (I - V) tels que définis dans le chapitre 3, partie 2 de ce manuscrit. Des informations relatives aux propriétés diélectriques du PS formé et son interface avec le substrat pourront ainsi être extraites. Un dernier paragraphe sera enfin réservé à l'étude de la P_{iso} -PS avec une première discussion des résultats.

Dans un esprit d'optimisation des performances en blocage de la P_{iso} -PS, une modélisation du PS, s'appuyant sur les outils de simulation usuels du semi-conducteur, sera fournie dans la troisième et dernière section de ce chapitre. Le PS sera considéré comme un milieu effectif. Un calibrage du modèle sera réalisé à partir des courbes I - V expérimentales précédemment extraites des premiers prototypes. Les limitations de la P_{iso} -PS développée seront alors mises en exergue. Cette analyse se conclura par la proposition d'une nouvelle structure, dont l'étude donnera lieu à de nouvelles perspectives en termes de TRIAC à P_{iso} -PS.

1. Présentation de la périphérie PS (P_{iso} -PS)

Tout au long des discussions précédentes, nous avons insisté sur l'intérêt du PS comme élément clef des P_{iso} TRIAC. Les terminaisons de jonction ciblées ont par ailleurs été présentées succinctement en toute fin du premier chapitre. Cette partie aura donc pour objectif de décrire plus précisément la structure globale ciblée, les motifs nécessaires à sa caractérisation ainsi que le procédé de fabrication qui leur sera associé.

1.1 Anodisation d'un profil de diffusion type P graduel et traversant (P_{iso})

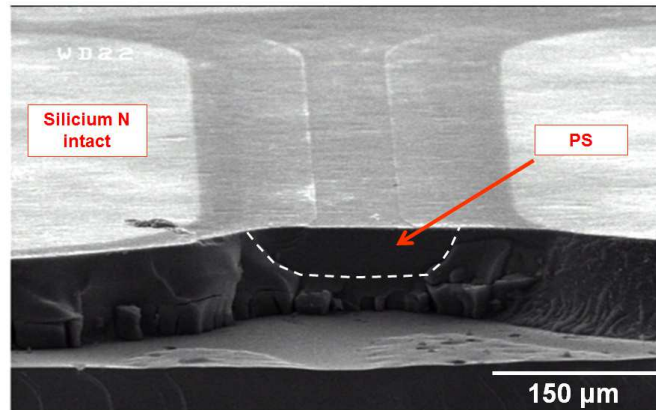


Figure 137 : Vue MEB (Microscope Electronique à Balayage) d'un profil P_{iso} diffusé dans un substrat N (30 - 45 $\Omega\cdot\text{cm}$) et anodisé 30 min à 60 mA/cm^2 .

La possibilité de former des Ca_{PS} , à partir de dopages P_{iso} préalablement diffusés dans un substrat N (orientation (111) et résistivité ρ_{Si} de 30 - 45 $\Omega\cdot\text{cm}$), a tout d'abord été étudiée. Les caractéristiques physiques de P_{iso} sont similaires à celles décrites dans le Tableau 13. La localisation de P_{iso} a été obtenue par le biais d'une photolithographie usuelle. En sortie d'anodisation, la plaquette s'apparente

à l'illustration donnée par la Figure 137. La réaction électrochimique a été réalisée dans un électrolyte constitué d'acide fluorhydrique (HF) 50 %, d'eau (H_2O) et d'acide acétique (acac) dans les proportions (4,63 : 2,14 : 1,45) sous une densité de courant d'anodisation J_{ano} de 60 mA/cm² pendant une durée D_{ano} de 30 min dans l'obscurité. Les régions N restent intactes, seul P_{iso} est transformé. Le retrait de la couche PS par une solution basique (par exemple de la potasse KOH) permet une meilleure appréciation du résultat. La Figure 138 présente ainsi un Ca_PS d'une profondeur oscillant entre 85 et 95 μm à l'emplacement de P_{iso} . La topographie variable de ce Ca_PS semble reliée à la concentration en dopant, facteur évidemment déterminant au niveau de l'anodisation.

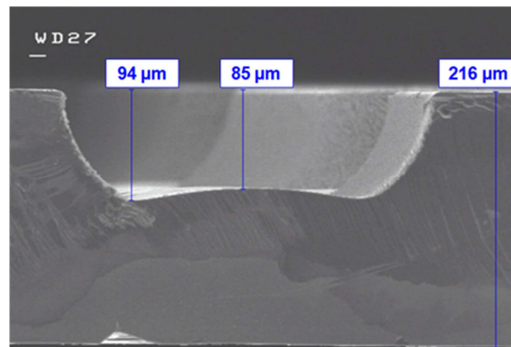


Figure 138 : Vue MEB correspondant à la structure de la Figure 137, après retrait de la couche PS par KOH.

Cette première expérimentation valide la possibilité d'anodiser P_{iso} . Les spécificités physiques, électriques et géométriques de la couche PS devront bien évidemment être étudiées plus en détail.

1.2 Description de la P_{ψ} -PS visée et de ses motifs de caractérisation

Le paragraphe 5.4 du premier chapitre, et notamment sa Figure 51, donnent une esquisse de la structure globale du TRIAC disposant d'une P_{ψ} -PS. Cette dernière s'apparente à son homologue Top Glass (TG) dans le sens où on y retrouve le substrat N usuel dans lequel sont diffusées les couches classiques du TRIAC : les profils traversants P_{iso} , les bases P et émetteurs N^+ inférieurs (respectivement P_1 et N^+_2) et supérieurs (respectivement P_2 , N^+_1 et N^+_3 pour la gâchette). La différence majeure repose sur l'absence de sillons remplis de verre, ces derniers étant remplacés par le PS. Cette spécificité permet une intégration plus verticale des terminaisons de jonction et donc un gain au niveau taille de puce. Une couche de passivation peut ensuite être ajoutée afin de protéger le PS. Des plots de métallisation sur les faces avant (électrodes A1 et G) et arrière (A2) finalisent la structure.

Intéressons-nous plus spécifiquement à la P_{ψ} du TRIAC. La Figure 139 schématise de façon plus précise la structure qui sera étudiée électriquement. Une première particularité provient des Ca_PS . Leur forme caractéristique a été choisie de façon à ce que le chemin de découpe entre les puces soient majoritairement composé de silicium (Si). L'intégrité du PS sera ainsi mieux préservée. Les règles de

construction utilisées seront commentées dans le paragraphe 1.5. Par ailleurs, si les propriétés diélectriques du PS « massif » sont bien entendu déterminantes, il est aussi intéressant de constater la présence de trois interfaces PS / Si, à priori aux caractéristiques différentes : PS / P_2 (Int₁), PS / N (Int₂) et PS / P_{iso} (Int₃). Ces dernières peuvent également influencer sur les performances de la P_J en déformant défavorablement ou bien avantageusement les lignes de champ électrique lorsque le TRIAC se trouve en situation de blocage. Elles peuvent également amplifier ou bloquer la circulation d'un courant de fuite respectivement en favorisant des chemins de conduction au travers de la structure ou en cas de comportement redresseur inverse.

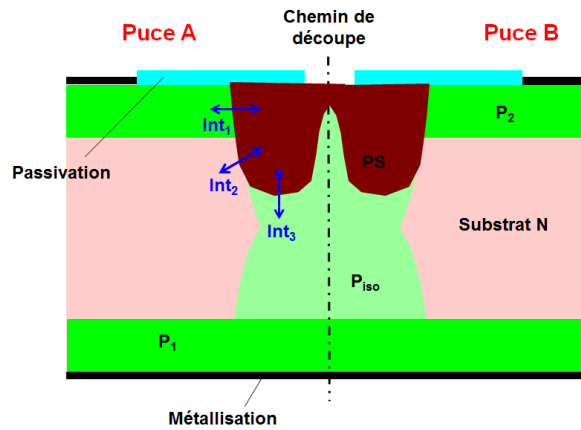


Figure 139 : Focalisation sur la P_J -PS étudiée et mise en évidence des interfaces également impliquées dans les performances en blocage du TRIAC : PS / P_2 (Int₁), PS / N (Int₂) et PS / P_{iso} (Int₃).

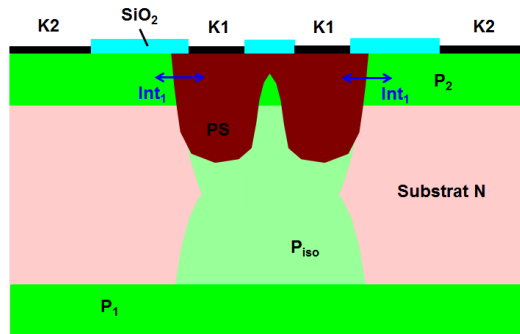


Figure 140 : Motif de caractérisation de l'interface PS / P_2 (Int₁).

Dès lors, il apparaît nécessaire d'étudier plus spécifiquement ces interfaces. Pour ce faire, des motifs de caractérisation dédiés ont été conçus. Les Figures 140, 141 et 142 représentent les dispositifs associés respectivement aux interfaces Int₁, Int₂ et Int₃. Les cas Int₁ et Int₂ donnent lieu à des mesures latérales alors que Int₃ sera évaluée verticalement. Dans le cas de Int₂, il convient également de noter que la base P_2 a été diffusée préalablement à la formation du PS. Elle est indiquée par des pointillés sur la Figure 141. Cette précaution garantit une situation proche de celle qui sera rencontrée pour les TRIACs. P_2 ne sera en effet pas localisée, elle sera diffusée sur toute la surface de la plaquette,

incluant évidemment les régions P_{iso} . En ce qui concerne la Figure 142, précisons que l'interface étudiée n'est pas purement de type PS / P_{iso} (Int₃), il est possible que les interfaces Int₁ et Int₂ impactent également les résultats. Les zones cerclées en pointillé rouge (Int₁) et jaune (Int₂) sur la Figure 142 peuvent effectivement apporter une contribution au courant, dépendamment de la polarisation appliquée et de la nature ohmique / redresseur de ces interfaces. Il convient également de remarquer que les contacts électriques, qui seront utilisés pour les évaluations électriques (Cf. partie 2), sont indiqués par les notations K1 et K2. Sur la face avant des dispositifs, ils peuvent être isolés les uns par rapport aux autres par une passivation (par exemple un oxyde SiO_2).

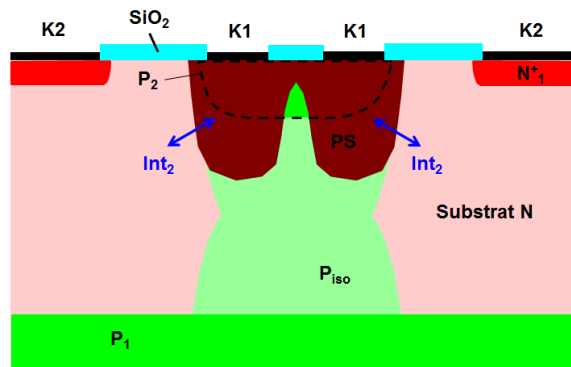


Figure 141 : Motif de caractérisation de l'interface PS / N (Int₂).

Pour conclure ce paragraphe, ajoutons que les cellules du TRIAC et des motifs de caractérisation utilisés pour la conception des masques sont données en annexe H. De plus, que ce soit pour Int₁, Int₂ et Int₃, des variations de surfaces de PS contactées ont été considérées.

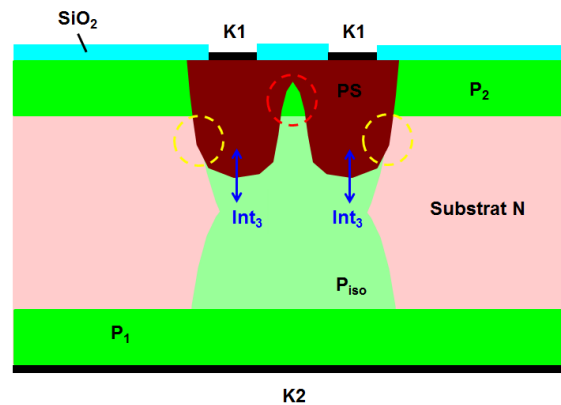


Figure 142 : Motif de caractérisation de l'interface PS / P_{iso} (Int₃).

1.3 Procédés de fabrication : vue d'ensemble (procédé 6 pouces)

Le TRIAC P_{iso} -PS ainsi que ses motifs de caractérisation seront diffusés sur une même plaquette six pouces. L'ensemble du procédé qui sera décrit dans ce paragraphe est en effet compatible avec ce diamètre de wafer. Un substrat de type N (dopage phosphore), orienté (111) d'épaisseur 210 μm et de

résistivité 33 - 39 $\Omega \cdot \text{cm}$ a été choisi comme point de départ. Ses caractéristiques restent classiques dans le domaine des composants de puissance.

Tableau 13 : Procédé de fabrication du TRIAC P_{iso} -PS et de ses motifs de caractérisation

N° Etape	Intitulé	Détails opération
1	Oxydation initiale	Recuit 5 h à 1050 °C (1,2 μm)
2a	Photolithographie P_{iso}	Double face proximité, oxydation pré-implantation 1 h 30 à 950 °C (170 nm)
2b	Diffusion P_{iso}	Implantation bore double face dose $5,8 \cdot 10^{15} \text{ at/cm}^2$, recuit 240 h à 1280 °C
3a	Photolithographie P_1 et P_2	Double face proximité
3b	Diffusions P_1 et P_2	Implantation bore double face dose $5,8 \cdot 10^{15} \text{ at/cm}^2$, recuit 39 h à 1180 °C
4a	Photolithographie N_1^+ , N_2^+ et N_3^+	Double face proximité
4b	Diffusions N_1^+ , N_2^+ et N_3^+	Pré-dépôt POCl_3 et recuit 45 min à 1150 °C, désoxydation partielle 650 nm, recuit diffusion 2 h à 1150 °C
5	Désoxydation complète	HF 50 % : H_2O (1 : 1)
6	Photolithographie PS	Cf. paragraphe 1.3
7	Anodisation PS	Cf. paragraphe 1.3
8	Recuit post-anodisation	1 h à 250 °C sous azote (N_2)
9a	Dépôt passivation	USG 500 nm double face (200 °C, PECVD)
9b	Photolithographie passivation	Double face proximité
10a	Dépôt métallisation	Al 3 μm FX* / 1 μm FO* (PVD)
10b	Photolithographie métallisation	Double face proximité

(*) FX = face avant, FO = face arrière

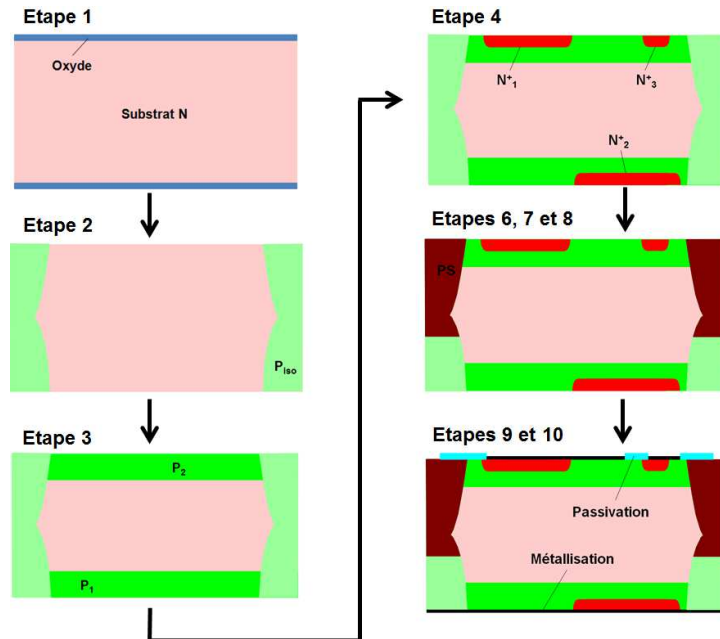


Figure 143 : Schématisation des principales étapes de fabrication du TRIAC P_{iso} -PS données dans le Tableau 13 (Par souci de simplification, les oxydes nécessaires aux opérations 2, 3 et 4 ont été retirés et l'étape 5 n'a pas été représentée).

Le tableau 13, complété par les illustrations de la Figure 143, récapitule les étapes majeures du procédé de fabrication utilisé pour le TRIAC $P_{\text{G-PS}}$ et ses motifs de caractérisation. Les techniques de masquage employées sont systématiquement réalisées par protection SiO_2 , une première oxydation est donc nécessaire pour débiter. Une épaisseur de 1,2 μm (5 h à 1050 °C) a été visée (Etape 1). Une première photolithographie double face et par proximité est ensuite opérée pour localiser P_{iso} de part et d'autre de la plaquette (Etape 2a). Le dopage est assuré par une implantation au bore, avec une dose de $5,8 \cdot 10^{15} \text{ at/cm}^2$, suivi d'un recuit de 240 h à 1280 °C, durée et température (T) nécessaires pour assurer la jonction entre les deux faces (Etape 2b). A noter que l'association d'un long recuit, et d'une forte dose d'implantation, requiert au préalable la présence d'un oxyde de pré-implant (dans notre cas d'épaisseur 170 nm) de façon à limiter la contamination du substrat aux métaux lourds. La seconde étape de photolithographie permet le positionnement de P_1 et P_2 (Etape 3a réalisée de façon similaire à son homologue 2a). Notons qu'en l'absence du motif de caractérisation Int_2 (Figure 141), l'obtention de P_1 et P_2 n'imposerait aucun masquage. Une nouvelle implantation à $5,8 \cdot 10^{15} \text{ at/cm}^2$ jumelée cette fois-ci à un recuit de 39 h à 1180 °C conduit à une profondeur de jonction (X_{vert}) et une concentration de surface (C_s) de l'ordre de 20 μm et $5 \cdot 10^{18} \text{ cm}^{-3}$ respectivement (Etape 3b). A noter que l'étape 3b, au même titre que l'opération 2b, aurait pu être complétée par une oxydation avant implantation. Cependant, compte tenu d'un budget thermique plus faible et dans un esprit de simplification du procédé, nous avons choisi de ne pas l'implémenter. La réalisation des profils N^+_1 , N^+_2 et N^+_3 débute par une troisième photolithographie (Etape 4a totalement identique aux procédés 2a et 3a). Un pré-dépôt POCl_3 (verre au phosphore), recuit 45 min à 1150 °C, assure ensuite un dopage superficiel du Si non protégé. Dans le but d'éviter les éventuels dopages parasites à travers le SiO_2 de protection, une désoxydation partielle de 650 nm précède le recuit de diffusion réalisé à 1150 °C pendant 2 h (Etape 4b). Dans ces conditions, le profil du phosphore se caractérise par $X_{\text{vert}} = 10 \mu\text{m}$ et $C_s = 1,5 \cdot 10^{20} \text{ cm}^{-3}$. Tous les oxydes sont alors retirés en plongeant les wafers dans un bain à base de HF (Etape 5). Cette préparation de surface conditionne le bon déroulement de la localisation, ainsi que la réaction électrochimique du PS, qui seront discutées plus en détail dans le paragraphe 1.4 (Etapas 6 et 7). Une fois formé, le PS est recuit 1 h à 250 °C sous N_2 (Etape 8). Notons que ce traitement thermique du PS n'a pas été optimisé, l'utilisation de RTA (Rapid Thermal Annealing) pourrait, par exemple, amener une meilleure stabilisation électrique de la couche PS. Comparativement au procédé adopté pour les wafers 2 pouces décrits au chapitre précédent (Cf. chapitre 3, paragraphe 1.4), la température du recuit post-anodisation a été abaissée, un compromis est en effet nécessaire entre la tenue mécanique des plaquettes (Cf. paragraphe 1.5) et la stabilité de la couche PS vis-à-vis de ses propriétés électriques (Cf. chapitre 3, paragraphe 4.4.4). Cette opération apparaît également nécessaire pour préserver l'intégrité de la couche PS vis-à-vis de la suite du procédé de fabrication, notamment lors des dépôts passivation (Etape 9a) et métallisation (Etape 10a). Les dépôts USG (Undoped Silicon Glass) et aluminium (Al) sont en effet effectués respectivement par PECVD (Plasma Enhanced

Chemical Vapor Deposition) à 200 °C et PVD (Physical Vapor Deposition) à T ambiante mais avec une possible élévation en température du bâti. La couche USG présente une épaisseur de 500 nm. Du point de vue l'Al, 3 μm sont imposés en face avant (FX) pour des raisons de compatibilité d'assemblage vis-à-vis des fils de connexion, alors que seulement 1 μm est requis en face arrière (FO). Pour cette première analyse, aucun traitement thermique supplémentaire n'a été implémenté, par exemple, pour densifier l'USG ou encore améliorer la qualité des contacts Al / Si. Une finition par une métallisation de type nickel (Ni) côté FO sera sans doute également nécessaire pour assurer une bonne adhésion de la puce sur l'embase cuivre du boîtier. Ces problématiques seront certainement à considérer dans une phase plus avancée de l'étude. Les photolithographies nécessaires à la définition des contacts électriques de nos structures (Etapes 9b et 10b) restent standards vis-à-vis de notre procédé, à savoir double face par proximité.

1.4 Focalisation sur la localisation du PS et son anodisation

1.4.1 Techniques de localisation du PS

Plusieurs techniques de localisation du PS ont été discutées dans la littérature sans parvenir à un consensus quant à la méthode la plus adaptée. Trois grandes contraintes doivent en effet être prises en compte. Tout d'abord, dans un souci d'industrialisation, le procédé doit être compatible avec les équipements de photolithographie usuels. Deuxièmement, le matériau de protection doit être résistant à l'électrolyte et notamment au HF fortement corrosif, qui plus est sous l'effet d'une polarisation. Enfin, la couche PS doit rester totalement intègre après retrait de l'élément de masquage. Les lignes qui suivent donnent quelques indications sur les procédés les plus usuels.

Des couches de SiO_2 et Si_xN_y (nitrure de Si) sont plutôt utilisées pour des D_{ano} courtes et donc des épaisseurs PS (t_{ps}) relativement faibles. Leurs dissolutions dans HF sont en effet rapides [69, 235]. Notons tout de même que la vitesse d'attaque de Si_xN_y dans HF peut être ralentie en ajustant la stœchiométrie x et y de la couche [236, 237]. Si_xN_y pose néanmoins une seconde difficulté. La couche Si_xN_y , généralement sous contraintes, contribue à la formation de brisures dans le PS et en bordure du masque. L'association SiO_2 / Si_xN_y atténue le phénomène, néanmoins des craquelures sont toujours visibles en périphérie des zones porosifiées [235, 237]. Des dépôts LPCVD (Low Pressure Chemical Vapor Deposition) dans lesquels la stœchiométrie (x ; y) du Si_xN_y est ajustée peut également permettre de minimiser le stress dans la couche.

Pour compenser la faible résistance au HF du SiO_2 , ce dernier peut être associé à du polysilicium (Poly-Si) dopé N^+ . Néanmoins, les extrémités de la couche SiO_2 restent toujours en contact avec HF et le film SiO_2 / Poly-Si finit par se détacher, notamment lorsque J_{ano} sont plus élevées [75].

Le carbure de silicium amorphe (SiC) possède une excellente résistance au HF [69, 237]. Son inconvénient majeur reste son retrait. Des techniques inactives vis-à-vis du substrat Si sont en effet nécessaires. Des gravures plasma CF_4 (Tétrafluorure de carbone) ont donné de bons résultats [236].

L'emploi de résines photosensibles classiques présente les mêmes vulnérabilités que SiO_2 . Elles se décomposent en effet rapidement dans un milieu concentré en HF. Des décollements sont initiés en bordure du masque, puis des piqûres finissent par apparaître sur la totalité de la surface [69, 237]. Starkov *et al.* ont néanmoins obtenu de bons résultats avec une résine négative très épaisse ($> 30 \mu\text{m}$) et des D_{ano} élevés (75 min) [238]. Leurs expérimentations ont été menées sur un substrat P (111) avec $\rho_{\text{Si}} = 7 - 10 \Omega.\text{cm}$, $J_{\text{ano}} = 10 \text{ mA/cm}^2$, et dans un électrolyte de HF (49 %) et DMF (Diméthylformamide) dans des proportions (1 : 10). Dans ces conditions, une t_{ps} de $100 \mu\text{m}$ a été atteinte. Les auteurs ont simplement relevé des problèmes d'adhésion de la résine lorsque cette dernière était trop longuement exposée à l'atmosphère ambiante. Ils précisent également que la résine peut facilement être retirée en plongeant la plaquette dans un bain d'eau sous ultrasons.

Des essais avec un fluoropolymère (FP) ont également conduit à une qualité de masquage PS satisfaisante notamment sur un substrat P (111) de résistivité $20 \text{ m}\Omega.\text{cm}$ [236]. Selon les auteurs, cette couche de FP supporte un environnement à base de HF et son retrait par le biais d'un plasma O_2 est simple. Il semblerait néanmoins qu'à l'issue de la réaction électrochimique, des défauts soient présents dans la couche, notamment lorsque les potentiels d'anodisation (V_{ano}) sont plus forts ($> 7 \text{ V}$). L'éventualité d'un claquage localisé du FP est donc avancée.

Une autre méthode consiste à utiliser des masques métalliques comme de l'or (Au), connu pour sa résistance au HF. Au préalable, une fine pellicule de chrome (Cr) est déposée de façon à améliorer l'adhésion du masque sur le substrat Si, isoler ce dernier de la couche Au et ainsi éviter tout phénomène de catalyse [237, 239]. Tao *et al.* ont cependant rapporté un échec de cette technique [237]. Les films Au et Cr se sont en effet rapidement décollés. Ils présentaient des épaisseurs de 400 nm et 50 nm respectivement. Un substrat N (100), de résistivité $3 - 7 \Omega.\text{cm}$ a été employé. L'anodisation a été réalisée dans un électrolyte HF 50 % : éthanol : H_2O (1 : 2 : 17), sous illumination et pour J_{ano} de l'ordre de 10 mA/cm^2 . A l'inverse, avec un masque métallique du même type (épaisseurs Cr et Au de 20 et 100 nm respectivement), Oisten *et al.* démontrent une bonne localisation du PS [239]. Leurs travaux ont porté sur un substrat P (100), avec $\rho_{\text{Si}} = 10 - 20 \Omega.\text{cm}$, $J_{\text{ano}} = 30 \text{ mA/cm}^2$ et $D_{\text{ano}} = 90 \text{ min}$. L'électrolyte, quant à lui, était composé d'un mélange de HF 49 %, d'éthanol et d'eau (1 : 2 : 3) auquel un surfactant CTAC (Cetyl TrimethylAmmonium Chloride) a également été ajouté. L'adhésion du masque a semble-t-il été améliorée en le polarisant par rapport à l'anode ou la cathode durant l'anodisation, les meilleurs résultats étant atteints dans la première configuration. Sans appliquer de tension, Pichonat *et al.* mentionnent avoir utilisé avec succès un masquage PS de type Cr / Au pour réaliser des membranes de micro-piles à combustible [76]. Les

épaisseurs des couches Cr et Au s'élevaient respectivement à 15 et 800 nm. L'anodisation a été réalisée dans l'obscurité, sur un substrat silicium N⁺ (100) avec $\rho_{Si} = 12 - 15 \text{ m}\Omega\cdot\text{cm}$. Une densité de courant constante de 180 mA/cm^2 et un électrolyte à base de HF 48 % et d'éthanol pur dans les proportions (1 : 1) ont également été utilisés.

Une autre alternative intéressante consiste à tirer profit de la sélectivité de la gravure PS en fonction du dopage [156, 240]. A partir d'un substrat P (100), de résistivité 0,7 - 1,2 $\Omega\cdot\text{cm}$ et un contre-dopage de type N, Splinter *et al.* ont réussi à limiter la réaction électrochimique uniquement sur les zones dopées P, et ce pour des D_{ano} aussi longues que 120 min [240]. Les auteurs précisent néanmoins qu'une attention particulière doit être portée sur les propriétés électriques de la jonction bloquante PN. Le dopant arsenic s'est en effet avéré non fructueux, alors qu'en se focalisant sur une couche concentrée en phosphore, de profondeur 1,5 μm (dose d'implantation de $4.10^{15} \text{ at/cm}^2$ et recuit 30 min à 1050 °C sous O₂), des épaisseurs PS de 100 μm ont été possibles.

Le choix de la technique optimale est évidemment fonction du profil PS souhaité. De plus, au regard des procédés décrits ci-dessus, la localisation du PS semble également conditionnée par plusieurs facteurs. Premièrement, la qualité du film de protection est essentielle. L'absence de défaut évitera la formation d'îlots PS parasites. Deuxièmement, le masque doit bénéficier d'une adhérence suffisante sur le substrat Si sans en altérer l'interface. Cette propriété suppose par ailleurs une bonne gestion des surgravures PS induites en bordures des zones de masquage où les décollements prennent souvent naissance. Enfin, les contraintes mécaniques internes au matériau de protection doivent être minimisées de façon à garantir une croissance homogène du PS.

Dans le cadre de notre étude, viser des t_{ps} élevées et/ou des $P_{\%}$ fortes garantira une couche PS plus performante en matière de propriétés diélectriques. De fait, J_{ano} et/ou D_{ano} pourront être importantes. Cette contrainte, ainsi que la volonté de s'orienter vers des techniques simples à mettre en œuvre vis à vis de la structure TRIAC visée, nous ont dirigés vers trois procédés : Si_xN_y, FP et une résine photosensible épaisse. Les paragraphes suivants discutent plus spécifiquement les essais entrepris.

1.4.2 Le procédé nitrure de silicium (Si_xN_y) pour la P_U-PS

A l'issue de l'étape N°5 (Cf. Tableau 13), une couche Si_xN_y d'épaisseur 160 nm est déposée sur les deux faces du wafer par LPCVD. Le dépôt FO ne joue qu'un rôle de protection durant le traitement de la face FX. Le nitrure FX est ensuite recouvert d'une résine photosensible positive classique (OIR 906 de chez Fujifilm) d'épaisseur 1,2 μm . L'ensemble est alors recuit à 90 °C pendant 1 min. A l'aide d'un équipement de photolithographie par proximité, FX est insolée. Un nouveau recuit à 110°C est opéré pendant 1 min et précède le développement. La gravure Si_xN_y est réalisée par plasma trifluorométhane (CHF₃) : éthylène (C₂H₄) dans les proportions (30 : 3). Au préalable une fusion de la résine à 180 °C

pendant 1 min est requise. A l'issue de toutes ces opérations, la résine est totalement éliminée et l'anodisation peut avoir lieu.

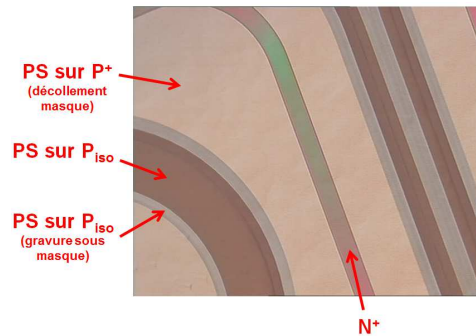


Figure 144 : Vue du wafer masqué Si_xN_y en sortie d'anodisation. Conditions d'anodisation : $J_{\text{ano}} = 90 \text{ mA/cm}^2$, $D_{\text{ano}} = 30 \text{ min}$. La couche Si_xN_y s'est décollée.

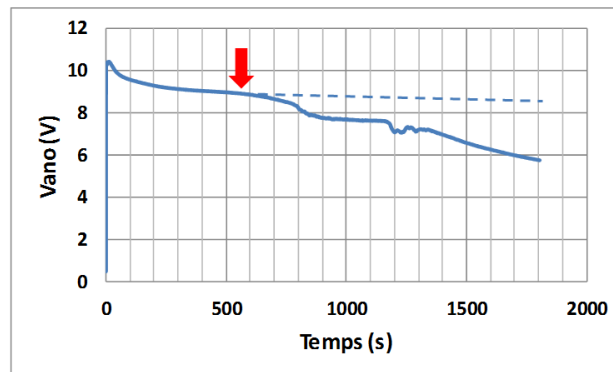


Figure 145 : Relevé chrono-voltamétrique $V_{\text{ano}}(t)$, associé au wafer masqué Si_xN_y , $J_{\text{ano}} = 90 \text{ mA/cm}^2$, $D_{\text{ano}} = 30 \text{ min}$. L'instant correspondant au décollement du masque est identifié par une flèche rouge.

L'adhésion du nitrure sur le substrat Si étant limitée (Cf. paragraphe 1.4.1), nous avons restreint D_{ano} à 30 minutes. Par contre J_{ano} a été élevée à 90 mA/cm^2 au risque de générer des arrachements PS au cours de l'anodisation ou le séchage des plaquettes. L'électrolyte est resté commun aux expérimentations menées dans le cadre du chapitre 3, à savoir un mélange HF : acac : H_2O dans des proportions (4,63 : 2,14 : 1,45) (Cf. chapitre 3, paragraphe 1.3). La Figure 144 présente la vue d'un motif en sortie d'anodisation. Le masque s'est décollé. De fait, la réaction électrochimique est initiée sur toutes les zones P^+ . Seules les zones N^+ isolées dans un puits P^+ sont restées intactes. Le PS présente néanmoins différentes colorations, nous indiquant que la couche Si_xN_y a tenu un certain temps. Plus précisément, à partir du relevé $V_{\text{ano}}(t)$ donné en Figure 145, il semble que Si_xN_y se soit détaché au bout de 10 min. Une rupture de pente indiquée par une flèche rouge sur la figure est en effet visible. La courbe en pointillé donne la tendance $V_{\text{ano}}(t)$ qui serait attendue dans une situation plus classique. Les zones foncées coïncident avec les ouvertures du masque, il s'agit donc de PS formé depuis P_{iso} . De couleur grisâtre et s'étalant de part et d'autre du PS sur P_{iso} , on observe une gravure PS

sur P_{iso} latérale, localisée sous le masque Si_xN_y lorsque celui-ci était encore présent. Et enfin, les surfaces plus claires correspondent à du PS sur P^+ résultant du décollement de la couche Si_xN_y . Au final, en l'absence de localisation PS, cet échantillon n'est bien évidemment pas exploitable.

1.4.3 Adaptation du procédé fluoropolymère (FP) à la P_{iso} PS

Le dépôt FP est effectué dans un équipement RIE (Reactive Ion Etching) en présence des gaz précurseurs C_2H_4 (Ethylène) et CHF_3 (Trifluorométhane). L'épaisseur de la couche FP doit être choisie entre 150 et 300 nm pour bénéficier d'une homogénéité correcte et faciliter le traitement en termes de dépôt et gravure. L'adhésion de la couche FP sur les plaquettes durant la réaction électrochimique, et même lors du dépôt, est problématique. Différentes configurations ont dû être expérimentées avec plus ou moins de réussite. Les cas les plus caractéristiques sont synthétisés dans les Figures 146a, b et c. En présence d'un SiO_2 intermédiaire (Figure 146a), le masque FP se détache systématiquement. Cette option avait été privilégiée dans un premier temps de façon à préserver l'interface FP / Si. Lorsque le FP revêt directement le substrat Si (Figure 146b), le résultat est identique et ce, même en présence de promoteurs d'adhérence du type HMDS (HexaMéthylDiSilazane). La meilleure solution consiste à plonger les plaquettes dans un mélange HF : acac : H_2O dans des proportions similaires à l'électrolyte utilisé pour l'anodisation (Cf. paragraphe 1.4.2). Cette étape, dite « de révélation », a pour but de modifier l'état de surface du wafer de façon analogue à un promoteur d'adhérence (Cf. Figure 146c). L'inconvénient de cette technique est un retrait plus difficile de la couche FP, de nombreux défauts persistants à la surface de la plaquette. La Figure 147 illustre les imperfections dues à ces résidus FP. Le PS sur P_{iso} , de teinte orangée, est également bien visible sur la figure, ainsi que la gravure latérale prenant place sous le masque (couleur bleutée). Dans un souci d'optimisation du compromis adhérence / résidus FP, différentes durées de révélation (d_{revel}) ont été testées (15, 30 et 45 min). Plus d_{revel} est faible, et plus la surface du wafer est « propre ».

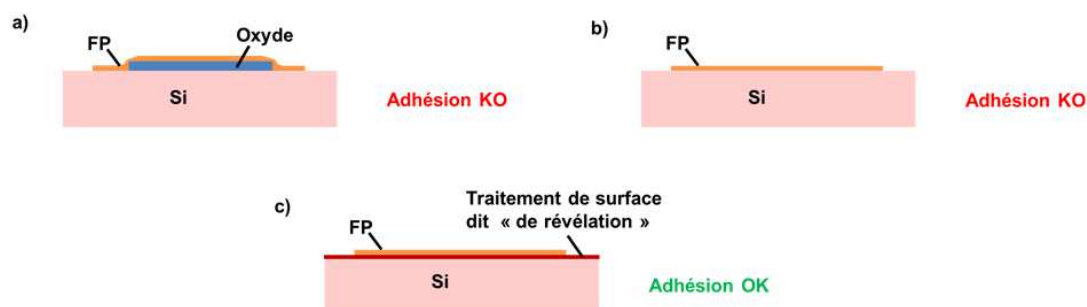


Figure 146 : Adhésion du FP lors de l'anodisation : a) avec un oxyde intermédiaire b) dépôt direct sur le substrat Si c) « révélation » du substrat Si avant dépôt FP dans un mélange HF : acac : H_2O .

La gravure du FP s'opère à l'aide d'un plasma de dioxygène (O_2), non sélectif par rapport à une résine photosensible usuelle. De fait, pour réaliser la lithographie de la couche FP, il est nécessaire au

préalable de déposer un masque dur de type Al. Ce dernier a été réalisé en déposant 500 nm d'Al par PVD, suivi d'une gravure humide, dite ANPE, mélangeant les acides acac, HNO_3 et H_3PO_4 (acide phosphorique) avec de l'eau. La définition des motifs est ensuite garantie par une méthode classique telle que décrite dans le paragraphe précédent à propos de la résine photosensible OIR 906.

A noter également que la couche FP a systématiquement été étuvée à 250 °C pendant 10 min. Cette étape garantit l'intégrité du FP vis-à-vis du procédé de masquage dur. Dans notre cas, elle nous a également permis de détecter les premiers problèmes d'adhérence du FP sur le substrat Si.

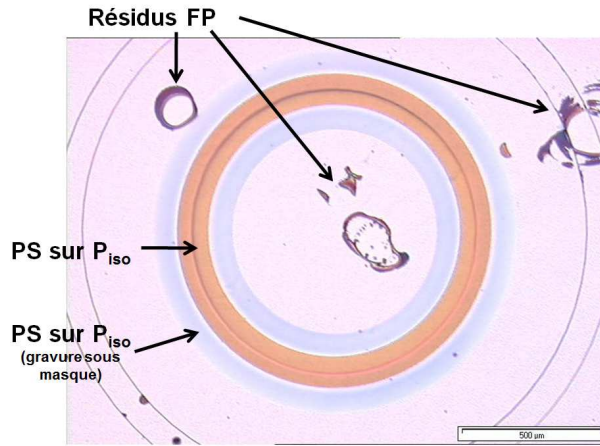


Figure 147 : Résidus après retrait du masque FP. Le PS sur P_{iso} est clairement visible (couleur orangée) ainsi que la gravure latérale ayant lieu sous le masque (couleur bleutée). Conditions d'anodisation : $d_{revel} = 15 \text{ min}$, $J_{ano} = 20 \text{ mA/cm}^2$, $D_{ano} = 90 \text{ min}$.

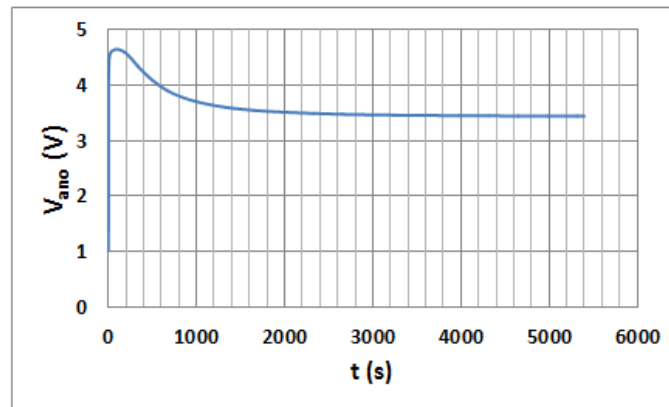


Figure 148 : Relevé chrono-voltamétrique $V_{ano}(t)$, associé au wafer masqué FP avec $d_{revel} = 30 \text{ min}$, $J_{ano} = 20 \text{ mA/cm}^2$, $D_{ano} = 90 \text{ min}$.

Dans le cas où FP recouvre des couches de dopages élevés, des phénomènes de claquage ont été rapportés pour des tensions supérieures à 7 V [236]. De fait, J_{ano} a été limitée à 20 mA/cm². Dès lors, D_{ano} doit être allongée pour obtenir une t_{ps} suffisante. Un électrolyte HF : acac : H_2O dans des

proportions (4,63 : 2,14 : 1,45) a été utilisé (Cf. chapitre 3, paragraphe 1.3). La Figure 148 présente l'évolution du potentiel V_{ano} en fonction du temps, avec une « révélation » de 30 min précédant le dépôt FP, $J_{ano} = 20 \text{ mA/cm}^2$ et $D_{ano} = 90 \text{ min}$. V_{ano} suit une tendance classique (Cf. chapitre 2, paragraphe 3.4), la réaction électrochimique semble s'être déroulée convenablement, cet essai donnera lieu à une évaluation électrique sous la référence W6_J20_t90_FP (Cf. paragraphes 2.2 et 2.3).

1.4.4 Utilisation d'une résine négative épaisse pour la P_u-PS

La troisième solution envisagée pour localiser le PS s'appuie sur le procédé de gravure des sillons des TRIACs DOUBLE MESA (DM) (Cf. chapitre 1, paragraphe 3.2.1). La méthode repose sur l'emploi d'une résine photosensible négative SC450 de chez Fujifilm. A l'issue des étapes de diffusion, les plaquettes doivent être totalement désoxydées et « révélées » pendant 10 min dans un mélange tel que décrit au paragraphe 1.4.3. 6 μm de résine sont alors déposés. Un premier étuvage à 95 °C est alors réalisé pendant 30 min. Compte tenu de la quantité de résine mise en jeu, l'énergie d'insolation (E_{insol}) est un paramètre critique vis-à-vis de la résolution des motifs. Pour notre application, en utilisant un équipement par proximité et $E_{insol} = 120 \text{ mJ}$, des résultats satisfaisants sont obtenus. L'étape de photolithographie s'achève par le développement, suivi d'un second étuvage de 30 min à 130 °C.

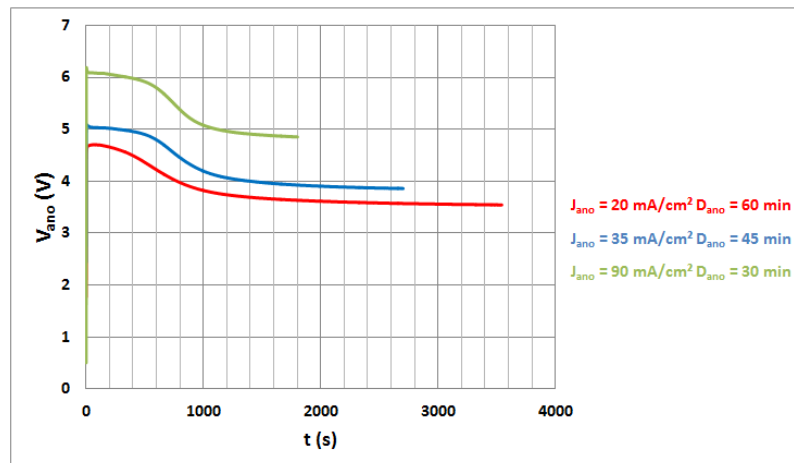


Figure 149 : Relevé chrono-voltamétrique $V_{ano}(t)$, associé au masquage par résine négative épaisse (6 μm). Trois conditions d'anodisation testées : $J_{ano} = 20 \text{ mA/cm}^2$ et $D_{ano} = 60 \text{ min}$ (Rouge), $J_{ano} = 35 \text{ mA/cm}^2$ et $D_{ano} = 45 \text{ min}$ (Bleu), $J_{ano} = 90 \text{ mA/cm}^2$ et $D_{ano} = 30 \text{ min}$ (Vert).

Différentes configurations ont été testées au niveau de la réaction électrochimique. La Figure 149 présente les relevés chrono-voltamétriques $V_{ano}(t)$ associées à trois essais : $J_{ano} = 20 \text{ mA/cm}^2$ et $D_{ano} = 60 \text{ min}$ (en rouge), $J_{ano} = 35 \text{ mA/cm}^2$ et $D_{ano} = 45 \text{ min}$ (en bleu), $J_{ano} = 90 \text{ mA/cm}^2$ et $D_{ano} = 30 \text{ min}$ (en vert). Quel que soit le cas considéré, un électrolyte HF : acac : H_2O dans des proportions (4,63 : 2,14 : 1,45) a été utilisé (Cf. chapitre 3, paragraphe 1.3). On retrouve des allures tout à fait similaires à celle donnée en Figure 148 et V_{ano} augmente de façon cohérente avec J_{ano} . La

Figure 150 illustre une vue issue d'un wafer traité avec résine négative épaisse en sortie d'anodisation ($J_{\text{ano}} = 35 \text{ mA/cm}^2$ et $D_{\text{ano}} = 45 \text{ min}$). Le masque a effectivement tenu et on observe le PS sur P_{iso} (couleur claire) comme désiré initialement. Néanmoins, de nombreux défauts sont visibles et ce, sur les trois cas de figure présentés. La gravure PS latérale sous masque se caractérise systématiquement par des « dentelles » et des piqûres clairsemées qui endommagent toute la surface de la résine. A noter que ces défauts sous forme de « dentelles » ont également été observés sur des plaquettes masquées FP, néanmoins leur concentration était nettement inférieure. Le wafer de la Figure 150 fera finalement l'objet d'une analyse électrique (Cf. paragraphes 2.2 et 2.3), il sera intitulé W6_J35_t45_NEG.

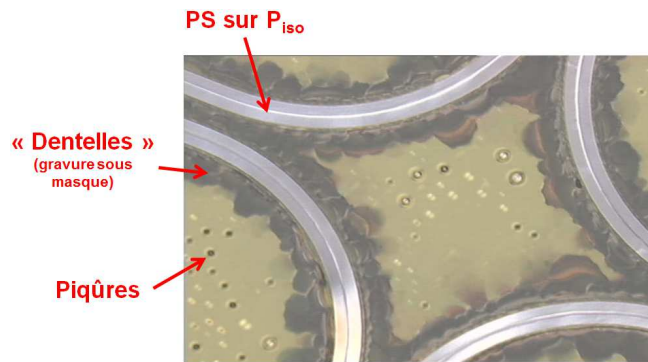


Figure 150 : Vue du wafer avec masquage en résine négative en sortie d'anodisation. Conditions d'anodisation : $J_{\text{ano}} = 35 \text{ mA/cm}^2$, $D_{\text{ano}} = 45 \text{ min}$. Le masque est bien présent mais des « dentelles » et des piqûres l'ont endommagé. Le PS sur P_{iso} présente une couleur claire.

1.4.5 Synthèse et perspectives d'améliorations du procédé de localisation du PS

L'utilisation de Si_xN_y comme matériau de masquage ne s'est pas révélée concluante dans les conditions qui nous étaient accessibles. Tel que mentionné au paragraphe 1.4.1, les perspectives seraient de l'associer avec du SiO_2 ou encore d'améliorer sa stœchiométrie pour minimiser le stress de la couche.

La résine négative épaisse a permis l'élaboration de prototypes, néanmoins de multiples imperfections ont été relevées. Ces défauts coïncident avec ceux déjà rapportés dans la littérature (Cf. paragraphe 1.4.1). Cette technique supposera la mise au point d'un procédé complexe tel que décrit par Starkov *et al.* [238].

Parmi les solutions investiguées dans le cadre de notre étude, l'emploi de films FP reste le plus séduisant. Le défi majeur repose sur le compromis adhérence / retrait de la couche FP. A cet effet, des optimisations semblent encore possibles au niveau de d_{revel} et/ou de la finition du substrat. Tous les essais menés l'ont été avec des substrats à forte réflectivité ($> 99 \%$), il est possible que des substrats à finition plus rugueuse répondent plus facilement aux contraintes de notre application. De plus, les connaissances sur le matériau FP ne sont encore que partielles [236]. De fait, les techniques de dépôt

et de gravure associées sont certainement améliorables, sachant aussi que l'environnement dans lequel il a été déposé n'est pas des plus favorables (laboratoire). Enfin, l'ajout d'un traitement PMC (Polissage Mécano-Chimique) pour éliminer la déféctuosité toujours présente après retrait FP est aussi envisageable.

A noter également que la conception des masques n'est pas optimum. En effet, deux situations coexistent. La Figure 151 représente la face supérieure d'une plaquette en situation d'anodisation. On y retrouve les dopages déjà discutés longuement dans ce chapitre à savoir le substrat N et les profils diffusés P_{iso} , P^+ et N^+ . Le masque PS ainsi que l'électrolyte sont également indiqués. Les deux cas de la Figure 151 se démarquent au niveau du positionnement du puits N^+ (zones en pointillé bleu). Ce dernier est soit localisé dans la couche P^+ (Figure 151a), soit directement intégré dans le substrat N (Figure 151b). En phase d'anodisation, l'électrolyte est polarisé négativement par rapport au substrat N. Dans la configuration de la Figure 151a et dans la zone des puits N^+ qui nous intéresse particulièrement, le champ électrique résultant de V_{ano} est distribué à la fois dans le masque PS et la jonction inverse P^+N (Cf. Figures 152 a, b et c). A l'inverse, dans la situation de la Figure 151b, la totalité du champ électrique se déploie dans le matériau de protection PS (Cf. Figures 153 a, b et c), qui de fait est plus contraint, notamment lorsque ce-dernier est constitué de FP [236]. L'architecture TRIAC P_{iso} -PS ne fait appel qu'à la structure de la Figure 151a, situation par conséquent plus favorable vis-à-vis de la localisation du PS.

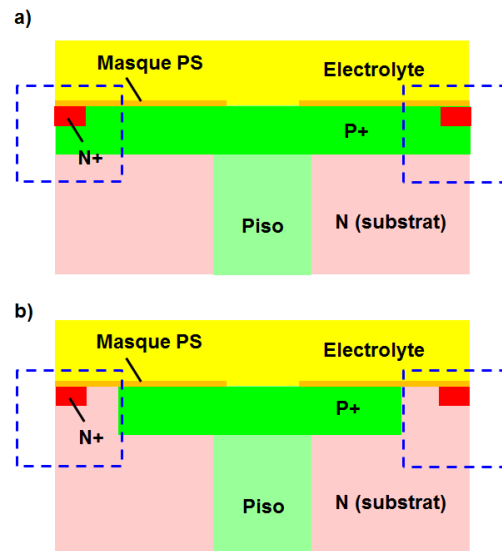


Figure 151 : Impact de la conception sur l'anodisation et la localisation du PS : a) V_{ano} se distribue à la fois dans le masque PS et la jonction inverse P^+N (Cf. Figures 152 a, b et c) b) le champ électrique ne se déploie que dans le masque PS, de fait plus éprouvé (Cf. Figures 153 a, b et c).

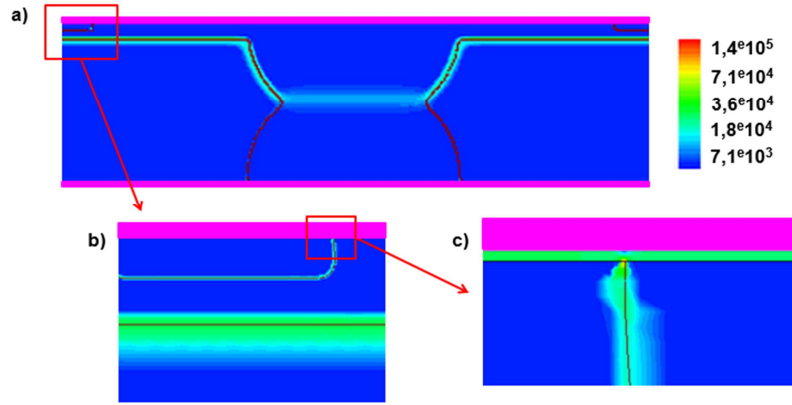


Figure 152 : Cartographie du champ électrique associé à la Figure 151a lorsque l'électrolyte est polarisé négativement (-15 V) par rapport au substrat N : a) vue globale b) zoom sur la zone N^+ c) zoom sur le diélectrique de masquage PS. Les contacts électriques, dont celui associé à l'électrolyte en face avant, sont représentés en violet.

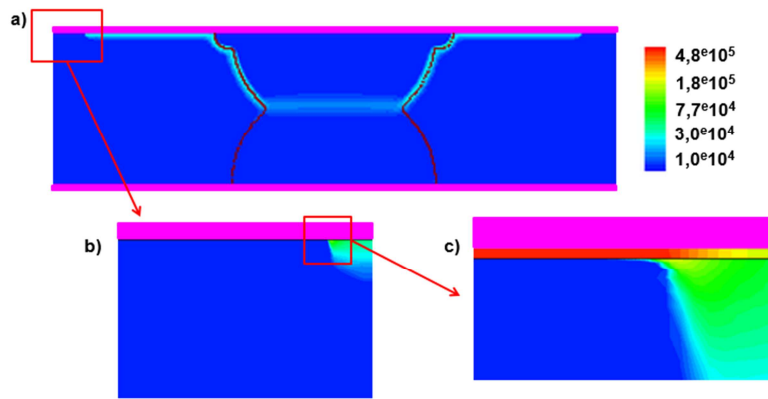


Figure 153 : Cartographie du champ électrique associé à la Figure 151b lorsque l'électrolyte est polarisé négativement (-15 V) par rapport au substrat N : a) vue globale b) zoom sur la zone N^+ c) zoom sur le diélectrique de masquage PS. Les contacts électriques, dont celui associé à l'électrolyte en face avant, sont représentés en violet.

Enfin, il pourrait être envisagé de tirer profit de la sélectivité de l'anodisation en fonction du dopage (Cf. paragraphe 1.4.1). Cette solution nécessiterait un ajustement de la conception de la périphérie PS. Une distance d entre le dopage P_{iso} supérieur et le puits P_2 doit être respectée comme indiqué sur la Figure 154. d doit être suffisamment large pour assurer la localisation du puits PS uniquement sur P_{iso} . D'un point de vue performance électrique, l'ajout de d serait plutôt favorable du fait de l'éloignement accru des zones à isoler. Cet avantage peut aussi se traduire par une réduction des exigences nécessaires au niveau des performances diélectriques du PS. Par contre, on cherchera à minimiser d pour ne pas trop impacter l'avantage supposé du PS vis-à-vis de la densité d'intégration. A noter que

pour une structure TRIAC P₀-PS, le nombre de niveaux de masquage resterait identique puisque la lithographie PS serait remplacée par celle de la couche P₂.

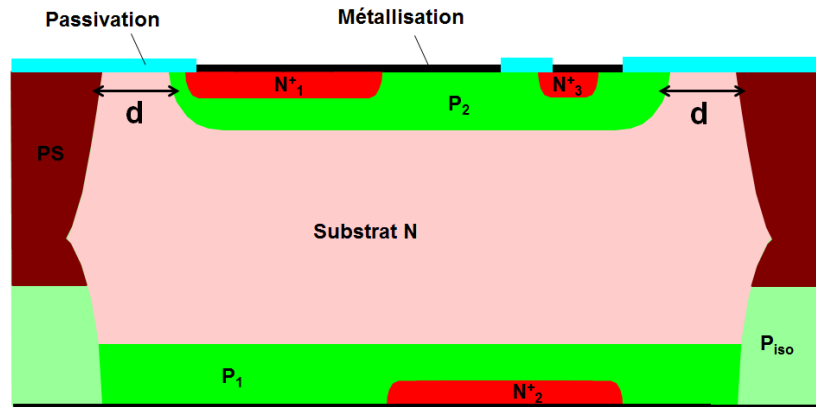


Figure 154 : Optimisation de la P_G-PS pour profiter de la sélectivité de l'anodisation en fonction du dopage.

1.5 Tenue mécanique des plaquettes porosifiées

Une bonne gestion du voile (« warp »), consécutif au développement de contraintes mécaniques au sein de la plaquette, est impérative pour traiter correctement des wafers minces (210 μm dans notre cas). La problématique est d'autant plus compliquée que le diamètre des wafers est élevé (6'' dans notre cas). Trop de « warp » peut impliquer de la casse lors des manipulations de wafers, par exemple dans les bâtis d'évaporation ou les implanteurs. Les séquences d'alignement deviennent également difficiles, voire même impossibles.

En ce qui concerne les technologies TRIAC, le « warp » trouve essentiellement naissance lors des phases d'oxydation du substrat. Deux mécanismes physiques sont à l'origine de ce phénomène. Premièrement, une expansion volumique résulte de la transformation du Si en SiO₂. Ce dernier se retrouve alors sous compression. La chimie utilisée lors de l'oxydation conditionne fortement les résultats [241]. Et deuxièmement, les coefficients de dilatation thermique diffèrent entre les deux matériaux amenant des contraintes mécaniques lors du refroidissement de la plaquette [242]. Par ailleurs, les dissymétries géométriques que peuvent apporter les sillons remplis de verre d'une face à l'autre de la plaquette sont également source de problèmes mécaniques (Cf. chapitre 1, paragraphe 3.2.1).

L'intégration du PS ne simplifie pas la situation. Le PS dispose d'un paramètre de maille plus élevé par rapport à celui du Si massif, notamment dans la direction perpendiculaire à la surface [243], générant ainsi une contrainte de type compressive au niveau du PS. Plus la $P_{\%}$ est forte et plus cet effet est accentué [244, 245]. La nature du stress est donc équivalente à celle d'une oxydation. L'augmentation de cette contrainte, lors du vieillissement du PS à l'air libre, a par ailleurs été

clairement corrélée à la croissance d'une fine couche d'oxyde [243]. Cependant, selon Sugiyama *et al.*, il est plus plausible d'associer le phénomène d'expansion volumique du PS en sortie d'anodisation à l'adsorption d'hydrogène sur les parois des pores [246]. Leurs échantillons PS, d'épaisseur 25 μm , formés à partir d'un substrat P (100) de résistivité 20 $\text{m}\Omega\cdot\text{cm}$, basculent en effet d'un état de compression à celui d'une contraction en augmentant la température du recuit post-anodisation de 100 à 400 $^{\circ}\text{C}$. Les recuits ont été systématiquement effectués sous atmosphère inerte pendant 10 min. La transition entre les deux régimes s'opère à 300 $^{\circ}\text{C}$.

Dans notre cas, le recuit post-anodisation est effectué sous atmosphère N_2 non contrôlée. La désorption de l'hydrogène s'accompagnera donc d'une oxydation. De fait, la nature du stress résultant reste difficilement prédictible.

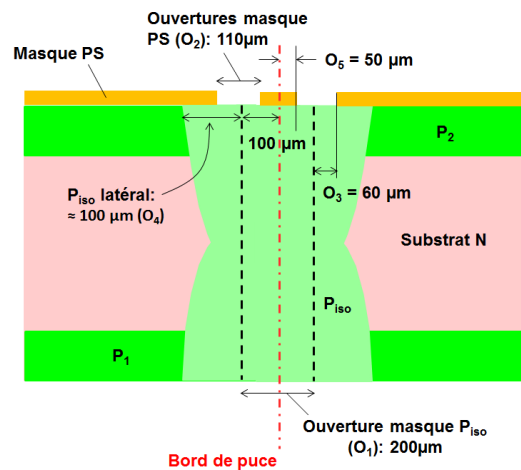


Figure 155 : Règles de conception de la P_{Ω} -PS au niveau des ouvertures masque P_{iso} et PS.

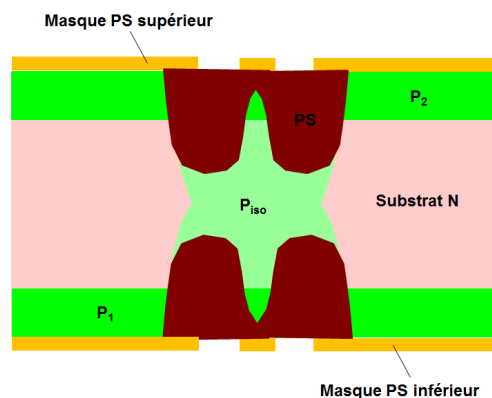


Figure 156 : Symétrisation de la P_{Ω} -PS : croissance PS de part et d'autre de la diffusion P_{iso} pour des fins d'améliorations du « warp ».

L'association plaquette mince et PS apparaît donc périlleuse. De façon à anticiper les risques de « warp », la couche de diffusion P_{iso} supérieure n'a pas été anodisée sur toute sa surface. La Figure 155

décrit les règles de conception pratiquées au niveau de P_{iso} et PS. Pour P_{iso} , une ouverture O_1 de 200 μm (pointillé noir) a été choisie. Classiquement, O_1 est plus courte, de l'ordre de 50 à 100 μm . Nous avons en effet opté pour un élargissement de façon à avoir suffisamment de latitude vis-à-vis du masquage PS. O_1 pourra certainement être réduite une fois figé le matériau de protection pour la localisation du PS (Cf. paragraphe 1.4.5). On notera que le bord de puce (tirets rouges) partage P_{iso} de façon égale. Les deux ouvertures PS (O_2) présentent chacune une largeur de 110 μm et sont positionnées de part et d'autre du bord de puce à une distance de 50 μm . O_2 empiète donc de 60 μm (O_3) sur la diffusion latérale P_{iso} (O_4) estimée à environ 100 μm . En visant une t_{ps} de 50 μm (O_5), on peut s'attendre à une gravure latérale du même ordre de grandeur. Dans ces conditions, les ouvertures PS seraient alors correctement dimensionnées pour assurer l'IE ($O_5 + O_3 = 50 + 60 = 110 \mu m > 100 \mu m = O_4$). Au final, il résulterait le profil PS schématisé dans la Figure 139. Il convient néanmoins de préciser que la règle de conception discutée ici ne prend pas en compte l'anisotropie de l'anodisation en fonction du dopage. Les diffusions latérales P_{iso} mais aussi la présence de P_2 (Cf. Figure 155) impactent directement l'anodisation. Nous verrons dans le paragraphe 2.1 que cet effet modifiera quelque peu nos prédictions.

Les deux wafers W6_J20_t90_FP et W6_J35_t45_NEG respectivement présentés dans les paragraphes 1.4.3 et 1.4.4 ont été fabriqués en accord avec les propos énoncés ci-dessus. Avec les conditions d'anodisation qui les caractérisent, ils ont subi un recuit post-anodisation (1 h à 250 °C sous atmosphère N_2) sans présenter de difficulté en matière de « warp », sachant que les complications apparaissent dès lors qu'un voile de 300 μm est atteint. Si nécessaire, un budget thermique plus sévère pourrait donc être expérimenté. A noter également qu'une cellule d'anodisation double cuve autorise une symétrisation de la structure telle qu'indiquée en Figure 156. Avec un masquage PS double face et en inversant la polarisation de la réaction électrochimique, il est en effet possible de faire croître le PS à la fois sur les faces FX et FO de la diffusion P_{iso} . Cette configuration, plus favorable au niveau « warp », constitue une voie d'amélioration si nécessaire. Un masque supplémentaire sera cependant exigé.

2. Caractérisation de la P_{iso} PS

Sur la base des discussions décrites dans le détail en première partie de ce chapitre, deux wafers ont pu être mis au point. Le premier, W6_J20_t90_FP, a été obtenu en localisant les Ca_{PS} par l'intermédiaire du FP. L'anodisation se caractérisait par J_{ano} et D_{ano} respectivement de 20 mA/cm² et 90 min. La deuxième plaquette, W6_J35_t45_NEG, a quant à elle résulté d'un masquage PS différent, employant une résine négative épaisse. La réaction électrochimique s'est également démarquée puisque $J_{ano} = 35$ mA/cm² et $D_{ano} = 45$ min. Cette seconde section sera donc dédiée à la caractérisation physique et électrique de ces plaquettes. Un rapprochement avec les résultats du chapitre 3 sera effectué de façon à mieux évaluer le niveau de performance atteint.

2.1 Caractérisation physique de la $P_{\text{J}}\text{-PS}$

2.1.1 Géométrie des caissons PS (Ca_{PS})

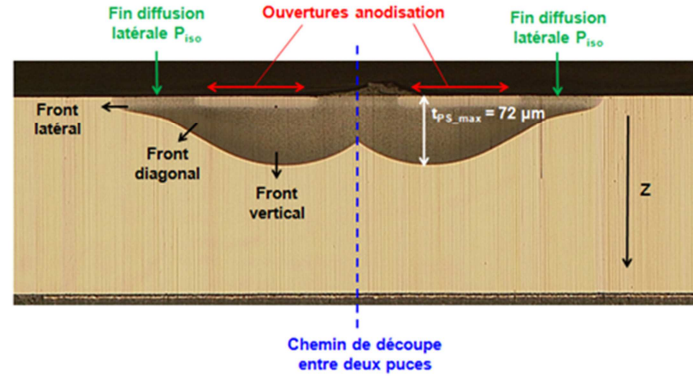


Figure 157 : Vue optique du Ca_{PS} au niveau de la P_{J} TRIAC du wafer W6_J20_t90_FP. Les ouvertures réalisées lors de l'anodisation sont repérées par les deux flèches rouges. Le chemin de découpe entre deux puces est également identifié en pointillé bleu. Les extrémités des diffusions latérales P_{iso} à la surface de la plaquette sont localisées par des flèches vertes.

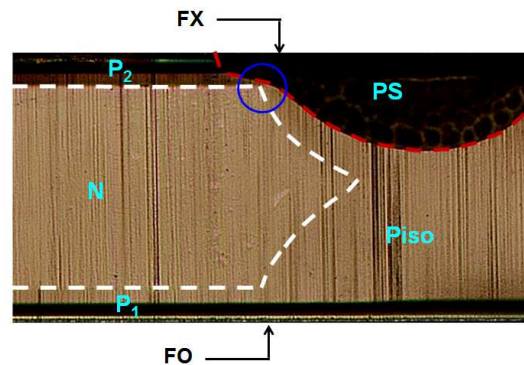


Figure 158 : Vue en coupe de la $P_{\text{J}}\text{-PS}$ après révélation (wafer W6_J35_t45_NEG). Les faces FX et FO de la plaquette sont indiquées. Les limites du Ca_{PS} et des jonctions PN sont données en pointillé marron et blanc respectivement.

En matière de PS, les deux plaquettes étudiées sont très similaires. Seule la profondeur maximale des Ca_{PS} ($t_{\text{PS_max}}$) change quelque peu, de 55 à 75 μm pour W6_J35_t45_NEG et de 60 à 80 μm pour W6_J20_t90_FP. L'évaluation de $t_{\text{PS_max}}$ reste approximative, elle a été réalisée à partir de vues optiques dont un exemple est représenté en Figure 157 pour le wafer W6_J20_t90_FP. Sur cette même figure, le chemin de découpe séparant deux puces adjacentes est indiqué en pointillé bleu. On constate également que les Ca_{PS} de chacune des deux périphéries se rejoignent compte tenu de la gravure latérale du PS. Afin de matérialiser cet effet de façon plus précise, les ouvertures PS considérées lors

de l'anodisation, ainsi que les diffusions latérales de P_{iso} en surface du wafer, ont été repérées par des flèches rouges et vertes respectivement. Dès lors, il est aisé de constater que la gravure du PS s'effectue de manière anisotropique. Les fronts de gravure verticaux et latéraux, tels que définis dans la Figure 157, apparaissent en effet nettement plus développés par rapport à leur homologue diagonal. Cette spécificité résulte de la nature graduelle des dopages P_{iso} et P_2 sachant que la gravure PS sera plus sélective sur les régions P les plus dopées, généralement situées en surface de plaquette. Si la règle de conception donnée au paragraphe 1.5 pour garantir l'IE ($O_5 + O_3 > O_4$, Cf. Figure 155) s'avère vérifiée en surface, plus on s'enfonce dans l'échantillon (axe z sur la Figure 157) et moins la séparation physique des dopages P_{iso} et P_2 par le PS semble pouvoir être assurée. La limitation observée sur le taux de croissance PS (f_{PS}) diagonal ainsi que la diminution de la diffusion latérale de P_{iso} avec z agissent en effet défavorablement vis-à-vis de l'IE. Dans le but de positionner plus précisément le Ca_PS par rapport aux dopages P_{iso} et P_2 quel que soit z, une coupe verticale de la P_{ζ_PS} (W6_J35_t45_NEG) est donnée en Figure 158 après révélation des jonctions. Pour plus de clarté, les délimitations du Ca_PS et des trois jonctions PN ($P_{iso}N$, P_2N et P_1N) sont mises en évidence en pointillé marron et blanc respectivement. On constate que les jonctions $P_{iso}N$ et P_2N , ainsi que le Ca_PS, se rejoignent en un seul point cerclé en bleu. Sur la base de cette observation, il est alors fort probable que les régions P_{iso} et P_2 ne soient pas suffisamment éloignées l'une de l'autre par le PS et que les performances atteintes au niveau de la P_{ζ_PS} soient insuffisantes. Ces aspects seront discutés plus profondément dans le cadre du paragraphe 2.3.

2.1.2 Morphologie des pores dans les Ca_PS

Les morphologies poreuses issues des deux plaquettes étudiées dans le cadre de ce chapitre présentent des caractéristiques similaires. Dans les régions P les plus dopées, c'est-à-dire à proximité de la surface, on retrouve une structure méso-poreuse avec des pores de forme longiligne, tels qu'obtenus sur la famille de substrat C discutée dans le chapitre précédent (Cf. chapitre 3, paragraphe 1.6.2.1). A titre d'exemples, la Figure 159 représente deux observations MEB d'un Ca_PS issu du wafer W6_J35_t45_NEG. La Figure 159a permet de repérer les deux vues. La première vue (Cf. Figure 159b) est positionnée en vis-à-vis de l'ouverture PS réalisée lors de l'anodisation, alors que la seconde (Cf. Figure 159c) en est légèrement excentrée. Dans les deux cas, les zones PS étudiées sont issues de régions P_{iso} fortement dopées (i.e. en surface de l'échantillon). La comparaison des deux indique clairement une orientation des pores avec le sens du courant.

En s'enfonçant dans le volume du Ca_PS, tout en conservant une nature méso-poreuse, la texture se densifie et le caractère filiforme des pores s'atténue. Les Figures 160b et c sont des vues MEB provenant toujours de la plaquette W6_J35_t45_NEG. Elles se concentrent cette fois-ci respectivement sur le volume (dopage P_{iso} élevé) et le front de gravure du puits PS (dopage P_{iso} plus faible). La vue optique de la Figure 160a facilite leur repérage. Globalement, on retrouve des

morphologies caractéristiques de la famille de wafer B ($\rho_{Si} = 80 - 120 \text{ m}\Omega.\text{cm}$) étudiée dans le chapitre précédent (Cf. chapitre 3, paragraphe 1.6.2.2). Néanmoins, en s'enfonçant dans le Piso (Figure 160c), on pourrait se rapprocher du macro-PS rempli de micropores observé sur les wafers A caractérisés par $\rho_{Si} = 6 - 12 \Omega.\text{cm}$ (Cf. chapitre 3, paragraphe 1.6.2.3).

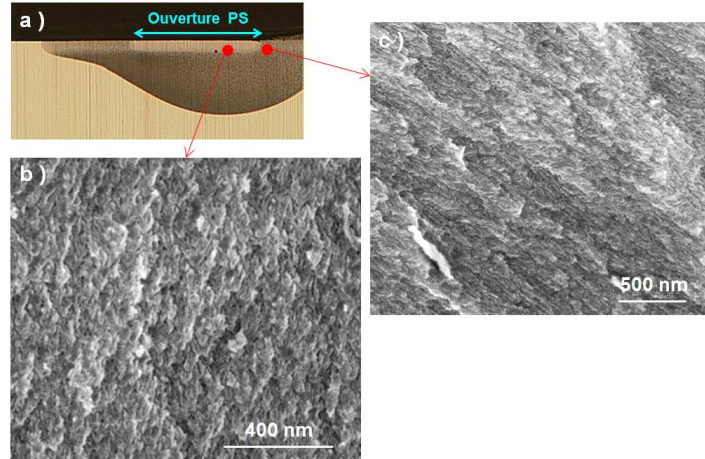


Figure 159 : Observations MEB à proximité de la surface du Ca_PS (Cf. repères de la vue optique (a) issue d'un zoom de la Figure 157) en vis-à-vis (b) et excentré (c) par rapport à l'ouverture du masque PS (wafer W6_J35_t45_NEG).

Ajoutons également pour conclure ce paragraphe que des spectrométries EDX (Energy Dispersive X-ray) ont été menées et ont mis en évidence la présence d'oxygène dans la couche PS indiquant probablement la présence de SiO_2 natif sur les parois des pores.

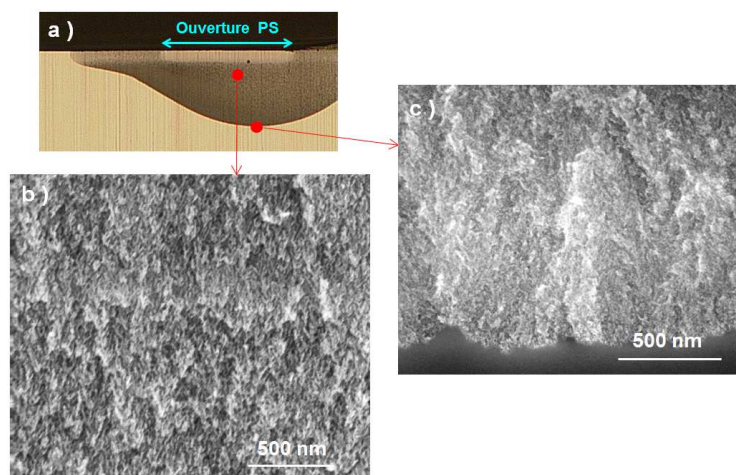


Figure 160 : Observations MEB dans le volume du Ca_PS (b) ainsi qu'au niveau du front de gravure vertical (c). La vue optique (a) issue de la Figure 157 est donnée pour faciliter le repérage des coupes b et c. (wafer W6_J35_t45_NEG).

2.2 Caractérisations électriques des Ca_PS et des interfaces PS / Si

Tel qu'annoncé dans le paragraphe 1.2, chacun des deux wafers étudiés dispose de dispositifs de caractérisation des Ca_PS et des interfaces PS / Si. Ce paragraphe se concentrera donc sur la présentation des résultats électriques obtenus avec ces motifs, à la fois en termes de capacité et de résistance. Notons toutefois que la géométrie particulière des couches PS ne permettra pas l'extraction de ϵ_{PS} , ni celle de ρ_{PS} . Tout comparatif avec les résultats du troisième chapitre sera donc plus complexe.

2.2.1 Capacité des Ca_PS (C_{PS})

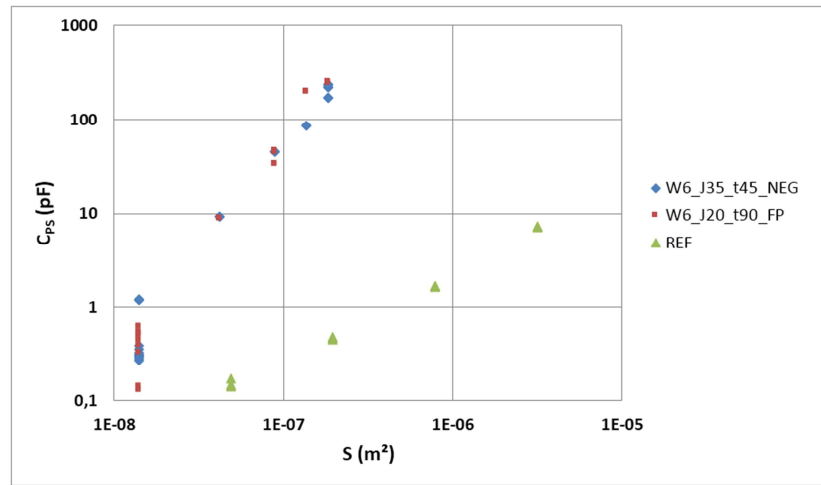


Figure 161 : Evolution de C_{PS} en fonction de la surface contactée. Les résultats des wafers W6_J35_t45_NEG et W6_J20_t90_FP sont indiqués en bleu et en rouge respectivement. Pour chaque plaquette, les mesures sont associées à la fois aux motifs Int₁ (Cf. Figure 140) et Int₂ (Cf. Figure 141). Le graphe est également complété par les données (REF) du wafer C_J50_D15_S ($\epsilon_{PS} = 8,3$; $P\% = 36\%$; $t_{PS} = 32\ \mu m$) discuté dans le chapitre 3.

Au paragraphe 2.1.2, les observations MEB ont montré que les caissons PS n'étaient pas uniformes au niveau de leurs morphologies. Ce résultat est attendu compte tenu du dopage graduel des couches P_{iso} et P_2 à partir desquelles le PS est formé. Dès lors, on peut supposer qu'un champ électrique appliqué aux bornes du Ca_PS ne se distribuera pas de façon homogène au sein de son volume. Les mesures de capacités sont un excellent indicateur d'un tel comportement. Des mesures latérales telles qu'implémentées dans le cadre du chapitre 3, paragraphe 3.3.2 ont ainsi été réalisées. La Figure 161 présente l'évolution de C_{PS} en fonction de la surface contactée. Les mesures des deux plaquettes étudiées, W6_J35_t45_NEG et W6_J20_t90_FP, y sont respectivement représentées en bleu et rouge. Ces résultats comprennent de façon non distincte l'ensemble des données issues des motifs de caractérisation Int₁ (Figure 140) et Int₂ (Figure 141). Les dispositifs Int₁ et Int₂ se comportent en effet de façon similaire d'un point de vue capacité. La Figure 161 comprend également en référence (REF)

les points expérimentaux résultant du wafer C_J50_D15_S ($\epsilon_{PS} = 8,3$; $P_{\%} = 36 \%$; $t_{PS} = 32 \mu m$, $\rho_{Si} = 10 - 15 m\Omega.cm$) discuté plus en détail dans le chapitre 3. A surface équivalente, on remarque pour W6_J35_t45_NEG et W6_J20_t90_FP des C_{PS} présentant deux ordres de grandeur supplémentaires par rapport à REF, alors que ce dernier dispose d'une t_{PS} deux fois moins profonde et une $P_{\%}$ similaire, voire inférieure. Ces résultats confirment donc le caractère inhomogène des Ca_PS.

Il convient de préciser que l'ensemble des mesures de capacité évoqué ci-dessus ont été réalisées conformément au protocole expérimental décrit dans le chapitre 3, paragraphe 2.1 pour une fréquence f de 1 MHz. Pour chaque surface et chaque wafer, trois motifs distincts ont été considérés. Dans notre analyse, nous avons également retenu l'hypothèse discutée au chapitre 3, paragraphe 3.1 stipulant que la capacité mesurée reflétait majoritairement celle du PS.

2.2.2 Résistance des Ca_PS (R_{PS}) et comportement aux interfaces PS / Si

2.2.2.1 Protocole expérimental

Les courbes I - V ont été mesurées en température de façon similaire au protocole décrit au chapitre 3, paragraphe 2.2. On notera toutefois que la conception des dispositifs latéraux Int_1 et Int_2 n'a pas nécessité l'usage du chuck comme contact électrique.

Dans tous les cas présentés sur les Figures 140 (Int_1), 141 (Int_2) et 142 (Int_3), le contact K2 a été utilisé comme référence. Pour Int_1 et Int_3 , on parlera de régime direct lorsque K1 sera polarisé négativement par rapport à K2 (convention identique à celle discutée au chapitre 3). Inversement, pour Int_2 , la polarisation directe correspondra au cas où K1 sera plus positif par rapport à K2.

Les trois motifs Int_1 , Int_2 et Int_3 ont été évalués pour des surfaces de contact du PS de $14000 \mu m^2$. Seuls quatre motifs de chaque type ont été caractérisés, chaque mesure ayant été répétée deux fois en les espaçant de plusieurs jours.

2.2.2.2 Courbes I - V et extraction de R_{PS}

A propos des motifs Int_2 (Cf. Figure 141), les deux plaquettes W6_J35_t45_NEG et W6_J20_t90_FP présentent des résultats similaires au niveau de leurs caractéristiques I - V. La Figure 162 propose le cas du wafer W6_J20_t90_FP à $50^\circ C$. Les régimes direct et inverse sont respectivement donnés en rouge et bleu. Les allures de courbes se rapprochent fortement de celles présentées dans le cadre de la famille de substrat B ($\rho_{Si} = 80 - 120 m\Omega.cm$) discutée au chapitre 3, paragraphe 4.3.1.2 et notamment la Figure 122. Les inhomogénéités en termes de $P_{\%}$ et morphologie pouvaient en effet induire la présence de saturations telles qu'observées sur la Figure 162. On notera que cette saturation est nettement plus prononcée en régime inverse. Cette observation peut laisser supposer que la jonction $P_{iso}N$ à partir de laquelle est construit le motif Int_2 reste effective malgré la porosification de la partie

supérieure de P_{iso} . Dans tous les cas, R_{PS} a été extraite à partir de la région la plus linéaire de la courbe I - V obtenue en régime direct. Cette dernière a été délimitée en pointillé noir sur la Figure 162.

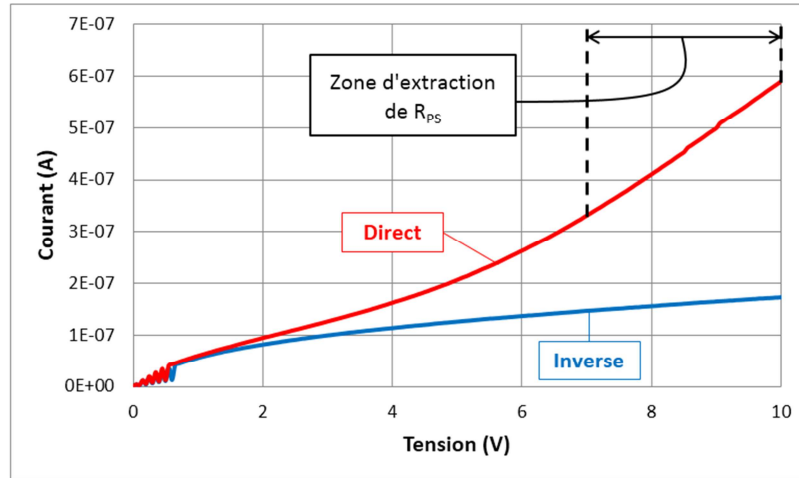


Figure 162 : Caractéristiques I - V associées au motif Int_2 du wafer $W6_J20_t90_FP$ à $T = 50\text{ °C}$. Les polarisations directe et inverse sont respectivement données en rouge et bleu. R_{PS} est extraite en régime direct dans la zone la plus linéaire délimitée par des tirets noirs.

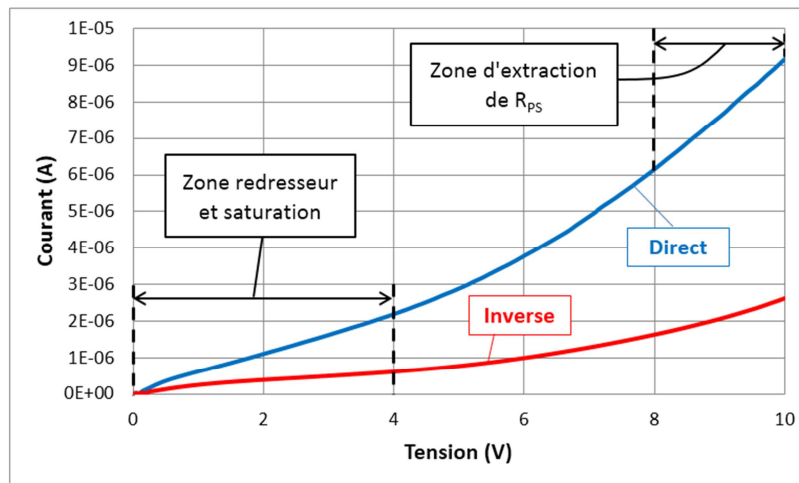


Figure 163 : Caractéristiques I - V associées au motif Int_1 du wafer $W6_J20_t90_FP$ à $T = 50\text{ °C}$. Les polarisations directe et inverse sont respectivement données en bleu et rouge. R_{PS} est extraite en régime direct dans la zone la plus linéaire délimitée en pointillé noir en haut à droite du graphe. Des tirets noirs en bas à gauche bornent les parties de courbes présentant un comportement redresseur suivi d'une saturation.

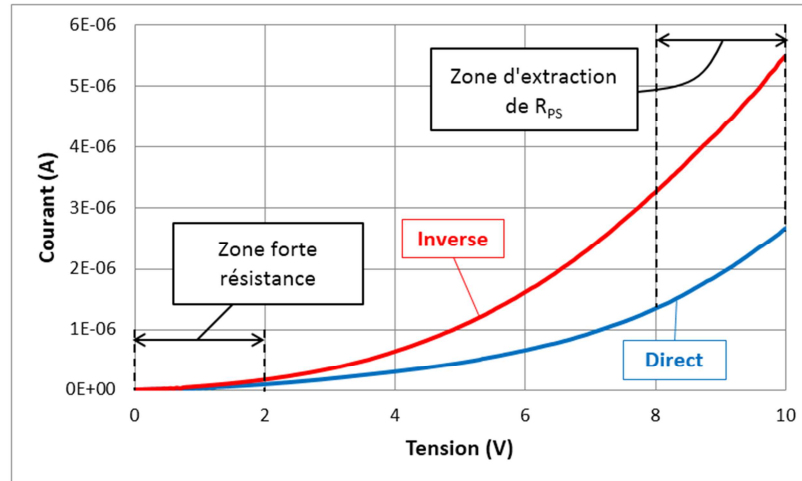


Figure 164 : Caractéristiques I - V associées au motif Int₁ du wafer W6_J35_t45_NEG à T = 50 °C. Les polarisations directe et inverse sont respectivement données en bleu et rouge. R_{PS} est extraite en régime direct dans la zone la plus linéaire délimitée en pointillé noir en haut à droite du graphe. Des tirets noirs en bas à gauche bornent les parties de courbes présentant un comportement dit de « forte résistance ».

Concernant les dispositifs Int₁ et Int₃, ces derniers montrent des résultats voisins en termes d'allure de caractéristique I - V. Les Figures 163 et 164 illustrent respectivement les courbes I - V obtenues sur un motif Int₁ issu des plaquettes W6_J20_t90_FP et W6_J35_t45_NEG en régime direct (bleu) et inverse (rouge). Elles ont été obtenues à 50 °C. On note quelques petites variations entre les deux wafers étudiés au niveau des basses tensions. Un comportement redresseur suivi d'une petite saturation est visible sur W6_J20_t90_FP, remplacé par une forte résistance sur W6_J35_t45_NEG. Ces spécificités ont été bornées par des tirets noirs situés en bas à gauche de chacune des deux Figures 163 et 164. Ces disparités sont typiques d'inhomogénéités au niveau de la texture PS (P_% et morphologie). On retrouve par ailleurs une grande similarité avec les courbes I - V résultant de la famille B étudiée au chapitre 3, paragraphe 4.3.1.2, elle-même marquée par ce type de variabilité structurelle. De façon analogue à la méthodologie décrite au chapitre 3, paragraphe 4.3.2, R_{PS} est extraite depuis le régime linéaire observé sur les courbes directes (zone délimitée en pointillé noir en haut à droite de chacune des deux Figures 163 et 164).

2.2.2.3 Analyse des résultats R_{PS}

Les R_{PS} obtenues sur les wafers W6_J35_t45_NEG et W6_J20_t90_FP sont représentées respectivement sur les Figures 165 et 166 en fonction de l'inverse de T et ce pour chacun des trois motifs Int₁ (en bleu), Int₂ (en rouge) et Int₃ (en vert). Globalement, on retrouve une activation de R_{PS} avec T telle que commentée dans le chapitre 3, paragraphe 4.4.2. Ce comportement est parfois perturbé à 30 °C (1000/T = 3.3 K⁻¹), voire 50 °C (1000/T = 3.1 K⁻¹). Une chute de R_{PS} peut en effet être observée. Elle est probablement attribuable à une évolution structurelle du PS sous l'effet de

l'humidité (Cf. chapitre 3, paragraphe 4.4.4). La couche d'USG recouvrant la surface du PS n'est probablement pas suffisamment étanche pour éradiquer complètement le phénomène.

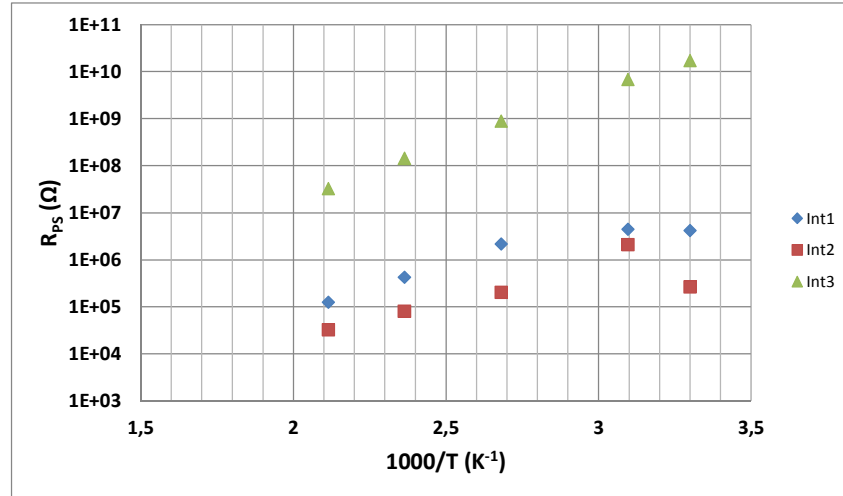


Figure 165 : Evolution de R_{ps} en fonction de $1/T$ associées au wafer W6_J35_t45_NEG. Les motifs Int₁, Int₂ et Int₃ sont respectivement représentés en bleu, en rouge et en vert.

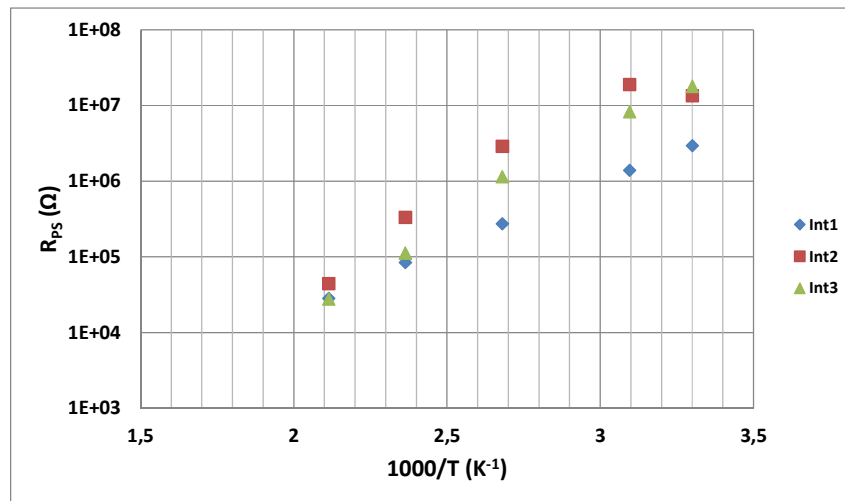


Figure 166 : Evolution de R_{ps} en fonction de l'inverse de T , cas du wafer W6_J20_t90_FP. Les motifs Int₁, Int₂ et Int₃ sont respectivement représentés en bleu, en rouge et en vert.

Les motifs Int₁ et Int₂ de la plaquette W6_J35_t45_NEG ainsi que la totalité des cas du wafer W6_J20_t90_FP évoluent de façon semblable et dans le même ordre de grandeur. On appellera ce groupe de motifs G_{m1} . R_{ps} se situe en effet entre 1.10^4 et $1.10^5 \Omega$ à 200 °C ($1000/T = 2.1 \text{ K}^{-1}$) et augmente jusqu'à des valeurs globalement comprises entre 1.10^6 et $5.10^7 \Omega$ à 30 °C si l'on exclut les cas atypiques à 30 °C (Cf. les propos ci-dessus). Le dernier dispositif Int₃ de la plaquette W6_J35_t45_NEG, que l'on ré-intitulera pour le cadre de cette discussion G_{m2} , se démarque quant à lui très nettement. On note effectivement une augmentation de R_{ps} de 5.10^7 à $1.10^{10} \Omega$ pour T

diminuant de 200 à 30 °C, soit deux à trois décades supplémentaires par rapport à G_{m1} . Deux types de comportements bien distincts sont donc mis en évidence. Ils ne sont pas liés à la nature des motifs (Int_1 , Int_2 ou Int_3) mais plutôt aux caractéristiques des Ca_PS .

L'analyse des énergies d'activation (E_A) obtenues sur les six configurations étudiées peut permettre de mieux appréhender les divergences observées sur R_{PS} . L'activation de R_{PS} avec T peut se modéliser selon une loi d'Arrhenius (Cf. chapitre 3, paragraphe 4.1.2):

Équation 4.1
$$R_{PS} = R_0 \cdot \exp\left(-\frac{E_A}{k.T}\right)$$

R_0 représente le pré-facteur de R_{PS} et k la constante de Boltzmann.

La Figure 167 reprend le formalisme de Meyer-Neldel (Cf. chapitre 3, paragraphe 4.4.2) en représentant l'inverse de R_0 en fonction de E_A . Seule la constante E_{MNR} peut ici être exploitée et comparée avec les données du chapitre 3. B_{MNR} avait en effet été déduit de ρ_{PS} . Les six motifs étudiés sont représentés dans la Figure 167. On retrouve de nouveau une démarcation entre les groupes G_{m1} et G_{m2} . Aucune analyse directe n'est possible sur G_{m2} puisqu'il ne contient qu'une plaquette. Néanmoins, on constate que les cinq motifs du groupe G_{m1} suivent une même tendance indiquée par des tirets noirs. Une énergie E_{MNR} de 47 meV est alors extraite, résultat très proche de celui obtenu pour la première règle de la Figure 132 du chapitre 3 ($E_{MNR} = 41$ meV). Dès lors, il en découle que G_{m2} serait plutôt rattaché à la seconde. En s'appuyant sur les conclusions du chapitre 3, on déduit donc que les $P_{\%}$ moyennes des couches PS contrôlant les résistances R_{PS} spécifiques à G_{m1} et G_{m2} sont respectivement inférieures et supérieures à 50 %. Ce décalage de $P_{\%}$ induit des modes de transport différents au sein du PS entre G_{m1} et G_{m2} et accentue les différences en termes de R_{PS} .

On constate donc des disparités sur R_{PS} entre les deux wafers étudiés. Cette observation est également vraie d'un type de dispositif (Int_1 , Int_2 ou Int_3) à un autre. En ce qui concerne les deux plaquettes J35_t45_NEG et W6_J20_t90_FP, elles ont été traitées selon deux conditions d'anodisation bien distinctes. Des variabilités en matière de $P_{\%}$, t_{PS} et morphologie, bien que difficilement observables (Cf. paragraphe 2.1.2), sont tout à fait plausibles. Quant à l'impact de la configuration du motif, il trouve probablement son origine des trajets différents que les porteurs empreintent d'un dispositif à un autre, sachant par ailleurs que les fronts de gravure PS présentent de fortes variations géométriques (Cf. Figure 157) et probablement physiques. La Figure 168a synthétise les différents chemins de courant attendus pour Int_1 (en rouge) et Int_3 (en bleu ciel) alors que la Figure 168b est consacrée à Int_2 . Les jonctions PN sont indiquées par des tirets blancs. Du fait de leurs conceptions, Int_1 et Int_2 seraient dominés par des courants latéraux typiquement représentés par I_{lat} et I_{diag3} alors que des courants verticaux, illustrés sur la Figure 168a par I_{vert} , I_{diag1} et I_{diag2} , sont plutôt sensés régir le comportement résistif relatif à Int_3 . Ajoutons également que Int_1 , Int_2 et Int_3 sont localisés dans des zones différentes

de la plaquette. Or des inhomogénéités sur les caractéristiques physiques du PS ne sont pas non plus à exclure d'un emplacement à un autre du wafer.

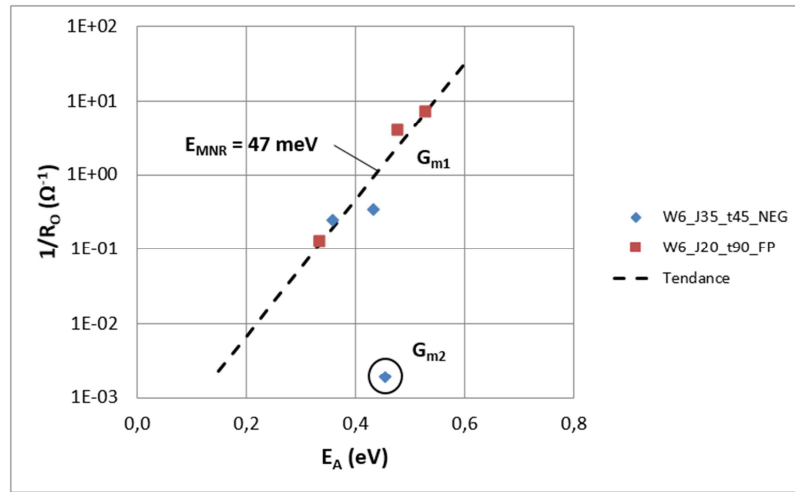


Figure 167 : Formalisme de Meyer-Neldel appliqué aux R_{PS} issues de G_{m1} , et G_{m2} . Les deux plaquettes W6_J35_t45_NEG (points bleus) et W6_J20_t90_FP (points rouges) sont considérées dans l'analyse.

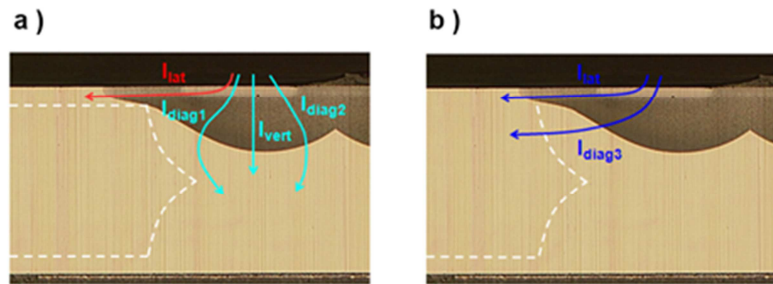


Figure 168: Chemins de courant attendus au sein des motifs de caractérisation de la périphérie PS : a) Int₁ et Int₃ b) Int₂. Les courants traversant Int₁, Int₂ et Int₃ sont respectivement représentés par des flèches rouge, bleu foncé et bleu ciel. Les jonctions PN sont indiquées par en pointillé blanc.

Vis-à-vis du motif Int₃ (ou G_{m2}) se distinguant sur la Figure 167 en termes de transport, il est probable qu'une augmentation de la profondeur du Ca_PS soit à l'origine de ce phénomène. En effet, au-delà d'un accroissement de R_{PS} via sa géométrie, une augmentation de la $P_{\%}$ du PS peut également être attendue compte tenu de l'affaiblissement du dopage P_{iso} avec la profondeur. Dans le cadre de l'étude menée au chapitre 3, nous avons effectivement constaté une élévation de la $P_{\%}$ du PS en abaissant le dopage du substrat et lorsque J_{ano} reste constante, ce qui est notre cas

Pour conclure ce paragraphe, si les valeurs de R_{PS} mesurées verticalement peuvent être observées plus fortes par rapport à une configuration transversale, ce n'est pas lié à l'orientation des pores. En effet, nous avons vu sur la Figure 159c que ces derniers suivaient les lignes de courant d'anodisation. Ce phénomène reflète plutôt les variations de f_{PS} et $P_{\%}$ résultant des dopages graduels que comporte la

structure (Cf. Figure 157). La disposition des jonctions PN dans la structure influe également sur les résultats.

2.3 Performance en blocage de la $P_{\text{J}}\text{-PS}$

Les propriétés physiques et électriques des Ca_PS embarqués sur les $P_{\text{J}}\text{-PS}$ ayant été caractérisées, il devient intéressant d'évaluer les performances en blocage qui en résultent. Les Figures 169 et 170 présentent respectivement la tenue en tension direct et inverse de la $P_{\text{J}}\text{-PS}$ résultant du wafer W6_J35_t45_NEG à T ambiante. Une erreur de masquage sur les motifs TRIAC de la plaquette W6_J20_t90_FP n'a pas permis la même évaluation. Rappelons que le régime direct correspond au cas où la face arrière (électrode A2) est polarisée positivement par rapport à son homologue supérieure (électrode A1). En régime direct, on constate un retournement (passage OFF à ON) du TRIAC lorsqu'une tension de 80 V est atteinte. Ce comportement résulte des forts courants de fuite traversant la structure (10 mA à 80 V). Le TRIAC étant moins sensible en mode inverse et son courant de fuite étant légèrement inférieur (10 mA à 160 V), sa tension de blocage avoisine 200 V.

Les forts courants de fuite observés sont symptomatiques d'un effet canal (Cf. chapitre 1, paragraphe 4.2.1.4) et traduisent soit une IE PS insuffisante entre P_2 et P_{iso} , soit la présence de charge à la surface du PS. Dans notre cas, il est fort probable que les deux phénomènes agissent. Les spécificités de l'interface PS / Si ont en effet été longuement discutées au chapitre 3, et la légère dissymétrie des courants de fuite abonde ce point de vue. Quant à la faiblesse de l'IE, elle était déjà pressentie dans les paragraphes 2.1 et 2.2 compte tenu des problématiques d'anisotropie d'anodisation résultant des dopages graduels propres aux profils P_{iso} et P_2 . La Figure 171 en donne une nouvelle illustration via des expérimentations EBIC (Electron Beam Induced Current) réalisées sur une coupe verticale d'un motif Int_3 issu de la plaquette W6_J20_t90_FP. Cette technique d'imagerie exploite le courant induit par illumination de l'échantillon pour visualiser des défauts ou encore des jonctions [247, 248]. En modifiant la polarisation appliquée, cette méthode permet d'observer l'évolution de la zone de charge d'espace (ZCE ou zone de déplétion) au sein de l'échantillon. Le chuck conducteur relie la face arrière de la structure à un potentiel de référence. Une pointe de mesure permet de polariser le substrat N positivement (V_N). De fait, la $P_{\text{J}}\text{-PS}$ n'est évaluée que dans son régime inverse. Les Figures 171a et 171b correspondent aux cas où $V_N = 0$ et 20 V respectivement. A $V_N = 0$, les jonctions P_1N , P_2N et $P_{\text{iso}}N$ se rejoignent sans discontinuer, aucune déformation du champ électrique n'est amenée par la présence des Ca_PS . Dans une situation de faible polarisation aux bornes du TRIAC (V_{A2A1}), un courant peut donc facilement circuler d'une face à l'autre du TRIAC. En augmentant V_{A2A1} , le canal se pince et un champ électrique se déploie dans le PS (Cf. Figure 171b).

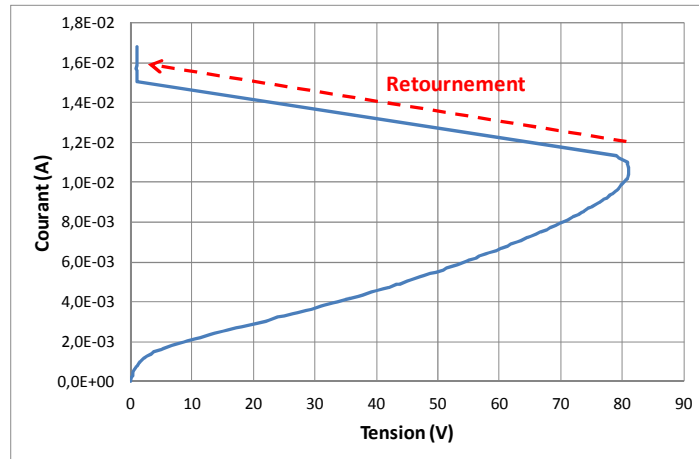


Figure 169 : Tenue en tension directe de la P_{J-PS} associée à la plaquette W6_J35_t45_NEG à T ambiante. Un retournement est observé lorsque la tension dépasse 80 V. La surface de contact du motif TRIAC est de 7,6 mm².

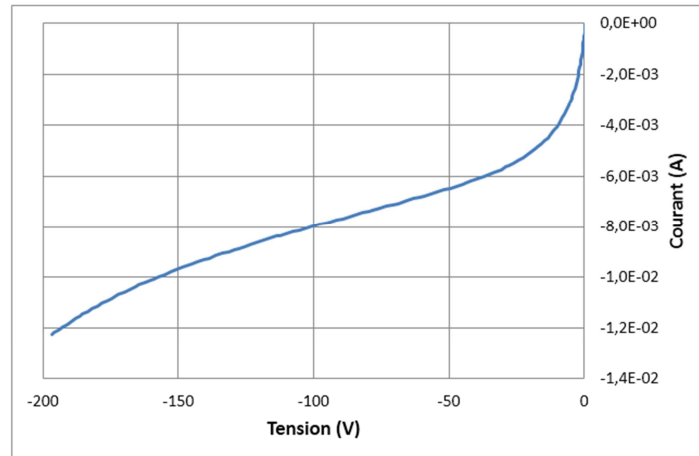


Figure 170 : Tenue en tension inverse de la P_{J-PS} associée à la plaquette W6_J35_t45_NEG à T ambiante. La surface de contact du motif TRIAC est de 7,6 mm².

La tenue en tension a également été étudiée latéralement entre deux motifs Int_1 adjacents. Cette configuration permet de bénéficier d'une double isolation PS et d'éliminer les effets de retournement liés au gain pour se concentrer uniquement sur les performances intrinsèques à la P_{J-PS} . L'encadré de la Figure 172 schématise plus précisément le dispositif expérimental adopté. Cette même figure rapporte en premier lieu les tenues en tension typiques observées sur les plaquettes W6_J20_t90_FP (en bleu) et W6_J35_t45_NEG (en rouge). Des résultats supérieurs à 300 et 400 V ont respectivement été atteints pour W6_J35_t45_NEG et W6_J20_t90_FP. La limitation observée sur W6_J35_t45_NEG provient d'un courant de fuite accru (effet de canal plus développé), 23 mA à 300 V contre 7,5 mA à 300 V pour W6_J20_t90_FP. A noter que les surfaces contactées sur ces motifs de caractérisation sont plus faibles par rapport au motif TRIAC, à savoir 2 et 7,6 mm² respectivement. Des courants de fuite

en défaveur du TRIAC sont donc possibles. La comparaison des Figures 169, 170 d'un côté et 172 de l'autre doit aussi prendre en compte cette différence potentielle.

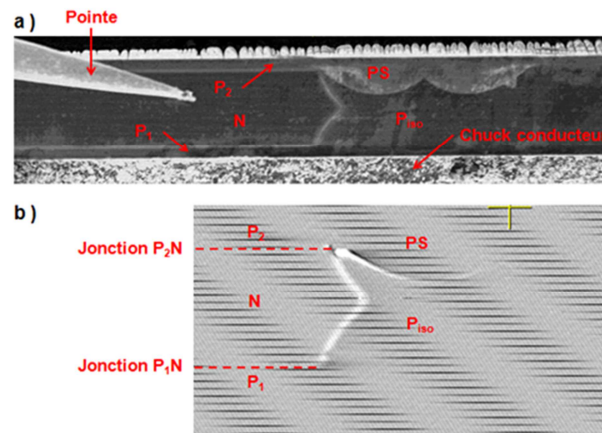


Figure 171 : Vues EBIC à 0 (a) et 20 V (b) de la P_J -PS. L'expérimentation a été menée à partir d'une coupe verticale d'un motif Int_3 issu du wafer W6_J20_t90_FP. Le chuck conducteur contacte la face arrière de la structure à un potentiel de référence. Le substrat N est polarisé positivement à l'aide d'une pointe de mesure. Cette configuration ne permet que l'évaluation du régime inverse de la P_J -PS.

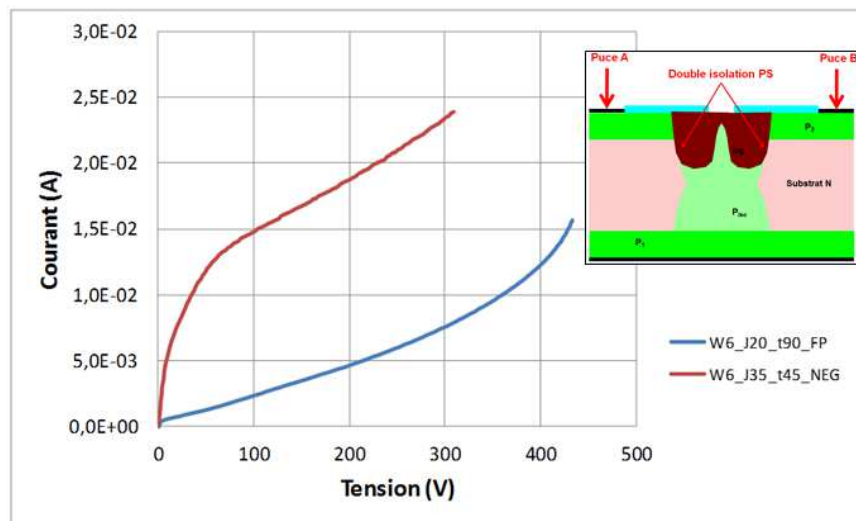


Figure 172 : Tenués en tension typiques des plaquettes W6_J20_t90_FP (en bleu) et W6_J35_t45_NEG (en rouge) avec double isolation PS et à T ambiante. L'encadré en haut à droite présente la configuration de mesure. La surface des contacts est de 0,09 mm² et 0,04 mm² sur W6_J20_t90_FP et W6_J35_t45_NEG respectivement. La surface de contact des motifs de caractérisation est de 2 mm².

Dans tous les cas, que l'on considère une simple ou une double isolation, les valeurs de courants de fuite atteintes restent trop fortes vis-à-vis des exigences imposées par les applications à base de TRIAC. Compte tenu des résultats présentés dans le paragraphe 2.2, les propriétés diélectriques du PS ne constituent pas au premier abord l'élément le plus critique. La géométrie des Ca_{PS} , et notamment

l'IE sommaire qu'elle semble induire entre les couches de dopage P_{iso} et P_2 (Cf. paragraphe 2.1), apparaît quant à elle plus douteuse. Cette spécificité semble tout à fait compatible avec les courants de canal observés. Un travail sur l'optimisation des profils P_2 et P_{iso} et/ou sur les règles de conception apparaît donc nécessaire. A cet effet, l'emploi d'outils de modélisation électrique peut s'avérer fort utile et fera l'objet de la prochaine partie de ce chapitre.

3. Modélisation macroscopique de la P_{J} -PS

La P_{J} -PS initialement conçue présente des lacunes. Les évaluations effectuées montrent clairement des courants de fuite trop élevés. Le niveau d'IE atteint n'est donc pas suffisant. Dans cette dernière partie de chapitre, une modélisation macroscopique du PS élaborée à l'aide d'outils de simulation classiques du semi-conducteur a été mise au point pour tenter d'approfondir notre compréhension des faiblesses de la périphérie actuelle. Des perspectives d'évolution seront également proposées.

3.1 Simulation de la P_{J} -PS

3.1.1 Paramétrisation du PS

L'outil de simulation Sentaurus développé par la société Synopsys autorise une définition manuelle d'un semi-conducteur. Le gap (Δ_{PS}), la mobilité des porteurs (μ_{PS}), la constante diélectrique (ϵ_{PS}), le type (N ou P) et bien entendu le niveau de dopage (D_{PS}) sont ajustables. Cette opération a donc été effectuée pour le PS et des simulations électriques mêlant Si et PS ont ainsi été entreprises.

On parle ici de simulations macroscopiques, les phénomènes de transport au sein du PS ne seront pas pris en compte et seuls des essais à T ambiante seront considérés. De plus, contrairement aux mesures, les structures seront simulées en 2D donnant accès uniquement à une analyse qualitative. Cependant, à l'aide d'un facteur de surface (f_s), des ordres de grandeur comparables en termes de surface contactée seront employés.

Un dopage de type P a été employé pour matérialiser le semi-conducteur PS. Il a en effet été démontré que la déplétion du PS n'était pas liée à une disparition des dopants, mais plutôt à la présence de charges sur les parois des pores, plus ou moins neutralisées par l'hydrogène (Cf. chapitre 3, paragraphe 3.3.2). Ce phénomène de déplétion est modélisé par un dopage du PS faible. Dans notre cas, D_{PS} a été considéré comme un paramètre ajustable variant entre 1.10^{10} et 1.10^{16} at/cm³.

Afin de modéliser le canal de conduction observé sur les Figures 169, 170 et 172, des charges fixes à l'interface PS / Si ont été considérées. La forte densité d'états qui y est présente (Cf. chapitre 3, paragraphe 4.2.2) peut effectivement conduire à une telle situation, dépendamment de la nature des états (donneur ou accepteur) et de leur occupation. Leurs concentrations (C_{inter}) constituent un paramètre d'ajustement de la simulation (entre $+1.10^{12}$ et -1.10^{12} /cm²).

Les suppositions relatives à D_{PS} et C_{inter} sont bien entendu critiquables et nécessitent des précautions au niveau de l'analyse des résultats. Par ailleurs, choisir le PS de type P nécessite aussi de différencier les interfaces du PS avec Si selon le type de ce dernier, à savoir N ou P (Si(N) ou Si(P)). Il résulte de ces suppositions des interfaces Si(P) / PS et Si(N) / PS respectivement ohmique et redresseur. Ces hypothèses restent plausibles au regard des résultats présentés dans le paragraphe 2.2.2.2. A noter également que D_{PS} est défini de manière uniforme, il s'agit en fait d'un dopage moyen (Cf. discussion ci-dessous à propos de ε_{PS} et ρ_{PS}).

ε_{PS} est dépendante à la fois de la texture et de la $P\%$ du PS (Cf. chapitre 3). Or le dopage graduel à partir duquel le PS est formé induit nécessairement un caractère non homogène de la couche PS. Les mesures effectuées dans le cadre du paragraphe 2.2.1 ont par ailleurs confirmé ce comportement. La définition de ε_{PS} s'avère donc compliquée puisque seule une valeur moyenne (ε_{PS_moy}) peut être considérée à l'échelle de la simulation. Quatre niveaux de $P\%$ moyenne (P_{moy}) ont ainsi été considérés entre 20 et 60 %. ε_{PS_moy} est ensuite déduite de la Figure 109 donnée dans le chapitre 3 (Cf. Tableau 14).

ρ_{PS} , quant à elle, ne dépend que de la $P\%$ (Cf. chapitre 3), néanmoins les effets d'inhomogénéité discutés ci-dessus s'appliquent et nécessitent l'usage d'une résistivité moyenne (ρ_{PS_moy}). Compte tenu de la géométrie des Ca_PS, l'extraction de ρ_{PS_moy} n'a pas été possible (Cf. paragraphes 2.2.2). Une paramétrisation est donc nécessaire. Pour un D_{PS} donné, μ_{PS} (ou plutôt μ_{PS_moy}) a été approximée par la formule 4.2 ci-dessous, en accord avec les choix effectués pour ε_{PS_moy} :

Équation 4.2
$$\rho_{PS_moy} = \frac{1}{D_{PS}.e.\mu_{PS_moy}}$$

Le paramètre e représente la charge de l'électron ($-1,6.10^{-19}$ C). Dans le domaine des semi-conducteurs, l'équation 4.2 ne reste valide que dans la mesure où la densité d'électrons reste négligeable devant celle des trous (type P). Dans notre cas, nous avons considéré la mobilité des électrons comme nulle, de sorte qu'elle soit applicable quelque soit D_{PS} .

En considérant l'exemple d'un dopage D_{PS} de 1.10^{12} cm^{-3} et en s'appuyant sur les résultats de la Figure 129 du chapitre 3, où ρ_{PS} évolue entre 1.10^4 et 1.10^9 $\Omega.cm$ (à 30 °C) pour une $P\%$ s'étalant de 20 à 60 %, on aboutit aux combinaisons (ε_{PS_moy} ; μ_{PS_moy}) listées dans le Tableau 14.

La définition de Δ_{PS} est également complexe, il évolue en fonction de la taille des cristallites (Cf. chapitre 3, paragraphe 4.1.1). Comme pour ε_{PS} et ρ_{PS} , on peut aussi s'attendre à des effets d'inhomogénéité. Le dimensionnel des morphologies impliquées reste difficile à évaluer, il semble néanmoins se rapprocher d'une structure méso-poreuse (Cf. paragraphe 2.1.2). De fait, en première approche, Δ_{PS} a été conservé égal au gap du silicium ($\Delta_{PS} = \Delta_{Si} = 1,1696$ eV).

Tableau 14 : Combinaisons des paramètres variables (ϵ_{PS_moy} ; μ_{PS_moy}) appliqués en simulation pour $D_{PS} = 1.10^{12} \text{ cm}^3$ et associées aux quatre niveaux P_{moy} choisis. Les données expérimentales sont extrapolées du chapitre 3, Figures 109 et 129.

	Données expérimentales		Paramètres simulation	
$P_{moy} (\%)$	ϵ_{PS}	$\rho_{PS} (\Omega.cm)$	ϵ_{PS_moy}	$\mu_{PS_moy} (cm^2/(V.s))$
20	10	1,00E+04	10	6,25E+02
30	9	1,00E+05	9	6,25E+01
40	8	5,00E+06	8	1,25E+00
60	5	1,00E+09	5	6,25E-03

3.1.2 Structures et conditions de simulation

Les profils de dopage relatifs à la $P_{\cup PS}$ ont été bâtis en accord avec les paramètres de diffusion définis dans le Tableau 13. Les géométries des Ca_PS telles que décrites dans la Figure 156 ont également été reprises. Aucun profil N^+ n'a été pris en compte, excluant l'observation de phénomène de retournement. Néanmoins, le premier objectif consiste à mieux cerner l'origine des courants de fuite élevés. Il en résulte la construction proposée en Figure 173. Deux puces Pu_A et Pu_B séparées par PS et P_{iso} y sont représentées. Elles disposent d'une électrode commune en face arrière (Anode) et se distinguent l'une de l'autre par leurs contacts supérieurs (Cathode 1 et Cathode 2).

Les profils de dopage verticaux (P_1 , P_2 et P_{iso}) sont reproduits analytiquement à l'aide de fonctions gaussiennes préalablement calibrées, essentiellement à partir de C_s et X_{vert} mesurées à l'aide de la technique SRP (Spreading Resistance Profiling, [249]). Tel qu'il a été expliqué dans le cadre du chapitre 3 à propos de la Figure 85, nous avons systématiquement opté pour des coefficients de diffusion latérale (K) égaux à 0,8.

Une incertitude portait sur le positionnement des jonctions par rapport au PS (Cf. cercle bleu de la Figure 158 et encadré de la Figure 173). Conjointement aux charges fixes appliquées à l'interface Si / PS (Cf. paragraphe 3.1.1), le débordement de P_2 et/ou P_{iso} par rapport au Ca_PS est susceptible de contribuer au canal observé sur les Figures 169, 170 et 172. Pour traduire ce phénomène en simulation, nous avons donc considéré l'ouverture P_{iso} (OVP_{iso} sur la Figure 173) comme un paramètre ajustable. D'un point de vue émulation et simulation de structure, il est évidemment plus simple de considérer le Ca_PS comme fixe. Les deux exemples principalement étudiés en simulation sont donnés dans la Figure 174. Avec $OVP_{iso} = 180 \mu m$, P_{iso} et P_2 sont isolées, seules les charges fixes contrôlent la résistance du canal de conduction identifié expérimentalement. Avec $OVP_{iso} = 216 \mu m$, un canal P résultant de la diffusion latérale de P_{iso} est systématiquement présent quelques soient les charges fixes appliquées à l'interface Si / PS. La résistance de ce canal est d'autant plus forte que OVP_{iso} est élevée.

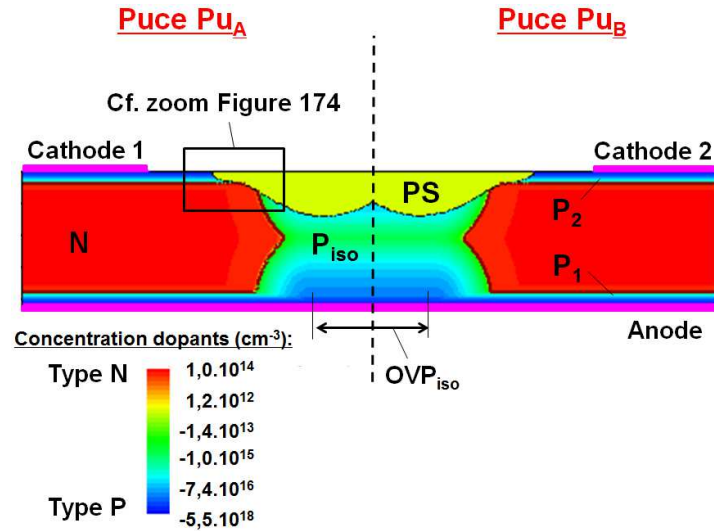


Figure 173 : Structure de simulation relative à la P_j -PS. Deux puces Pu_A et Pu_B sont séparées par le Ca_{PS} et P_{iso} (Cf. tirets noirs). Les dopages types P et N sont respectivement indiqués par des couleurs froides et chaudes. Les contacts électriques sont indiqués en violet (Anode/Cathode 1 pour la puce Pu_A et Anode/Cathode 2 pour la puce Pu_B). OVP_{iso} correspond à l'ouverture P_{iso} considérée en simulation.

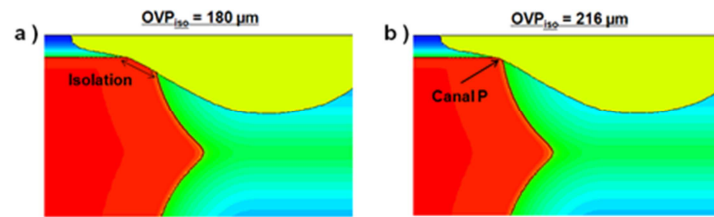


Figure 174 : Impact de l'ouverture photolithographique de P_{iso} (OVP_{iso}) sur l'isolation des diffusions P_{iso} et P_2 . Lorsque OVP_{iso} est trop élevée, un canal P est présent (b) et engendre une perte de l'IE (a). La légende et l'échelle des dopages sont strictement identiques à la Figure 173.

De façon à reproduire les résultats expérimentaux de la Figure 169, la structure est insérée dans un circuit électrique (Cf. Figure 175a) et un transitoire de tension tel que schématisé sur la Figure 175b lui est appliqué. Les courants de fuite observés expérimentalement étant élevés, la tension maximale et la résistance de charge R_L ont été choisies de façon à bénéficier de suffisamment de puissance lors du relevé I-V. Une précaution doit être prise sur la vitesse de croissance de la tension (dans notre cas 100 V/ms) de façon à ce que le courant capacitif induit reste limité par rapport au courant de fuite de la structure. Le même type de simulation a été considéré à propos des Figures 170 (blocage inverse) et 172 (double isolation). Le signe de la polarisation a été inversé pour tester la caractéristique inverse et le rôle de l'Anode a été interchangé avec celui de la Cathode 2 pour évaluer la configuration double isolation.

La construction des structures étudiées ainsi que leurs conditions de simulation électrique via l'outil SENTAURUS de Synopsys sont données en annexe I.

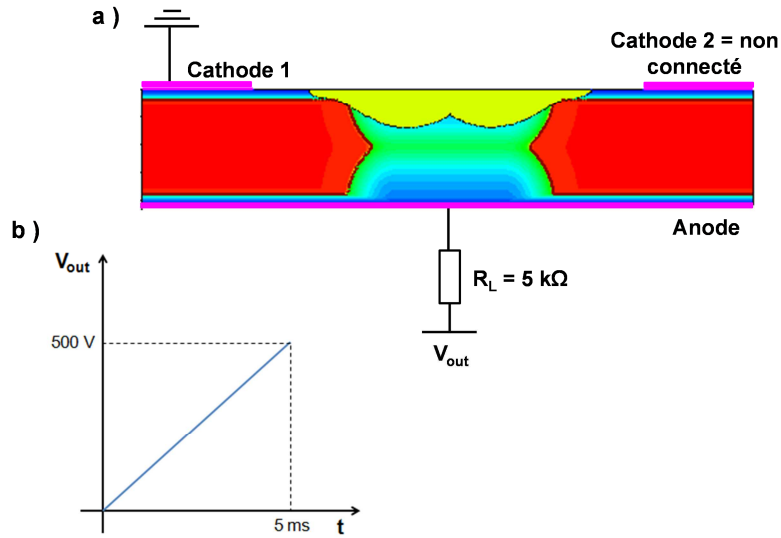


Figure 175 : Simulation électrique de la caractéristique directe de la P_J-PS : a) circuit électrique dans lequel est placée la structure b) transitoire de tension appliqué.

3.1.3 Reproduction qualitative des résultats expérimentaux

3.1.3.1 Tenues en tension directe et inverse

En appliquant les règles définies dans les deux paragraphes précédents, deux configurations de simulation (Ψ_1 et Ψ_2) ont permis de reproduire les résultats expérimentaux de façon relativement satisfaisante compte tenu de l'ensemble des hypothèses émises. On en retrouve le détail dans le Tableau 15. Ce même tableau évoque également deux autres cas de figure (notés Ψ_3 et Ψ_4) qui seront discutés dans le cadre du paragraphe 3.1.3.2.

Tableau 15 : Paramétrage des configurations de simulation les plus représentatives des résultats expérimentaux associés aux Figures 169, 170 et 172.

	Ψ_1	Ψ_2	Ψ_3	Ψ_4
OVP _{iso} (μm)	180	216	180	216
D _{PS} (cm ⁻³)	1.10 ¹²	1.10 ¹⁰	1.10 ¹²	1.10 ¹⁰
C _{inter} (cm ⁻²)	-1.10 ¹¹	-5.10 ¹⁰	-2.10 ¹¹	-2.10 ¹¹
ε _{PS_moy}	9	5	9	5
μ _{PS_moy} (cm ² /(V.s))	62,5	0,625	62,5	0,625

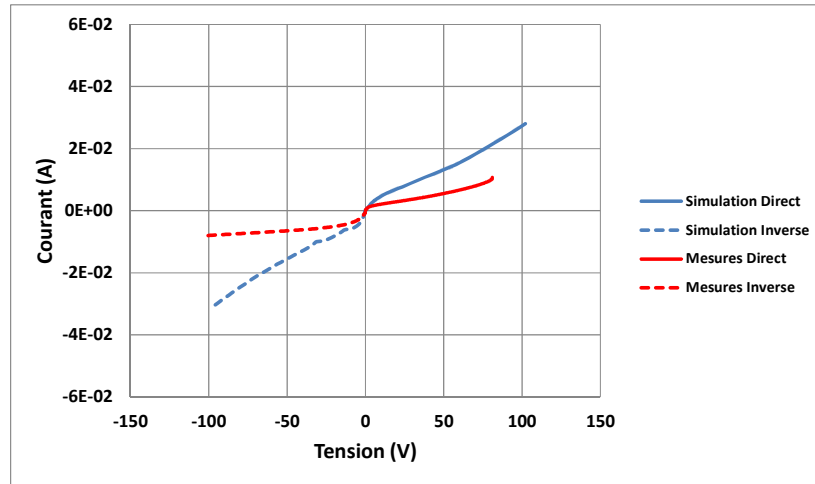


Figure 176 : Comparaison de la configuration de simulation Ψ_1 avec les résultats de mesures des Figures 169 et 170 (Wafer W6_J35_t45_NEG).

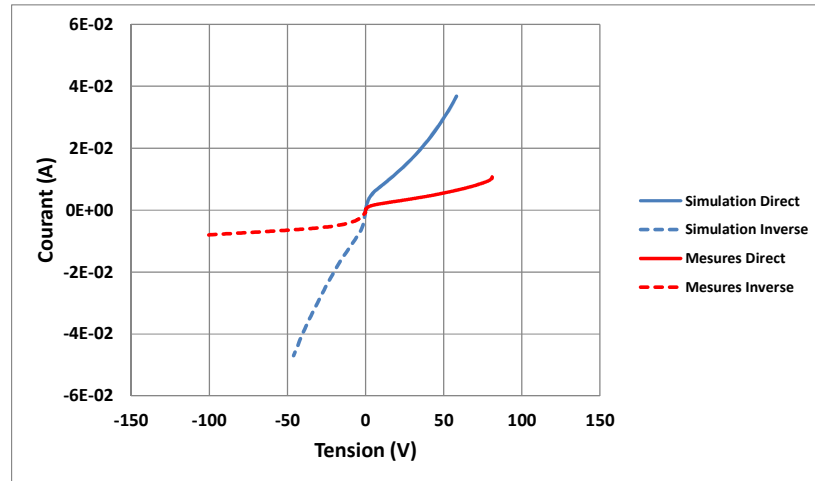


Figure 177 : Comparaison de la configuration de simulation Ψ_2 avec les résultats de mesures des Figures 169 et 170 (Wafer W6_J35_t45_NEG).

Les Figures 176 et 177 représentent les courbes obtenues respectivement pour les configurations Ψ_1 et Ψ_2 . A titre de comparaison, les mesures auparavant décrites sur les Figures 169 et 170 (Wafer W6_J35_t45_NEG) ont été rappelées. Que ce soit dans les régimes direct ou inverse, les simulations surestiment systématiquement les résultats expérimentaux. On reste néanmoins dans les mêmes ordres de grandeurs et on retrouve qualitativement des tendances similaires. On note également que la $P_{\cup}$ inverse reste plus difficile à reproduire par rapport à son homologue direct. Si l'émulation du profil P_2 (Cf. annexe I) reste fiable, la situation est plus compliquée pour P_{iso} avec notamment une diffusion latérale (Cf. chapitre 3, paragraphe 1.1) qui reste toujours difficile à approximer compte tenu du budget thermique mis en jeu.

Les Figures 178 et 179 représentent les cartographies du champ électrique obtenues pour la configuration Ψ_1 , respectivement en régime direct et inverse. Trois polarisations V_{out} sont indiquées : ± 1 V, ± 20 V et ± 80 V. On observe clairement le déploiement du champ électrique dans le Ca_PS.

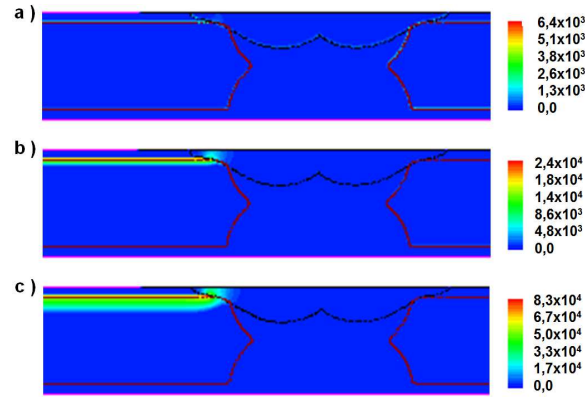


Figure 178 : Cartographies du champ électrique (en V/cm) obtenues pour la configuration Ψ_1 en régime direct pour $V_{out} = 1$ V (a), $V_{out} = 20$ V (b) et $V_{out} = 80$ V (c). La polarisation est appliquée entre Anode et Cathode 1 (Cf. Figure 175).

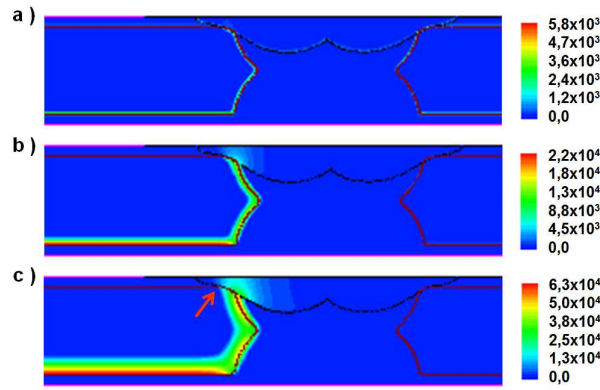


Figure 179: Cartographies du champ électrique (en V/cm) obtenues pour la configuration Ψ_1 en régime inverse pour $V_{out} = -1$ V (a), $V_{out} = -20$ V (b) et $V_{out} = -80$ V (c). A -80 V, la ZCE rejoint quasiment la jonction opposée (flèche rouge). La polarisation est appliquée entre Anode et Cathode 1 (Cf. Figure 175).

Par ailleurs, les Figures 179b (simulation) et 171 (expérimentation) présentent des ZCE relativement voisines, confortant ainsi la pertinence du modèle utilisé. Dans le cas du blocage inverse et à un degré moindre en régime direct, la ZCE rejoint quasiment la jonction opposée (indiqué par une flèche rouge sur la Figure 179c), synonyme d'initiation d'un mécanisme de reach through (Cf. chapitre 1, paragraphe 4.2.3) et de fait d'une IE insuffisante entre les dopages P_{iso} et P_2 tel que discuté dans le cadre du paragraphe 2.3. A noter également que la configuration Ψ_2 se caractérise par un comportement semblable.

Afin de compléter l'étude, les cartographies des densités de courant ont également été analysées. Des résultats similaires sont observés quels que soient le blocage et la configuration de simulation

considérés. A titre d'exemple, la Figure 180 rapporte le cas de la configuration Ψ_1 en régime direct pour trois tensions de polarisation : 1 V, 20 V et 80 V. Lorsque V_{out} est faible, le courant circule majoritairement à l'interface PS / Si, on retrouve alors le courant de canal discuté au paragraphe 2.3. Puis en augmentant V_{out} , le courant se propage dans le volume du PS conjointement au développement de la ZCE.

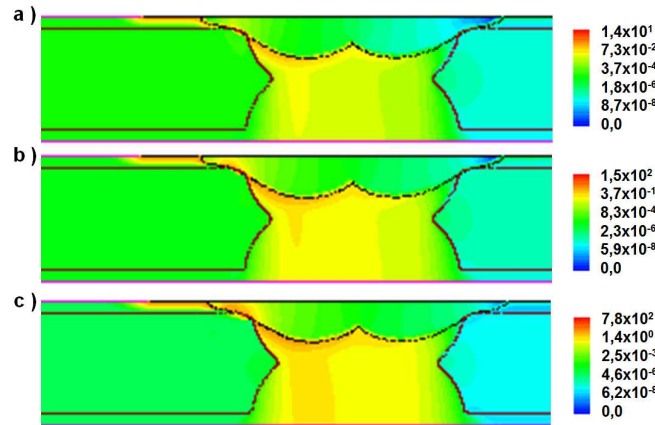


Figure 180 : Cartographies des densités de courant total obtenues pour la configuration Ψ_1 en régime direct pour $V_{out} = 1$ V (a), $V_{out} = 20$ V (b) et $V_{out} = 80$ V (c). La polarisation est appliquée entre Anode et Cathode 1 (Cf. Figure 175).

3.1.3.2 Double isolation

En s'appuyant sur les conclusions précédemment obtenues pour les tenues en tension directe et inverse, il nous a également été possible de reproduire le comportement des courbes expérimentales en mode double isolation (Cf. Figure 172). Les Figures 181 et 182 traitent respectivement des cas W6_J20_t90_FP et W6_J35_t45_NEG. Si pour le wafer W6_J20_t90_FP, les configurations de simulation Ψ_1 et Ψ_2 conduisent à des résultats satisfaisants, pour le wafer W6_J35_t45_NEG, la concentration de charges fixes à l'interface Si / PS a dû être augmentée jusqu'à $2 \cdot 10^{11} \text{ cm}^{-2}$ (Configuration Ψ_3 et Ψ_4 dans le Tableau 15). Ce constat reste tout à fait plausible puisque les motifs TRIAC, utilisés pour évaluer les tenues en tension directe / inverse, et les dispositifs Int1 dédiés à l'étude double isolation, sont disposés dans des zones différentes du wafer. Une inhomogénéité des propriétés physiques du PS n'est en effet pas à exclure sur un même wafer, en l'occurrence ici la plaquette W6_J35_t45_NEG.

L'examen des résultats de simulation électrique associés aux Figures 176, 177, 181 et 182 penche en faveur de la configuration de simulation Ψ_1 (ou Ψ_3). Néanmoins, l'observation de la Figure 171a indique plutôt une IE telle qu'émulée par la version Ψ_2 où la présence d'un canal P est induite par construction suite à une géométrie du Ca_PS ne séparant les profils P_{iso} et P_2 que partiellement. Pour la suite de notre étude, nous conserverons donc ces deux alternatives de conditions de simulation.

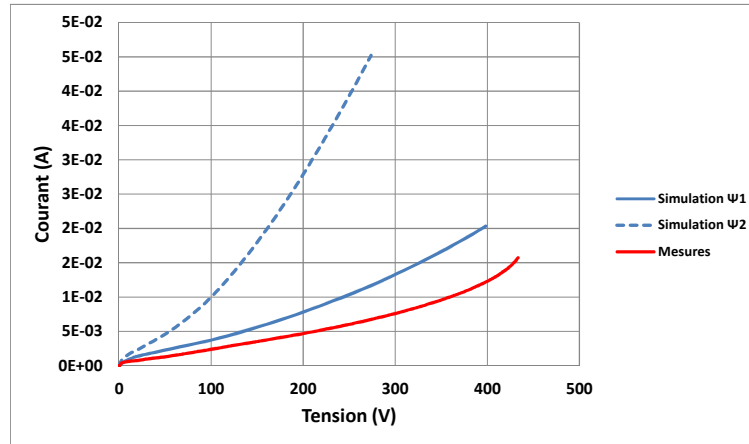


Figure 181 : Comparaison Simulation / Mesures en configuration double isolation pour le wafer W6_J20_t90_FP. La courbe « mesures » provient de la Figure 172.

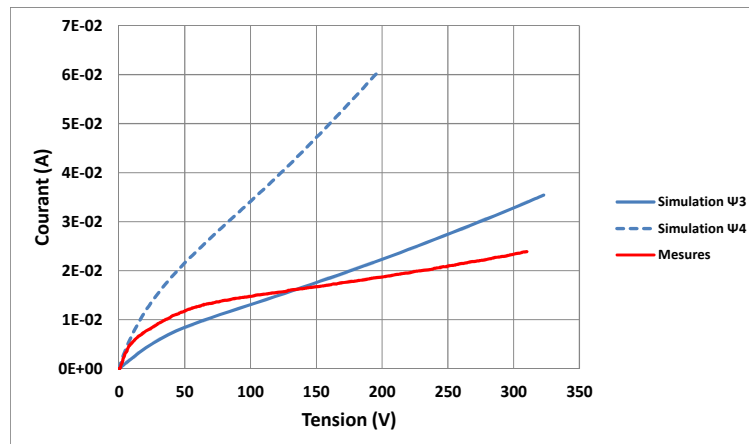


Figure 182 : Comparaison Simulation / Mesures en configuration double isolation pour le wafer W6_J35_t45_NEG. La courbe « mesures » provient de la Figure 172.

3.2 Perspectives d'amélioration de la P_ϕ-PS

3.2.1 Optimisation de la structure existante

Le paragraphe 3.1 a permis d'identifier deux configurations de simulation potentiellement capables de reproduire les résultats expérimentaux. La première notée Ψ_1 nous indique que les performances de la P_ϕ-PS sont restreintes par des propriétés diélectriques du PS insuffisantes. La Figure 183 montre l'impact de ϵ_{PS_moy} et μ_{PS_moy} sur les caractéristiques de blocage du PS. Seuls les couples $(\epsilon_{PS_moy} ; \mu_{PS_moy})$ du Tableau 14 ont été considérés. Bien évidemment, plus ϵ_{PS_moy} et μ_{PS_moy} diminuent et plus les courants de fuite sont abaissés. Néanmoins, le gain reste faible (inférieur à une

décade) et même si l'on tend à surestimer les courants de fuite, il est fort probable que les performances restent encore inacceptables pour notre application, laissant ainsi supposer la nécessité d'une optimisation au travers des paramètres OVP_{iso} et/ou C_{inter} difficiles à contrôler.

Quant aux résultats de Ψ_2 , ils supposent que le PS formé sur nos prototypes dispose d'un couple $(\epsilon_{PS_moy} ; \mu_{PS_moy})$ plus intéressant et C_{inter} est plus faible. De fait, la limitation proviendrait surtout d'une IE insuffisante du Ca_PS vis-à-vis des diffusions P_{iso} et P_2 . Dans ce cas, un travail est nécessaire pour limiter les effets de croissance anisotropique du PS discutés dans le paragraphe 2.1.1. Une solution consisterait à utiliser des profils de diffusion P_2 moins dopé. Un inconvénient pourrait alors provenir de la nécessité d'ajouter une étape de surdopage P^+ localisé de façon à garantir des contacts électriques de qualité.

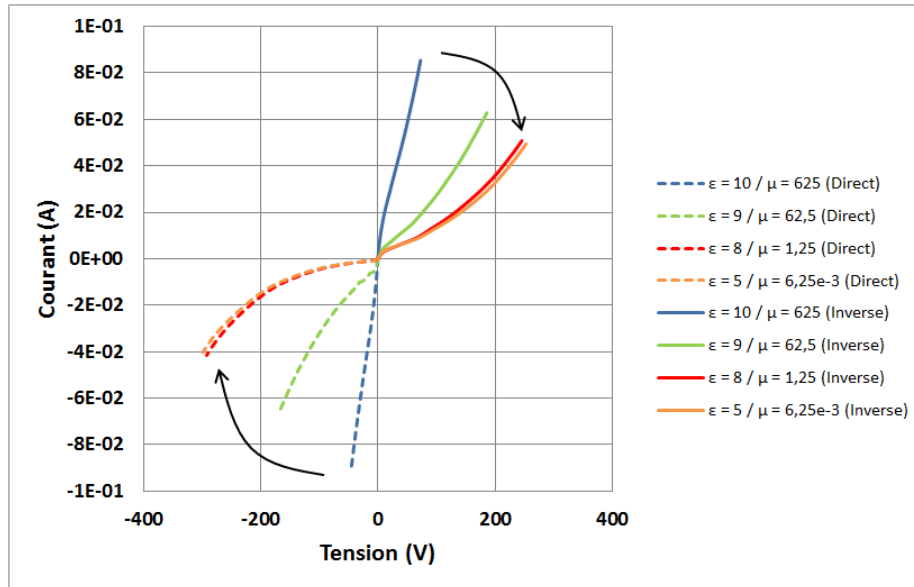


Figure 183 : Impact des propriétés diélectriques du PS sur les caractéristiques de blocage de la P_2 -PS sur la base de la configuration de simulation Ψ_1 ($OVP_{iso} = 180 \mu m$, $D_{PS} = 1.10^{12} cm^2$ et $C_{inter} = -1.10^{11} cm^2$). Les mobilités (μ) sont exprimées en $cm^2/(V.s)$.

3.2.2 Proposition d'évolution de la structure existante

La réussite de la P_2 -PS, telle qu'étudiée jusqu'ici, suppose de maîtriser simultanément la localisation de la croissance du PS, les contraintes mécaniques qu'elle engendre et les propriétés isolantes du PS. La tâche s'annonce donc très complexe. Une façon de simplifier la situation consisterait à s'appuyer sur la structure de la Figure 154 discutée dans le paragraphe 1.4.5. La sélectivité en fonction du dopage de la gravure du PS, si besoin cumulée avec une étape de photolithographie, permettrait de se concentrer sur les aspects mécanico-électriques du PS. On se propose donc d'étudier le potentiel de cette nouvelle structure par le biais de la modélisation macroscopique du PS définie dans le paragraphe 3.1.

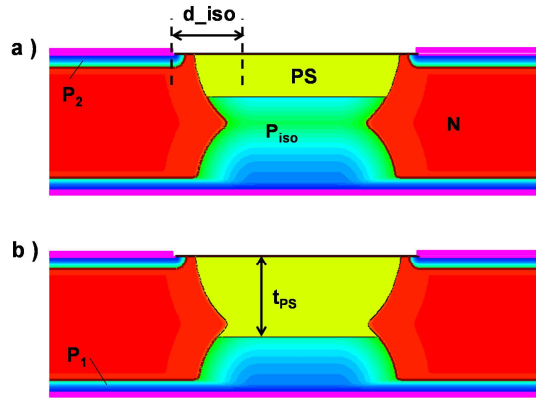


Figure 184 : P_Ψ-PS avec une isolation physique entre les dopages P₂ et P_{iso} (d_{iso} = 125 µm). t_{PS} est variable : a) 65 µm b) 125 µm.

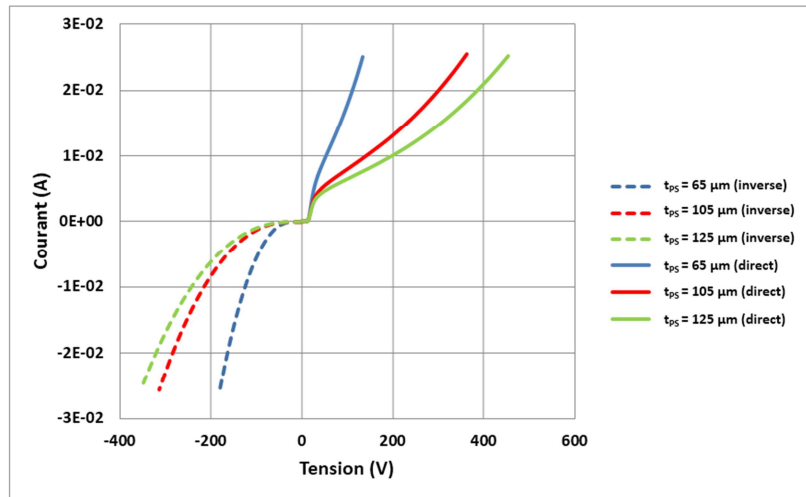


Figure 185 : Caractéristiques I - V associées à la P_Ψ-PS disposant d'une isolation physique supplémentaire (d_{iso} = 125 µm) en utilisant les paramètres de simulation de la configuration ψ_1 (Cf. Tableau 15) et ce pour t_{PS} = 65, 105 et 125 µm.

Les Figures 184 a et b décrivent deux structures analysées. Elles se distinguent l'une de l'autre par t_{PS}, à savoir 65 µm pour la première (Figure 184a) et 125 µm pour la seconde (Figure 184b). L'IE entre le Ca_PS et le profil P₂ est définie comme la différence entre les cotes de photolithographie des dopages P_{iso} et P₂. Au final, compte tenu des diffusions latérales, la séparation réelle entre P_{iso} et P₂ est plus courte. A noter également que les émetteurs N⁺ n'ont pas été pris en compte de façon à s'affranchir de potentiels phénomènes de gain (Cf. chapitre 1, paragraphe 4.2.2).

Lorsque d_{iso} est supérieur à 150 µm, les performances de la P_Ψ en direct (jonction P₂N) deviennent indépendantes des caractéristiques géométriques et électriques du PS. L'IE recherchée par le biais du PS perd donc tout son sens. Dans ce qui suit, nous avons fixé d_{iso} = 125 µm. Le choix d'un tel dimensionnel permet en gros de diviser par deux la taille des P_Ψ TRIAC actuelle.

La Figure 185 donne les résultats pour trois profondeurs PS ($t_{PS} = 65, 105$ et $125 \mu m$) et ce pour une configuration de simulation s'appuyant sur la configuration ψ_1 décrite dans le Tableau 15 (à l'exception du paramètre OVP_{iso} dont la signification est dénuée de sens sur cette nouvelle structure de simulation). Le même type de simulations a été réalisé dans le cas de la configuration ψ_2 du Tableau 15. Les caractéristiques I-V sont cette fois-ci rapportées dans la Figure 186. L'examen de ces deux figures nous permet de constater une augmentation de la tenue au blocage plus t_{PS} est élevé. Cette observation est vérifiée pour les deux régimes direct et inverse. Les propriétés diélectriques accrues (ϵ_{PS} , μ_{PS} et C_{inter}) proposées par la configuration ψ_2 permet d'atteindre des résultats plus avantageux. Néanmoins à 600 V, on relève des courants de fuite direct / inverse (I_D / I_R) encore trop élevés : $I_D = 2 \text{ mA}$ et $I_R = 240 \mu A$ ($t_{PS} = 125 \mu m$).

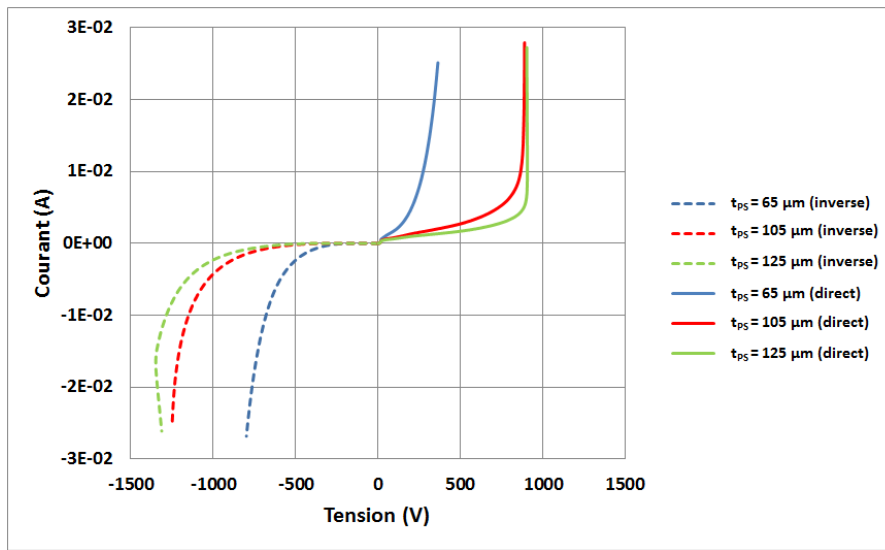


Figure 186 : Caractéristiques I – V associées à la P_G -PS disposant d'une isolation physique supplémentaire ($d_{iso} = 125 \mu m$) en utilisant les paramètres de simulation de la configuration ψ_2 (Cf. Tableau 15) et ce pour $t_{PS} = 65, 105$ et $125 \mu m$.

Si l'on s'attarde sur la Figure 187 et ses cartographies du champ électrique et des densités de courant total prises à 600 V, le rôle du PS dans les performances de la P_G est clairement visualisé. Les courants de fuite sont en effet véhiculés majoritairement dans le volume du PS et à son interface avec le substrat (Figures 187b et d respectivement pour les régimes inverse et direct). La ZCE se développe quant à elle dans le PS tel qu'attendu (Figures 187a et c respectivement pour les régimes inverse et direct). Le champ électrique maximal est obtenu au niveau des jonctions et les valeurs atteintes sont voisines du champ critique du Si (E_c de l'ordre de 5.10^5 V/cm pour ces dopages). L'amélioration de la tenue en blocage passe donc nécessairement par une réduction des paramètres ϵ_{PS} , μ_{PS} et C_{inter} . Précisons que les exemples de la Figure 187 sont donnés pour la configuration de simulation ψ_2 et $t_{PS} = 105 \mu m$.

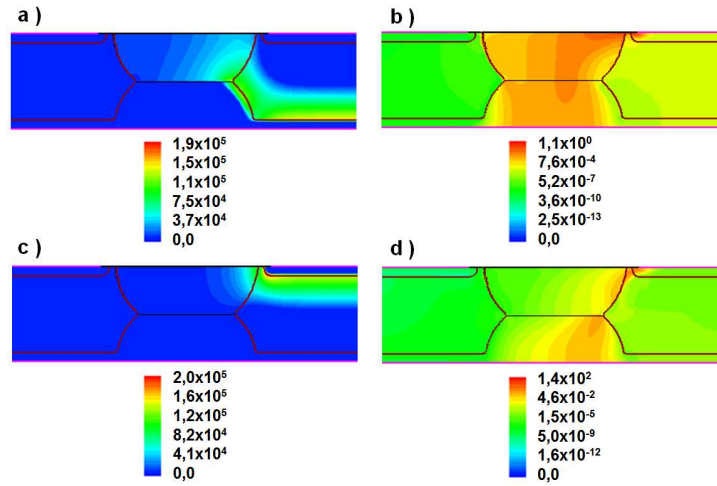


Figure 187 : Cartographies du champ électrique (a et c) et des densités de courant total (b et d) de la $P_{\text{J}}\text{-PS}$ disposant d'une isolation physique supplémentaire ($d_{\text{iso}} = 125 \mu\text{m}$) extraites à 600 V, $t_{\text{PS}} = 105 \mu\text{m}$ et une configuration de simulation ψ_2 (Cf. Tableau 15), à la fois pour les régimes direct (c et d) et inverse (a et b). La polarisation est appliquée entre Anode et Cathode 2 (Cf. Figure 175).

Le rôle de C_{inter} est en fait primordial. En se positionnant dans une configuration favorable pour la tenue au blocage, à savoir $D_{\text{PS}} = 1.10^{12} \text{ cm}^{-3}$, $t_{\text{PS}} = 125 \mu\text{m}$ et un paramétrage des propriétés diélectrique du PS pour une $P_{\%}$ de 80 % ($\epsilon_{\text{PS}} = 3$ et $\rho_{\text{PS}} = 1.10^{11} \Omega.\text{cm}$), l'impact de C_{inter} sur les caractéristiques I - V peut être analysé. La lecture des deux Figures 188 et 189, respectivement pour les régimes direct et inverse, indique clairement la nécessité de minimiser C_{inter} pour atteindre des courants de fuite inférieurs à $10 \mu\text{A}$ à 600 V. Cette constatation reste valide pour les deux régimes de polarisation, l'influence de C_{inter} est néanmoins plus prononcé en mode direct. A noter que les valeurs de courants de fuite issues des Figures 188 et 189 sont perturbées par des effets capacitifs. Ces derniers sont notamment bien visibles à bas niveaux de tension et deviennent non négligeables pour $C_{\text{inter}} = 0$. Si l'on s'appuie sur les résultats atteints, à l'aide de notre modélisation macroscopique du PS, pour cette nouvelle $P_{\text{J}}\text{-PS}$ disposant d'une isolation physique supplémentaire ($d_{\text{iso}} = 125 \mu\text{m}$), des courants de fuite statiques inférieurs à $1 \mu\text{A}$ semblent donc accessibles. Toute la problématique consistera maintenant à reproduire expérimentalement les propriétés diélectriques et géométriques identifiées pour le PS. Plusieurs pistes ont d'ores et déjà été recensées. Pour augmenter la $P_{\%}$ des Ca_{PS} , on pourrait envisager de travailler avec des densités de courant plus élevées et variables au cours de l'anodisation ou encore réduire le dopage P_{iso} tout du moins sur sa partie supérieure. Par ailleurs, en ce qui concerne la réduction de C_{inter} , il sera nécessaire de fonctionnaliser le PS. A ce titre des oxydations RTA pourraient être profitables. L'ajout de recuit post-anodisation sous une atmosphère d'azote hydrogéné sont également à considérer.

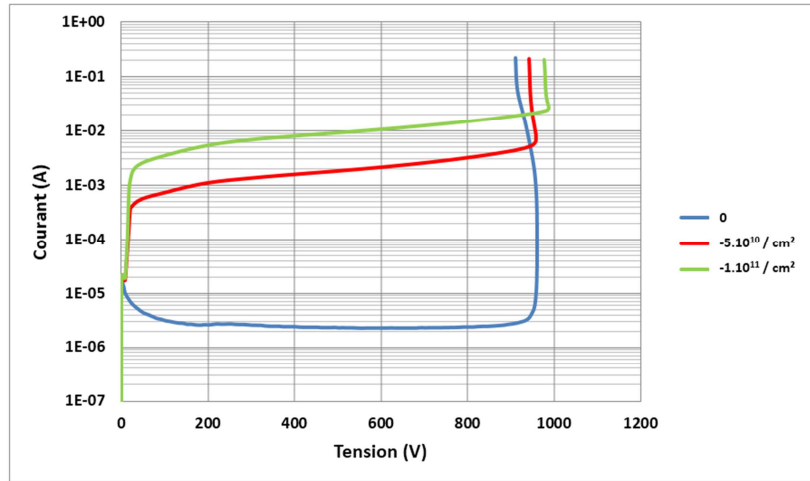


Figure 188 : Impact de C_{inter} sur la tenue au blocage en régime direct de la $P_{\text{J-PS}}$ disposant d'une isolation physique supplémentaire ($d_{iso} = 125 \mu m$). Le PS a été paramétré pour une $P_{\%}$ équivalente à 80 % soit $\epsilon_{PS} = 3$ et $\rho_{PS} = 1.10^{11} \Omega.cm$, $t_{PS} = 125 \mu m$ et $D_{PS} = 1.10^{12} / cm^3$.

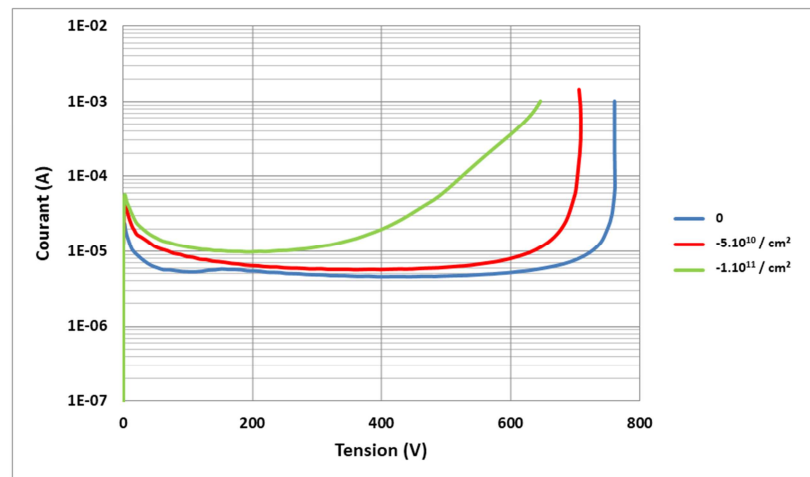


Figure 189 : Impact de C_{inter} sur la tenue au blocage en régime inverse de la $P_{\text{J-PS}}$ disposant d'une isolation physique supplémentaire ($d_{iso} = 125 \mu m$). Le PS a été paramétré pour une $P_{\%}$ équivalente à 80 % soit $\epsilon_{PS} = 3$ et $\rho_{PS} = 1.10^{11} \Omega.cm$, $t_{PS} = 125 \mu m$ et $D_{PS} = 1.10^{12} / cm^3$.

4. Conclusion

Des premiers prototypes de TRIACs à $P_{\text{J-PS}}$ ont été élaborés et analysés. Les performances atteintes ne permettent pas de garantir une tenue au blocage satisfaisante. Des courants de fuite supérieurs à la dizaine de milliampères, à T ambiante et sous une polarisation de l'ordre de 100 V sont en effet rédhibitoires.

L'étude a néanmoins permis d'identifier les grandes problématiques à résoudre. Premièrement, le PS doit être localisé aux extrémités des jonctions garantes des tenues en tension. La mise au point d'un

procédé à base de FP ou de résine négative épaisse n'est pas suffisante. L'intégrité parfaite des couches de masquage reste toujours à démontrer. De plus, les gravures sous masques doivent être minimisées de manière à rendre la croissance du PS plus verticale. Ce dernier point est notamment fortement dépendant des profils de diffusion, l'anodisation se développant préférentiellement sur les zones les plus dopées et généralement situées en surface, compte tenu de la nature graduelle des dopages.

Deuxièmement, la croissance du PS est génératrice de contraintes mécaniques. Ce phénomène est très sensible sur des plaquettes fines telles qu'utilisées pour les TRIACs. Les wafers sont en effet facilement voilés, compliquant alors la manipulation des plaquettes lors des traitements photolithographiques, ainsi que des dépôts de passivation et métallisation suivant l'anodisation. Pour limiter cet effet, le volume de PS présent sur la plaquette doit être minimisé. Un travail sur la tolérance au warp des équipements pourrait également s'avérer nécessaire, tout comme une compensation des contraintes en ajoutant un Ca_PS en face arrière.

Troisièmement, le PS doit disposer de propriétés diélectriques élevées et la densité de charge à l'interface PS / Si doit rester faible. Concernant le premier point, des $P_{\%}$ moyennes supérieures à 60 % devront probablement être visées et/ou la profondeur du Ca_PS devra être augmentée. Les analyses effectuées, notamment sur des motifs de caractérisation dédiés, ont semble-t-il montré que cette situation n'avait pas été atteinte, tout du moins sur la grande majorité des cas. Les résultats obtenus sont néanmoins restés cohérents par rapport à l'étude menée dans le cadre du troisième chapitre. Vis-à-vis des charges d'interface, leur rôle a été mis en évidence sur une structure où l'IE reste questionnable. Une confirmation de leur effet sur une structure plus optimisée est avant tout nécessaire. Dans tous les cas, un travail sera requis au niveau de la passivation du PS. Le vieillissement dans le temps du PS devra en effet être approfondi. Le recuit post-anodisation pratiqué sur nos échantillons ne sera probablement pas suffisant compte tenu du niveau de stabilité exigé pour la fiabilité des TRIACs.

L'optimisation conjointe de ces trois points clefs apparaît comme quasi-impossible. Par exemple, réduire le voile des plaquettes s'oppose en règle générale à la recherche de performances diélectriques accrues. Ou encore, le rôle du dopage sur la gravure du PS et sur ses propriétés diélectriques, complique le bon dimensionnement de la $P_{\%}$ _PS, si l'on souhaite en plus préserver un procédé de fabrication simple et donc acceptable financièrement parlant.

De fait, dans un esprit de première simplification, une nouvelle structure a été proposée. Son originalité s'appuie sur l'ajout d'une isolation physique supplémentaire entre les profils P_2 et P_{iso} . Aucun niveau de masquage supplémentaire ne serait requis, à partir du moment où la sélectivité de la gravure PS en fonction du dopage est suffisante pour assurer la localisation du Ca_PS. Ce point reste

bien entendu à démontrer. Quoi qu'il en soit, l'adoption de cette nouvelle P_{iso} -PS permettrait de gérer plus facilement la problématique du voile des wafers et la recherche de fortes propriétés d'IE. Son étude, par le biais d'une modélisation macroscopique du PS, a démontré sa viabilité électrique.

Mis à part l'anodisation, l'étude proposée dans ce manuscrit s'est appuyée sur des procédés déjà existants dans la fabrication des TRIACs. Plus particulièrement, les profils traversants P_{iso} sont réalisés par diffusions de bore, à partir d'une source fortement dopée, positionnée de part et d'autre de la plaquette. D'autres méthodes pourraient s'avérer plus avantageuses pour la réalisation de périphéries PS. La technique de thermomigration de l'Al (TGZM) permettrait de réduire le temps de formation des profils P_{iso} . De plus, la finesse des piliers P^+ formés serait sans aucun doute profitable vis-à-vis de la taille de puce. Enfin, ses forts dopages ($> 1.10^{19} \text{ cm}^{-3}$), uniformes tout le long de la colonne P^+ , favoriserait la gravure verticale du PS. Une seconde alternative consisterait à conserver des dopages P_{iso} diffusées classiquement, mais avec une espèce dopante bénéficiant d'une meilleure vitesse de diffusion comparativement au bore. L'Al serait un bon candidat. Il serait alors possible d'envisager des profils P_{iso} moins dopés pour un même budget thermique. Ainsi, des propriétés diélectriques plus avantageuses pourraient être atteintes au niveau du PS.

Au final, si les premiers dispositifs TRIAC P_{iso} -PS ne présentent pas le niveau de performance requis en termes de blocage, plusieurs voies d'optimisation ont été mises au jour par le biais de ces travaux, que ce soit en termes de conception ou de procédés de fabrication.

Conclusion générale

Dans le domaine de la microélectronique, la mise au point de solutions innovantes visant à favoriser la densité d'intégration constitue la ligne directrice de nombreux travaux de recherche. Cette problématique apparaissait bien moins évidente au sujet des TRIACs, dispositif mature déjà bien installé sur les marchés de l'électroménager, de l'éclairage ou encore du chauffage. Cependant, les densités de puissance qu'il est capable de véhiculer n'ont à ce jour pas d'égal. De fait, le TRIAC reste un composant d'intérêt, notamment pour toutes les applications fonctionnant à partir de sources alternatives où les exigences sur la commande sont faibles. Toute forme de développement visant à accroître le niveau de performance du TRIAC reste donc pertinente, même si bien évidemment, le contexte « bas coût » imposé par sa maturité ne doit pas être occulté.

Les études précédemment menées sur les propriétés électriques du silicium poreux (PS) laissent entrevoir un certain potentiel dans le domaine de l'isolation électrique (IE). Notamment, les textures micro / méso-poreuses, formées à partir de substrat de type P, présentent des résistivités (ρ_{PS}) et constantes diélectriques relatives (ϵ_{PS}) s'approchant de celles de l'oxyde de silicium (SiO_2), diélectrique couramment employé dans les passivations de jonctions du TRIAC. Un premier rapprochement entre TRIAC et PS est ainsi établi. Par ailleurs, la croissance du PS à partir des profils de dopage naturellement présents en périphérie (P_{J}) du TRIAC semble accessible. Par conséquent, les travaux effectués dans le cadre de cette thèse ont eu pour vocation d'étudier la capacité du PS à remplir le rôle de terminaison de jonctions des TRIACs. On parle ici de tenues en tension dépassant 600 V et de courants de fuite inférieurs à 10 μA à température ambiante. Dans le même temps, le dimensionnement de ces P_{J} doit rester efficace en matière de tailles de puce.

Le premier chapitre de ce manuscrit s'est focalisé sur la présentation du TRIAC : son environnement, ses paramètres électriques, sa structure silicium (Si), ses technologies. Une parfaite connaissance du composant est en effet nécessaire pour proposer de nouvelles orientations. Tout commence au niveau des applications. Ces dernières évoluent. Les concepteurs recherchent des températures maximales de fonctionnement ($T_{\text{J_max}}$) plus élevées, plus de robustesse vis-à-vis des surcharges en courant et tension, de la compatibilité électromagnétique, etc. Les paramètres de blocage (OFF), de conduction (ON) ou encore de commutation du TRIAC doivent donc progresser en conséquence, sans oublier la contrainte du coût, grandeur déterminante au niveau du TRIAC comme il a été commenté précédemment.

Améliorer les performances du TRIAC suppose de maîtriser son architecture Si et les mécanismes physiques qui y règnent. On a coutume de diviser le TRIAC en deux entités : la P_{J} responsable du mode OFF et la zone active (ZA) garante de l'état ON. Cette image laisse présumer deux régions autonomes au sein du TRIAC. Il n'en est rien. De nombreuses interdépendances existent, ne serait-ce que par la présence des phases de commutation. Néanmoins, compte tenu des objectifs de ce mémoire, seuls les paramètres électriques caractéristiques de la P_{J} ont été commentés dans le détail. Les phénomènes d'avalanche et de courant de fuite, ainsi que l'ensemble des terminaisons de jonction

rapportées dans la littérature, ont de fait été discutés. Ces notions sont en effet primordiales pour interpréter et juger correctement les performances de la périphérie à base de silicium poreux ($P_{\text{J-PS}}$) élaborée dans cette étude.

Pour comprendre les bénéfices du PS comme élément clef des terminaisons de jonction du TRIAC, il est nécessaire au préalable de connaître les caractéristiques des technologies adoptées aujourd'hui par les fabricants de TRIACs. On en dénombre trois : DOUBLE MESA (DM), PLANAR (PL) et TOP GLASS (TG). Les avantages et inconvénients de chacune d'entre elles ont été commentés. Aucune d'entre elles ne se distingue véritablement des deux autres de par les compromis qu'elle est capable d'offrir. Si le TRIAC DM présente un procédé de fabrication simple côté Si (Front End), il en résulte une complexification de l'assemblage (Back End). Le TRIAC PL offre quant à lui la configuration opposée. Le TRIAC TG pourrait constituer un bon équilibre entre ses deux congénères, néanmoins sa dissymétrie structurelle, génératrice de contraintes mécaniques compromettantes au niveau du traitement des plaquettes, complique son exploitation à fort volume. Toutefois, le TRIAC TG constitue une source d'inspiration intéressante vis-à-vis du PS. Il présente en effet des profils de diffusion de type P traversant la plaquette de part et d'autre (P_{iso}). Or, il est envisageable de former des caissons PS (Ca_{PS}) sur la profondeur des profils P_{iso} . Dès lors, rendre verticale l'IE et optimiser le dimensionnement de la P_{J} , apparaissent possibles.

La croissance électrochimique du PS est accessible quels que soient le type et la résistivité du substrat (ρ_{Si}). Cependant, les formes qu'il revêt sont extrêmement sensibles à ces deux paramètres. Le deuxième chapitre s'est ainsi focalisé sur les mécanismes physico-chimiques responsables du développement des pores dans le Si. Les processus impliqués peuvent devenir complexes, la description est donc restée très générale, avec comme ligne directrice le cas des électrolytes aqueux, configuration faisant l'objet d'un certain consensus au sein de la communauté PS. De manière générale, pour du Si type P, la gravure PS est contrôlée par la diffusion de trous vers l'interface Si / électrolyte, alors que pour du type N, les porteurs minoritaires (toujours des trous) y sont conduits sous l'effet du champ électrique (E) régnant à cette même interface. De ces processus résultent une multitude de textures classifiées selon le diamètre des pores, leurs morphologies ou encore la porosité ($P_{\%}$). Dans le cas de notre application, des couches denses, avec des méso, voire micro-pores entremêlés, sont principalement attendues. Cette configuration apparaît plutôt favorable vis-à-vis des propriétés diélectriques recherchées.

Le second chapitre a également été l'occasion de recenser les applications dans lesquelles le PS avait été suggéré. La mise à profit du PS s'étale de l'électronique au biomédical, en passant par l'optoélectronique, les capteurs, les microsystèmes ou encore le stockage d'énergie. Dépendamment des centres d'intérêt, on vient tirer profit des propriétés électriques, optiques ou thermiques du PS, de son rapport surface / volume élevé, de sa facilité à être fonctionnalisé ou encore de l'aspect de ses

pores. En ce qui concerne l'électronique et plus particulièrement la faculté du PS à offrir de nouvelles alternatives en termes d'IE, plusieurs études ont été menées. La plupart d'entre elles en sont néanmoins restées au stade embryonnaire. Citons notamment la réalisation d'oxydes épais, les technologies SOI (Silicon On Insulator) dans lesquelles le PS (oxydé) joue le rôle de diélectrique ou encore l'utilisation du PS comme couche de passivation. Le comportement variable du PS dans le temps et sa grande réactivité à l'environnement qui l'entoure peuvent expliquer en partie les raisons de ces échecs. Si les exemples donnés ci-dessus apparaissent relativement proches de la périphérie PS que l'on souhaite promouvoir, plusieurs arguments incitent néanmoins à l'optimisme. Tout d'abord, très peu d'informations ont été données sur les propriétés physiques et électriques du PS embarquées dans ces structures. Deuxièmement, l'essor des travaux relatifs aux capteurs et aux applications biomédicales ces dix dernières années a permis de mieux cerner les mécanismes responsables du manque de stabilité du PS. Et enfin, suite à un certain réveil industriel, de nouveaux types d'équipements de production du PS sont apparus.

L'aboutissement d'une terminaison de jonction à base de PS ne repose donc pas uniquement sur notre capacité à pouvoir former du PS à partir des dopages P_{iso} . Le micro / méso-PS qui en résulte doit en effet posséder des propriétés diélectriques les plus proches possibles des isolants usuels rencontrés sur le TRIAC (verre, SiO_2 par exemple). Le troisième chapitre s'est donc attaché à étudier de façon exhaustive ε_{PS} ainsi que ρ_{PS} sur du Si type P. Des motifs tests ont ainsi été conçus et préparés. ρ_{Si} , la durée d'anodisation (D_{ano}), la densité de courant (J_{ano}) sont les paramètres qui ont été utilisés pour balayer des $P_{\%}$ allant de 20 à 80 % et des épaisseurs PS (t_{PS}) comprises entre 10 et 70 μm . L'électrolyte de type aqueux, contenant de l'acide acétique (acac) et de l'acide fluorhydrique (HF), a quant à lui été fixé pour obtenir une concentration équivalente en HF de 30 %. La réalisation de ces échantillons a été l'occasion de construire des abaques de croissance du PS, à savoir $P_{\%}$ et vitesse de gravure (f_{PS}) en fonction de J_{ano} , nécessaires à l'exploitation des analyses électriques. Ces dernières ont par ailleurs reposé sur des mesures de capacité réalisées sous atmosphère ambiante et des caractéristiques courant - tension (I - V) relevées pour des températures (T) s'étalant de 25 à 200 °C.

ε_{PS} a pu être extraite directement à partir des mesures de capacité. Son évolution en fonction de la $P_{\%}$ a alors pu être tracée. Si globalement ε_{PS} diminue avec la $P_{\%}$, des phénomènes de déplétion partielle et/ou d'inhomogénéité de la couche poreuse viennent perturber la tendance. Le premier effet résulterait d'une distance inter-pores trop grande par rapport à la zone de charge d'espace (ZCE). Quant au second, il pourrait provenir d'une évolution de la $P_{\%}$ le long de t_{PS} . ε_{PS} dépend donc de la morphologie du PS. En faisant abstraction des ces irrégularités, la loi $\varepsilon_{PS} = f(P_{\%})$ se trouve encadrée par les deux formules de Vegard et Bruggeman communément employées dans la littérature. Vis-à-vis de notre application, on retiendra que des valeurs inférieures à 5 peuvent être obtenues dès lors que la $P_{\%}$ dépasse 60 %.

A propos de ρ_{PS} , elle a pu être estimée à partir de courbes I - V. Cette analyse a été exclusivement réalisée en régime direct (PS polarisé négativement par rapport au substrat). En mode inverse, une part non négligeable de la tension est en effet susceptible de s'appliquer côté substrat. Des évolutions non linéaires en fonction du potentiel appliqué ont aussi pu troubler l'interprétation des tracés I - V. A basse tension, il a notamment été fréquent de relever des phénomènes de redressement. Ces derniers découlent vraisemblablement des inhomogénéités de la couche PS, le contact électrique sur PS pouvant quant à lui être considéré comme quasi-ohmique. Aux plus fortes polarisations, d'autres effets non linéaires ont pu être observés, tels que des conductions du type SCLC (Space Charge Limited Current) ou Poole Frenkel. Malgré toutes ces difficultés, une évolution exponentielle de ρ_{PS} en fonction de la $P_{\%}$ a clairement été mise en évidence et ce quel que soit le niveau de température considéré. Plus la $P_{\%}$ augmente et plus ρ_{PS} atteint des valeurs élevées. A T ambiante, ρ_{PS} dépasse $1.10^9 \Omega.cm$ pour $P > 60 \%$. Par contre, en élevant T de 30 à 200 °C, ρ_{PS} perd trois décades. On notera également que la tendance $\rho_{PS} = f(P_{\%})$ est restée insensible à la morphologie du PS. ρ_{PS} s'active avec T selon une loi d'Arrhénius caractérisée par une énergie d'activation (E_A) et un pré-facteur (ρ_0). En suivant le formalisme de Meyer Neldel, à savoir en traçant $1/\rho_0$ en fonction de E_A , des indications ont été obtenues à propos du transport dans PS. Pour des $P_{\%}$ inférieures à 50 %, on a ainsi pu déterminer que la conduction s'opérait à travers des queues de bandes et des niveaux profonds dans le tissu entourant les cristallites, de façon similaire à ce qui est rencontré sur du Si amorphe hydrogéné. Par contre, lorsque la $P_{\%}$ devient plus conséquente ($> 50 \%$), les porteurs « sautent » de cristallite en cristallite via des états situés à proximité du niveau de Fermi.

Les performances diélectriques atteintes sur les échantillons tests nous ont encouragés à réaliser des premiers dispositifs de TRIAC à $P_{\%}PS$, sachant par ailleurs que le champ électrique critique (E_c) du PS s'est avéré au pire équivalent à celui du Si massif (pour $P_{\%} > 60 \%$). Cette étude et l'évaluation des prototypes obtenus ont donc constitué les objectifs principaux du quatrième et dernier chapitre de ce mémoire. La volonté de reproduire les résultats d'IE identifiés sur les échantillons test à partir des profils P_{iso} a tout d'abord soulevé de nouvelles problématiques en termes de procédé de fabrication. La localisation du PS, ainsi que sa croissance verticale, sont perturbées par le profil graduel de P_{iso} . Lors de l'anodisation, le PS se propage en effet aisément sous le masque, dans les régions les plus dopées, pouvant même conduire à son décollement. Des premiers résultats ont tout de même été atteints en utilisant une résine négative épaisse ou encore un composé organique fluoré (FP), précédés dans les deux cas par une étape de révélation pour favoriser l'adhésion de ces matériaux de masquage sur Si. Néanmoins, les observations MEB effectuées laissent supposer une insuffisance en matière d'IE entre les couches actives du TRIAC faces avant et arrière. De plus, des contraintes mécaniques se développent conjointement à la formation du PS. Les plaquettes peuvent alors se retrouver voilées, compliquant ainsi leur manipulation pour les étapes du procédé post-PS. Pour pallier cette difficulté,

les surfaces à anodiser ainsi que J_{ano} ont été réduites lors de la réaction électrochimique. Ces limitations impacteront défavorablement la qualité de l'IE.

Malgré les complications de mise en œuvre, des plaquettes 6'' ont pu être exploitées électriquement. Ces dernières intégraient à la fois des puces TRIAC et des motifs de caractérisation destinés à évaluer les propriétés diélectriques du PS issu de P_{iso} . A partir du mode de transport observé dans le PS, des $P\%$ inférieures à 50 % (en moyenne) ont ainsi pu être déduites, confirmant ainsi les craintes évoquées ci-dessus. La médiocrité des tenues au blocage atteintes ne fut donc pas une surprise. Avec une polarisation ne dépassant pas la centaine de volts à T ambiante, des courants de fuite supérieurs à la dizaine de milliampères ont en effet été mesurés. Bien entendu, ce niveau de performance ne répond pas aux besoins des applications embarquant des TRIACs.

De façon à proposer de nouvelles perspectives, un modèle électrique macroscopique du PS a été mis au point. Il s'appuie sur les outils classiques de simulation des semi-conducteurs. Les caractéristiques I - V expérimentales ont ainsi été reproduites de façon satisfaisante. La géométrie des Ca_PS , leurs propriétés diélectriques et l'éventuelle présence de charges à l'interface PS / Si, sont les paramètres à maîtriser pour que le TRIAC puisse bénéficier des performances OFF requises. Sur la base de ces prérogatives et en prenant en compte les limitations Front End rencontrées lors de la fabrication des premiers prototypes, une nouvelle $P_{\text{G_PS}}$ a été suggérée. Son succès reposera dans un premier temps sur notre capacité à atteindre de fortes $P\%$ tout en minimisant les charges potentiellement présentes à l'interface PS / Si. Ensuite, les problématiques de fiabilité devront être abordées.

Ces travaux se sont appuyés sur les profils P_{iso} diffusés bore naturellement présents sur les technologies TG ou PL des TRIACs produits par ST Microelectronics. D'autres techniques s'appuyant sur des dopants de type aluminium (Al) pourraient également amener des résultats intéressants. A cet effet, la mise au point d'un procédé TGZM (Thermal Gradient Zone Melting) est actuellement investiguée par le biais d'une thèse au laboratoire GREMAN, en collaboration avec ST Microelectronics et dans le cadre du projet TOURS 2015. La finesse des colonnes P^+ TGZM (de l'ordre de la dizaine de micromètres) et leurs forts dopages quasi uniformes (supérieurs à $1.10^{19} / \text{cm}^3$) favoriseront respectivement l'accès à des périphéries courtes et la gravure anisotrope du PS, deux axes de motivations de notre étude. Par ailleurs, la possibilité de former des Ca_PS par le biais d'une jonction PN offre de nouvelles alternatives en termes de $P_{\text{G_PS}}$. On pourrait notamment imaginer remplacer les sillons de verre rencontrés sur la technologie DM des TRIACs. Guidée par cet objectif, une seconde thèse (CIFRE) est actuellement menée impliquant les deux partenaires précédemment cités.

Au final, malgré leurs caractéristiques électriques insuffisantes, les premiers dispositifs élaborés au cours de cette thèse donnent lieu à de nombreuses perspectives et confirment l'intérêt du PS comme élément clef des terminaisons de jonction du TRIAC.

Bibliographie

- [1] F. W. Gutzwiller, « Semiconductor switch », US 3275909, 1966.
- [2] R. Aldrich et N. Holonyak, « Five layer and junction bridging terminal switching device », US 3476993, 1969.
- [3] F. E. Gentry et B. R. Tuft, « Semiconductor switch », US 3284680, 1966.
- [4] ON Semiconductor, « Thyristor theory and design considerations », Handbook, HBD855/D, Rev. 1, 2006.
- [5] J. Delaballe, Schneider electric, « La CEM : la compatibilité électromagnétique », cahier technique 149, 2001.
- [6] Littelfuse, « An overview of electromagnetic and lightning Induced voltage transients », Application note AN9769, 1998.
- [7] B. J. Baliga, « Fundamentals of power semiconductor devices », Springer, 2008.
- [8] S. M. Sze et K. K. Ng, « Physic of semiconductor devices », third edition, Wiley, 2007.
- [9] F. E. Gentry, R. I. Scace et J. K. Flowers, « Bidirectional triode P-N-P-N switches », *Proceedings of the IEEE*, vol. 53, 4, pp. 355-369, 1965.
- [10] J. Arnould et P. Merle, « Dispositifs de l'électronique de puissance », Hermes, 1992.
- [11] Philips semiconductors, « Triacs: how to calculate power and predict Tjmax », Application note 10384, rev. 1, 2005.
- [12] ST Microelectronics, « SCRs, TRIACs, and AC switches, thermal management precautions for handling and mounting », Application note AN533, rev. 3, 2008.
- [13] ST Microelectronics, « RC snubber circuit design for TRIACs », Application note AN437, rev. 2, 2007.
- [14] ST Microelectronics, « Snubberless™ and logic level TRIAC behavior at turn-off », Application note AN439, rev. 3, 2008.

- [15] S. McKelvie, microsemi, « High current AC thyristor applications », Application note 603, 2002.
- [16] H. Mathieu et H. Fanet, « Physique des semi-conducteurs et des composants électronique », Dunod, 2009
- [17] M. A. Alam et D. Das, « Influence of molding compound on leakage current in MOS transistors », *IEEE Transactions on Components, Packaging and Manufacturing Technology*, vol. 1, pp. 1054-1063, 2011.
- [18] E. H. Snow, A. S. Grove et B. E. Deal, « Ion transport phenomena in insulating films », *Journal of Applied Physics*, vol. 36, 5, pp. 1664-1673, 1965.
- [19] G. L. Schnable, W. Kern et R. B. Comizzoli, « Passivation coatings on silicon devices », *Journal of the Electrochemical Society: solid state science and technology*, vol. 122, 8, pp. 1092-1103, 1975.
- [20] Y. Matsumoto et E. Saucedo, « Polyimide passivation approaches on double mesa thyristors », *2nd International Conference on Electrical and Electronics Engineering (ICEEE) and XI Conference on Electrical Engineering (CIE)*, Mexico city, Mexico, pp. 223-226, 2005.
- [21] Y. Wang, C. Zhu, C. Wu et J. Liu, « Improving reliability of beveled power semiconductor devices passivated by SIPOS », *Microelectronics Reliability*, vol. 45, pp. 535-539, 2005.
- [22] M. L. Korvin-Pawlowski, J. M. Guillot et J. J. Brogle, « Planar junction semiconductor structure with multilayer passivation », US 5677562, 1997.
- [23] T. Matsushita, T. Aoki, T. Ohtsu, H. Yamoto, H. Hayashi, M. Okayama et Y. Kawana, « Highly reliable high voltage transistors by use of the SIPOS process », *IEEE Transactions on Electron Devices*, vol. ED-23, 8, pp. 826-830, 1976.
- [24] J. Cornu, « Double positive Beveling: a better edge contour for high voltage devices », *IEEE Transactions on Electron Devices*, vol.21, 3, pp. 181-184, 1974.
- [25] G. Charitat, « Voltage handling capability and termination techniques of silicon power semiconductor devices », *Proceedings of the Bipolar/BiCMOS Circuit and Technology Meeting*, pp. 175-183, 2001.
- [26] L. S. Brush et J.M.S. Neilson, « Doubly graded junction termination extension for edge passivation of semiconductor devices », US 6215168B1, 2001.

- [27] F. Conti et M. Conti, « Surface breakdown in silicon planar diodes equipped with field plate », *Solid State Electronics*, vol. 15, pp. 93-105, 1972.
- [28] L. E. Clark et D.S. Zoroglu, « Enhancement of breakdown properties of overlay annular diodes by field shaping resistive films », *Solid State Electronics*, vol.15, pp. 653-657, 1972.
- [29] D. Dragomirescu et G. Charitat, « Improving the dynamic avalanche breakdown of high voltage planar devices using semi-resistive field plates », *Microelectronics Journal*, vol. 32, pp. 473-479, 2001.
- [30] D. Jaume, G. Charitat, J.M. Reynes et P. Rossel, « High voltage planar devices using field plate and semi resistive layers », *IEEE Transactions on Electron Devices*, vol. 38, 7, pp. 1681-1684, 1991.
- [31] D. Dragomirescu, G. Charitat, F. Morancho et P. Rossel, « Novel concepts for high voltage junction termination techniques using very deep trenches », *22nd International Semiconductor Conference (CAS99)*, Sinaia (Romania), pp. 67-70, 1999.
- [32] A. W. Ludikhuize, « A review of RESURF technology », *Proceedings of the 12th International Symposium on Power Semiconductor Devices and IC's*, Toulouse, France, pp. 11-18, 2000.
- [33] R. U. Martinelli, « Semiconductor structure for electric field distribution », US 4605948, 1986.
- [34] C. T. Sah, « Effect of surface recombination and channel on PN junction and transistor characteristics », *IRE Transactions on Electron Devices*, vol. 9, pp. 94-108, 1962.
- [35] Z. Chen, T. Y. Lee et G. Bosman, « Electrical characterization and modeling of wide band gap porous silicon », *Journal of Applied Physics*, vol. 76, 4, pp. 2499-2504, 1994.
- [36] C. T. Sah, R. N. Noyce et W. Schokley, « Carrier generation and recombination in PN junctions and PN junction characteristics », *Proceedings of the IRE*, vol. 45, 9, pp. 1228-1243, 1957.
- [37] J. L. Chu, G. Persky et S.M. Sze, « Thermionic injection and space charge limited current », *Journal of Applied Physics*, vol. 43, 8, pp. 3510-3515, 1972.
- [38] H. J. Brugger, R. T. H. Rongen, C. P. Meeuwsen et A. W. Ludikhuize, « Reliability problems due to ionic conductivity of IC encapsulation materials under high voltage conditions », *Proceedings of the 11th International Symposium on Power Semiconductor Devices and ICs*, Toronto, Canada, pp. 197-200, 1999.

- [39] A. Aubert, S. Jacques, S. Pétremon, N. Labat et H. Frémont, « Experimental power cycling on insulated TRIAC package : reliability interpretation thanks to an innovative failure analysis flow », *Microelectronics Reliability*, vol. 51, pp. 1845-1849, 2011.
- [40] A. Scandurra, R. Zafarana, Y. Tenya et S. Pignataro, « Breakdown voltages phenomena at molding compound – chip interface », *Proceedings of the 26th IEEE/CPMT International Electronics Manufacturing Technology Symposium*, Santa Clara, pp. 1-9, 2000.
- [41] A. Ulhir, « Electronic shaping of germanium and silicon », *Bell System Technical Journal*, vol. 35, pp. 333-347, 1956.
- [42] D. R. Turner, « Electropolishing silicon in hydrofluoric acid solutions », *Journal of the Electrochemical Society*, vol. 105, pp. 402-408, 1958.
- [43] R. Memming et G. Schwandt, « Anodic dissolution of silicon in hydrofluoric acid solutions », *Surface Science*, vol. 4, 2, pp. 109-124, 1966.
- [44] L. Canham, « Silicon quantum wire array fabrication by electrochemical and chemical dissolution of wafers », *Applied Physics Letters*, vol. 57, pp. 1046-1048, 1990.
- [45] V. Lehmann et U. Gosele, « Porous silicon formation: a quantum wire effect », *Applied Physics Letters*, vol. 58, pp. 856-858, 1991.
- [46] R. Welty, S. Park, P. Asbeck, K. Dancil et M. Sailor, « Porous silicon technology for RF integrated circuit applications », *Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems*, pp. 160–163, 1998.
- [47] C. Nam et Y. Kwon, « High-performance planar inductor on thick Oxidized Porous Silicon (OPS) substrate », *IEEE Microwave and Guided Wave Letters*, vol. 7, pp. 236-238, 1997.
- [48] L. Coudron, « Etude de procédés de gravure électrochimique du silicium pour l'intégration monolithique de composants passifs sur silicium poreux et la réalisation de chemins d'interconnexion », Thèse de doctorat, 2011.
- [49] M. Capelle, « Intégration monolithique de composants bipolaires et de circuits radiofréquences sur substrats mixtes silicium / silicium poreux », Thèse de doctorat, 2013.
- [50] A. Satoh, « Formation of through-holes on silicon wafer by optical excitation electropolishing method », *Japanese Journal of Applied Physics*, vol. 39, 2A, p. 378, 2000.

- [51] L. Wang, A. Nichelatti, H. Schellevis, C. de Boer, C. Visser, T. Nguyen et P. Sarro, « High aspect ratio through-wafer interconnections for 3D-microsystems », *IEEE 16th Annual International Conference on Micro Electro Mechanical Systems*, Kyoto, Japan, pp. 634–637, 2003.
- [52] T. Defforge, « Optimisation de la gravure de macropores ordonnés dans le silicium et de leur remplissage de cuivre par voie électrochimique: application aux via traversants conducteurs », Thèse de doctorat, 2012.
- [53] S. S. Tsao, T. R. Guilinger, M.J. Kelly et P. J. Clews, « Multilevel porous silicon formation », *Journal of the Electrochemical Society*, vol. 136, 2, pp. 586-587, 1989.
- [54] V. Lehmann, « Semiconductor component with a semiconductor body having a multiplicity of pores and method for fabricating », US 6693024B2, 2004.
- [55] V. Lehmann, W. Hönlein, H. Reisinger, A. Spitzer, H. Wendt et J. Willer, « A novel capacitor technology based on porous silicon », *Thin Solid Films*, vol. 276, pp. 138-142, 1996.
- [56] S. Desplombain, G. Gautier, J. Semai, L. Ventura et M. Roy, « Investigations on porous silicon as electrode material in electrochemical capacitors », *Physica Status Solidi (c)*, vol. 4, 6, pp. 2180-2184, 2007.
- [57] H. Foell et V. Lehmann, « Etching method for generating apertured openings or trenches in layers or substrates composed of n-doped silicon », US 4874484, 1989.
- [58] K. D. Hirschmann, L. Tsybeskov, S. P. Duttagupta et P. M. Fauchet, « Silicon based visible light-emitting devices integrated into microelectronic circuits », *Nature*, vol. 384, pp. 338-341, 1996.
- [59] A. Prasad, S. Balakrishnan, S. Jain et G. Jain, « Porous silicon oxide anti-reflection coating for solar cells », *Journal of the Electrochemical Society*, vol. 129, pp. 596-599, 1982.
- [60] S. Strehlke, S. Bastide, J. Guillet et C. Levy-Clement, « Design of porous silicon antireflection coatings for silicon solar cells », *Materials Science and Engineering B*, vol. 69, pp. 81-86, 2000.
- [61] J. Anto Pradeep, P. Gogoi et P. Agarwal, « Single and multilayer porous silicon structures for photonic applications », *Journal of Non-Crystalline Solids*, vol. 354, pp. 2544–2547, 2008.
- [62] Z. Caizhen, W. Yongshun et W. Zaixing, « A novel method to enhance the gettering efficiency in P-type Czochralski silicon by a sacrificial porous silicon layer », *Journal of Semiconductors*, vol.32, p. 032002, 2011.

- [63] U. Grüning, V. Lehmann et C. Engelhardt, « Two-dimensional infrared photonic band gap structure based on porous silicon », *Applied Physics Letters*, vol. 66, pp. 3254-3256, 1995.
- [64] S. Matthias, F. Müller , C. Jamois , R. B. Wehrspohn et U. Gösele, « Large-area three-dimensional structuring by electrochemical etching and lithography », *Advanced Materials*, vol. 16, pp. 2166-2170, 2004.
- [65] P. Ferrand, R. Romestain et J. C. Vial, « Photonic band-gap properties of a porous silicon periodic planar waveguide », *Physical Review B*, vol. 63, p. 115106, 2001.
- [66] F. Müller, A. Birner, J. Schilling, A. Li, K. Nielsch, U. Gösele et V. Lehmann, « High aspect ratio microstructures based on anisotropic porous materials », *Microsystem Technologies*, vol. 8, pp. 7-9, 2002.
- [67] H. Ohji, P. Trimp et P. French, « Fabrication of free standing structure using single step electrochemical etching in hydrofluoric acid », *Sensors and Actuators A: Physical*, vol. 73, pp. 95-100, 1999.
- [68] Y. Ding, Z. Liu, L. Liu et Z. Li, « A surface micromachining process for suspended RF-MEMS applications using porous silicon », *Microsystem Technologies*, vol. 9, 6, pp. 470–473, 2003.
- [69] P. Steiner et W. Lang, « Micromachining applications of porous silicon », *Thin Solid Films*, vol. 255, pp. 52-58, 1995.
- [70] J.Z. Wallner et P.L.Bergstrom, « A porous silicon based filter for microsystems », *Physica Status Solidi (a)*, vol. 204, 5, pp. 1469-1473, 2007.
- [71] D. N. Pagonis, A. Petropoulos, G. Kaltsas, A. G. Nassiopoulou et A. Tserepi, « Novel microfluidic flow sensor based on microchannel capped by porous silicon », *Physica Status Solidi (a)*, vol. 204, 5, pp. 1474-1479, 2007.
- [72] F. Müller, A. Birner, J. Schilling, U. Gösele, C. Kettner et P. Hänggi, « Membranes for micropumps from macroporous silicon », *Physica Status Solidi (a)*, vol. 182, pp. 585-590, 2000.
- [73] P. J. Newby, B. Canut, J. M. Bluet, S. Gomes, M. Isaiev, R. Burbelo, K. Termentzidis, P. Chantrenne, L. G. Frechette et V. Lysenko, « Amorphization and reduction of thermal conductivity in porous silicon by irradiation with swift heavy ions », *Journal of Applied Physics*, vol. 114, p. 014903, 2013.
- [74] T. Pichonat et B. Gauthier-Manuel, « Mesoporous silicon-based miniature fuel cells for nomadic and chip-scale systems », *Microsystem Technologies*, vol. 12, 4, pp. 330-334, 2006.

- [75] S. Desplobain, G. Gautier, L. Ventura et P. Bouillon, « Macroporous silicon hydrogen diffusion layers for micro-fuel cells », *Physica Status Solidi (a)*, vol. 206, 6, pp. 1282-1285, 2009.
- [76] T. Pichonat et B. Gauthier-Manuel, « A new process for the manufacturing of reproducible mesoporous silicon membranes », *Journal of Membrane Science*, vol. 280, pp. 494-500, 2006.
- [77] S. Desplobain, « Etude et réalisation de couches de diffusion de gaz en silicium poreux appliquées à la fabrication de piles à hydrogène », Thèse de doctorat, 2009.
- [78] K. Chu, S. Gold, V. Subramanian, C. Lu, M. Shannon et R. Masel, « A nanoporous silicon membrane electrode assembly for on chip micro fuel cell applications », *Journal of Microelectromechanical Systems*, vol.15, 3, pp. 671-677, 2006.
- [79] T. Pichonat, « Etude, conception et réalisation d'une pile à combustible minia pour applications portables », Thèse de doctorat, 2004
- [80] H. Shin, J. Corno, J. Gole et M. Liu, « Porous silicon negative electrodes for rechargeable lithium batteries », *Journal of Power Sources*, vol. 139, pp. 314-320, 2005.
- [81] J. Macak, H. Tsuchiya, A. Ghicov, K. Yasuda, R. Hahn, S. Bauer et P. Schmuki, « TiO₂ nanotubes: Self-organized electrochemical formation, properties and applications », *Current Opinion in Solid State and Materials Science*, vol. 11, pp. 3-18, 2007.
- [82] P. Roy, S. Berger et P. Schmuki, « TiO₂ nanotubes: synthesis and applications », *Angewandte Chemie International Edition*, vol. 50, 13, pp. 2904-2939, 2011.
- [83] S. Lewis, J. DeBoer, J. Gole et P. Hesketh, « Sensitive, selective, and analytical improvements to a porous silicon gas sensor », *Sensors and Actuators B: Chemical*, vol. 110, 1, pp. 54-65, 2005.
- [84] H. Martinez, N. Rincon, J. Torres et J. Alfonso, « Porous silicon thin film as co sensor », *Microelectronics Journal*, vol. 39, 11, pp. 1354-1355, 2008.
- [85] A. Motohashi, M. Kawakami, H. Aoyagi, A. Kinoshita et A. Satou, « Gas identification by a single gas sensor using porous silicon as the sensitive material », *Japanese Journal of Applied Physics*, vol. 34, 10, pp. 5840-5843, 1995.
- [86] R. C. Anderson, R. S. Muller et C. W. Tobias, « Investigations of porous silicon for vapor sensing », *Sensors and Actuators*, A21-A23, pp. 835-839, 1990.

- [87] M. S. Salem, M. J. Sailor, F. A. Harraz, T. Sakka et Y. H. Ogata, « Sensing of chemical vapour using a porous silicon multilayer prepared from highly doped silicon », *Physica Status Solidi (c)*, vol. 2, pp. 2073-2077, 2007.
- [88] A. Kovacs, D. Meister et U. Mescheder, « Investigation of humidity adsorption in porous silicon layers », *Physica Status Solidi (a)*, vol. 206, 6, pp. 1343-1347, 2009.
- [89] V. Lin, K. Motesharei, K. Dancil, M. Sailor et M. Ghadiri, « A porous silicon-based optical interferometric biosensor », *Science*, vol. 278, pp. 840-843, 1997.
- [90] V. Lysenko, P. Roussel, G. Delhomme, V. Rossokhaty, V. Strikha, A. Dittmar, D. Barbier, N. Jaffrezic-Renault et C. Martelet, « Oxidized porous silicon: a new approach in support thermal isolation of thermopile-based biosensors », *Sensors and Actuators A: Physical Actuators: A. Physical*, vol. 67, pp. 205-210, 1998
- [91] L. Canham, « Properties of porous silicon », London: IEE-books, 1999.
- [92] J. H. Park, L. Gu, G. Von Maltzahn, E. Ruoslahti, S. N. Bhatia et M. J. Sailor, « Biodegradable luminescent porous silicon nanoparticles for in vivo applications », *Nature materials*, vol. 8, pp. 331-336, 2009.
- [93] M. J. Sailor et E. C. Wu, « Photoluminescence-Based Sensing With Porous Silicon Films, microparticles, and nanoparticles », *Advanced Functional Materials*, vol. 19, 20, pp. 3195-3208, 2009.
- [94] A. Loni et L.Canham, « Mesoporous silicon in toothpaste », *Proceedings of the Porous Semiconductors - Science and Technology Conference*, Sitgès, Spain, p. 153, 2008.
- [95] E. J. Anglin, L. Cheng, W. R. Freeman et M. J. Sailor, « Porous silicon in drug delivery devices and materials », *Advanced Drug Delivery Reviews*, vol. 60, 11, pp. 1266-1277, 2008.
- [96] A. Angelescu, I. Kleps, M. Mihaela, M. Simion, T. Neghina, S. Petrescu, N. Moldovan, C. Paduraru et A. Raducanu, « Porous silicon matrix for applications in biology », *Reviews on Advanced Materials Science*, vol. 5, pp. 440-449, 2003.
- [97] A. Agrawal, B. Nehilla, K. Reisig, T. Gaborski, D. Fang, C. Striemer, P. Fauchet et J. McGrath, « Porous nanocrystalline silicon membranes as highly permeable and molecularly thin substrates for cell culture », *Biomaterials*, vol. 31, 20, pp. 5408-5418, 2010.
- [98] C. Striemer, T. Gaborski, J. McGrath et P. Fauchet, « Charge-and size-based separation of macromolecules using ultrathin silicon membranes », *Nature Letter*, vol. 445, pp. 749-753, 2007.

- [99] V. Yu Timoshenko, A. A. Kudryavtsev, L. A. Osminkina, A. S. Vorontsov, Yu. V. Ryabchikov, I. A. Belogorokhov, D. Kovalev et P. K. Kashkarov, « Silicon nanocrystals as photosensitizers of active oxygen for biomedical applications », *JETP Letters*, vol. 83, 9, pp. 423-426, 2006.
- [100] C. Lee, H. Kim, C. Hong, M. Kim, S. S. Hong, D. H. Lee et W. I. Lee, « Porous silicon as an agent for cancer thermotherapy based on near-infrared light irradiation », *Journal of Materials Chemistry*, vol. 18, pp. 4790-4795, 2008.
- [101] L. A. Osminkina, M. B. Gongalsky, A. V. Motuzuk, V. Y. Timoshenko et A. A. Kudryavtsev, « Silicon nanocrystals as photo and sonosensitizers for biomedical applications », *Applied Physics B*, vol. 105, 3, pp. 665-668, 2011.
- [102] H. B. Pogge et M. R. Poponiak, « Method of fabricating semiconductor device embodying dielectric isolation », US 3919060, 1975.
- [103] Y. Watanabe, Y. Arita, T. Yokohama et Y. Igarashi, « Formation and properties of porous silicon and its application », *Journal of the Electrochemical Society*, vol. 122, pp. 1351-1355, 1975.
- [104] S. Nakajima et K. Kato, « An isolation technique for high speed bipolar integrated circuits », *Review of the Electrical Communication Laboratories*, vol. 25, pp. 1039-1051, 1977.
- [105] T. C. Teng, « An investigation of the application of porous silicon layers to the dielectric isolation of integrated circuits », *Journal of the Electrochemical Society*, vol. 126, pp. 870-874, 1979.
- [106] K. Imai et H. Unno, « FIPOS (Full Isolation by Porous Oxidized Silicon) technology and its application to LSI's », *IEEE Transactions on Electron Devices*, vol. ED-31, 3, pp. 297-302, 1984.
- [107] Y. Watanabe et T. Sakai, « Semiconductor device and method of producing the same », US 3640806, 1972.
- [108] K. E. Bean et W. R. Runyan, « Dielectric isolation: comprehensive, current and future », *Journal of the Electrochemical Society*, 124, 1, pp. 5C-12C, 1977.
- [109] R. C. Frye et H.J. Leamy, « Method of forming dielectrically isolated silicon semiconductor materials utilizing porous silicon formation », US 4380865, 1983.
- [110] T. Yonehara et K. Sakaguchi, « ELTRAN ; novel SOI wafer technology », *JSAP international*, 4, pp. 10-16, 2001.

- [111] P. Déhu, « Utilisation du silicium poreux pour réaliser des caissons diffusés en technologie des composants électroniques de puissance », Thèse de doctorat, 1994.
- [112] E. V. Astrova, V. B. Voronkov, I. V. Grekhov, A. V. Nashchekin et A. G. Tkachenko, « Deep diffusion doping of macroporous silicon », *Technical Physics letters*, vol. 25, 12, pp. 958-961, 1999.
- [113] G. Amato, L. Boarino, N. Brunetto et M. Turnaturi, « Deep "cold" junctions by porous silicon impregnation », *Thin Solid Films*, vol. 297, pp. 321-324, 1997.
- [114] D. K. Salucha et A. J. Marcinkevicius, « Investigations of porous silicon layers as passivation coatings for high voltage silicon devices », *Electronics and Electrical Engineering*, 7, pp. 41-44, 2007.
- [115] L. Coudron, G. Gautier, B. Morillon, S. Kouassi, T. Defforge et L. Ventura, « Thick microporous silicon layers etching involving p^+n back side hole injection in highly resistive n-type substrates », *Electrochemical Solid-State Letters*, vol. 14, 1, pp. H24-H26, 2011.
- [116] X. Badel, J. Linnros et P. Kleimann, « Electrochemical etching of n-type silicon based on carrier injection from a back side p-n Junction », *Electrochemical Solid-State Letters*, vol. 6, pp. C79-C81, 2003.
- [117] A. Bose, P. Hui, P. Rodriguez, J. Nivison, D. Collins, Z. Wu, I. Puchades, M. Butner, V. Parthasarathy, R. Zhu, V. Khemka et T. Roggenbauer, « A 0.25 μ m CMOS based 70V smart power technology with deep trench for high-voltage isolation », *Proceedings IEDM*, pp. 459 - 462, 2002.
- [118] S. Menard et F. Ihuel, « High voltage vertical power component », US 2011210372, 2011.
- [119] G. Gautier, L. Ventura, R. Jérisian, S. Kouassi, C. Leborgne, B. Morillon et M. Roy, « Deep trench etching combining aluminum thermomigration and electrochemical silicon dissolution », *Applied Physics Letters*, vol. 88, p. 212501, 2006.
- [120] G. Gautier, « Etude de procédé d'élaboration de substrats mixtes silicium / silicium poreux pour l'intégration de systèmes microélectroniques », Habilitation à diriger des recherches, 2010.
- [121] K. Sing, D. Everett, R. Haul, L. Moscou, R. Pierotti, J. Rouquerol et T. Siemieniewska, « Reporting physisorption data for gas/solid systems », *International Research Journal of Pure and Applied Chemistry*, vol. 57, 4, pp. 603-619, 1985.
- [122] M. Beale, N. Chew, M. Uren, A. Cullis et J. Benjamin, « Microstructure and formation mechanism of porous silicon », *Applied Physics Letters*, vol. 46, pp. 86-88, 1985.

- [123] V. Lehmann, R. Stengl et A. Luigart, « On the morphology and the electrochemical formation mechanism of mesoporous silicon », *Materials Science and Engineering B*, vol. 69, pp. 11-22, 2000.
- [124] X. G. Zhang, « Electrochemistry of silicon and its oxide », Springer, 2001.
- [125] X. G. Zhang, « Morphology and formation mechanisms of porous silicon », *Journal of the Electrochemical Society*, vol. 151, pp. C69-C80, 2004.
- [126] L. T. Canham, « Porous semiconductors: a tutorial review », *MRS Proceedings*, vol. 452, pp. 29-42, 1997.
- [127] A. G. Cullis, L. T. Canham et O. D. Dosser, « The structure of porous silicon revealed by electron microscopy », *MRS Proceedings*, vol. 256, pp. 7-12, 1992.
- [128] L. T. Canham, A. G. Cullis, C. Pickering, O. D. Dosser, T. I. Cox et T. P. Lynch, « Luminescent anodized silicon aerocrystal networks prepared by supercritical drying », *Nature*, vol. 368, pp. 133-135, 1994.
- [129] M. J. Sailor, « Porous silicon in practice, preparation, characterization and applications », Wiley-VCH, 2012.
- [130] S. Gregg et K. Sing, « Adsorption, surface area and porosity », Academic Press, London, UK and New-York, USA, 1982.
- [131] V. Lehmann, « The physics of macropore formation in low doped n-type silicon », *Journal of the Electrochemical Society*, vol. 140, pp. 2836-2843, 1993.
- [132] J. R. Dörvee, A. M. Derfus, S. N. Bhatia et M. J. Sailor, « Manipulation of liquid droplets using amphiphilic, magnetic 1D photonic crystal chaperones », *Nature Materials*, 3, pp. 896-899, 2004.
- [133] V. Chamard, P. Bastie, D. Le Bolloch, G. Dolino, E. Elkaim, C. Ferrero, J. P. Lauriat, F. Rieutord et D. Thiaudiere, « Evidence of pore correlation in porous silicon: An x-ray grazing-incidence study », *Physical Review B*, vol. 64, p. 245416, 2001.
- [134] P. G. Abramof, A. F. Beloto, A. Y. Ueta, et N. G. Ferreira, « X-ray investigation of nanostructured stain-etched porous silicon », *Journal of Applied Physics*, 99, p. 024304, 2006.
- [135] S. A. Alekseev, V. Lysenko, V. N. Zaitsev et D. Barbier, « Application of Infrared Interferometry for Quantitative Analysis of Chemical Groups Grafted onto the Internal Surface of Porous Silicon Nanostructures », *The Journal of Physical Chemistry*, vol. 111, pp. 15217-15222, 2007.

- [136] T. Lohner, M. Fried, P. Petrik, O. Polgar, J. Gyulai, et W. Lehnert, « Ellipsometric characterization of oxidized porous silicon layer structures », *Materials Science and Engineering B*, vol. 69, pp. 182–187, 2000.
- [137] D. R. Turner, « On the mechanism of chemically etching germanium and silicon », *Journal of the electrochemical Society*, vol. 107, 110, pp. 810-816, 1960.
- [138] C. Chartier, S. Bastide et C. Levy-Clement, « Metal-assisted chemical etching of silicon in HF-H₂O₂ », *Electrochimica Acta*, vol. 53, 117, pp. 5509-5516, 2008.
- [139] V. Lehmann, « Electrochemistry of silicon », Wiley-VCH Weinheim, 2002.
- [140] S. Ottow, G.S. Popkirov et H. Föll, « Determination of flat-band potentials of silicon electrodes in HF by means of ac resistance measurements », *Journal of Electroanalytical Chemistry*, vol. 455, pp. 29-37, 1998.
- [141] X. G. Zhang, S. D. Collins, et R. L. Smith, « Porous silicon formation and electropolishing of silicon by anodic polarization in HF solution », *Journal of The Electrochemical Society*, vol. 136, pp. 1561-1565, 1989.
- [142] V. Parkhutik, « Silicon anodic oxides grown in the oscillatory anodisation regime – kinetics of growth, composition and electrical properties », *Solid State Electronics*, vol. 45, pp. 1451-1463, 2001.
- [143] M. Rieger et P. A. Kohl, « Mechanism of (111) silicon etching in HF-acetonitrile », *Journal of the Electrochemical Society*, vol. 142, pp. 1490-1495, 1995.
- [144] W. Lang, P. Steiner et H. Sandmaier, « Porous silicon: a novel material for microsystems », *Sensors and actuators. A*, vol. 51, No. 1, pp. 31-36, 1995.
- [145] M. Niwano, T. Miura, Y. Kimura, R. Tajima et N. Miyamoto, « Real-time, in situ infrared study of etching of Si(100) and (111) surfaces in dilute hydrofluoric acid solution », *Journal of Applied Physics*, vol. 79, pp. 3708-3713, 1996.
- [146] C. Serre, S. Barret et R. Hérino, « Influence of the electrolyte composition and ph on the anodic dissolution of p-type Si in aqueous HF solutions », *Journal of Electroanalytical Chemistry*, vol. 370, pp. 145-149, 1994.
- [147] H. Föll, M. Christophersen, J. Carstensen, et G. Hasse, « Formation and application of porous silicon », *Materials Science & Engineering*, vol. 39, 4, pp. 93-141, 2002.

- [148] X. G. Zhang, « Mechanism of pore formation on n-type silicon », *Journal of the Electrochemical Society*, vol. 138, pp. 3750-3756, 1991.
- [149] D. Hamm, J. Sasano, T. Sakka et Y. Ogata, « Silicon anodization in HF ethanoic solutions : competition between pore formation and homogeneous dissolution », *Journal of The Electrochemical Society*, vol. 149, 6, pp. C331-C337, 2002.
- [150] V. Chamard, G. Dolino, F Muller, « Origin of a parasitic surface film on P+ type porous silicon », *Journal of applied physics*, vol. 84, 12, pp. 6659-6666, 1998.
- [151] V. Labunov, I. Baranov et V. Bondarenko, « Investigation of porous silicon formation during anodic treatment in aqueous HF », *Thin Solid Films*, vol. 64, 3, pp. 479-483, 1979.
- [152] A. Pascual, J.F.Fernandez et C.R. Sanchez, « Nucleation and growth of pores and photoluminescence in p type porous silicon », *Journal of Applied Physics*, vol. 92, 2, pp. 866-869, 2002.
- [153] R. L. Smith et S. D. Collins, « Porous silicon formation mechanisms », *Journal of Applied Physics*, vol. 71, 8, pp. R1-R22, 1992.
- [154] Y. Arita et Y. Sunohara, « Formation and properties of porous silicon film », *Journal of the Electrochemical Society*, vol. 124, 2, pp. 285-295, 1977.
- [155] A. Gharbi, B. Remaki, A. Halimaoui, D. Bensahel et A. Souifi, « P-type silicon doping profiling using electrochemical anodization », *Journal of applied physics*, vol. 109, p. 023715, 2011.
- [156] M. Ligeon, F. Muller, R. Herino, F. Gaspard, A. Halimaoui et G. Bomchil, « Application of porous silicon formation selectivity to impurity profiling in p type silicon substrate, " *Journal of Applied Physics*, vol. 66, pp.3814-3819, 1989.
- [157] J. Van Den Meerakker, R. Elfrink, F. Roozeboom et J. Verhoeven, « Etching of deep macropores in 6 in. Si wafers », *Journal of The Electrochemical Society*, vol. 147, pp. 2757-2761, 2000.
- [158] S. Menard, Y. Hague et G. Gautier, « Vertical power component », US 2013228822A1, 2013.
- [159] S. Menard et G. Gautier, « High voltage vertical component », US 2013320395A1, 2013.
- [160] M. Bouaïcha, M. Khardani et B. Bessaïs, « Correlation of electrical conductivity and photoluminescence in nanoporous silicon », *Materials Science & Engineering: C*, vol. 26, 2, pp. 486-489, 2006.

- [161] P.A. Badoz, D. Bensahel et G. Bomchil, « Characterization of porous silicon: structural, optical and electrical properties », *MRS Proceedings*, vol. 283, pp. 97-108, 1993.
- [162] H. S. Kim, Y. H. Xie, M. DeVincentis, T. Itoh et K. A. Jenkins, « Unoxidized porous Si as an isolation material for mixed signal integrated circuit application », *Journal of Applied Physics*, vol. 93, 7, pp. 4226-4231, 2003.
- [163] S.P. Zimin et E.P. Komarov, « Capacitance of structures with a thick layer of porous silicon », *Technical Physics Letters*, vol. 22, 10, pp. 808-809, 1996.
- [164] A. Adam, Zs. J. Horvath, I. Barsony, L. Szolgyemy, E. Vazsonyi et V. V. Tuyen, « Investigations of electrical properties of Au/porous Si/Si structures », *Thin Solid Films*, vol. 255, pp. 266-268, 1995.
- [165] L. K. Pan, C. Q. Sun et C. M. Li, « Estimating the extent of surface oxidation by measuring the porosity dependent dielectrics of oxygenated porous silicon », *Applied Surface Science*, vol. 240, pp.19-23, 2005.
- [166] Y. Lubianiker et I. Balberg, « Two Meyer-Neldel rules in porous silicon », *Physical Review Letters*, vol. 78, 12, pp. 2433-2436, 1997.
- [167] M. Ben Chorin, F. Möller et F. Koch, « Nonlinear electrical transport in porous silicon », *Physical Review B*, vol. 49, 4, pp. 2981-2984, 1994.
- [168] F. Möller, M. Ben Chorin et F. Koch, « Post-treatment effects on electrical conduction in porous silicon », *Thin Solid Films*, vol. 255, pp. 16 -19, 1995.
- [169] L. A. Balagurov, D. G. Yarkin et E. A. Petrova, « Electronic transport in porous silicon of low porosity made on a P⁺ substrate », *Materials Science & Engineering: B*, vol. 69-70, pp. 127-131, 2000.
- [170] A. Fejfar, I. Pelant, E. Sipek, J. Kocka, G. Juska, T. Matsumoto et Y. Kanemitsu, « Transport study of self supporting porous silicon », *Applied Physics Letters*, vol. 66, 9, pp. 1098-1100, 1995.
- [171] N. J. Pulsford, G. L. J. A. Rikken, Y. A. R. R. Kessener, E. J. Lous et A. H. J. Venhuizen, « Behavior of a rectifying junction at the interface between porous silicon and its substrate », *Journal of Applied Physics*, vol. 75, 1, pp. 636-638, 1994.
- [172] D. Deresme, V. Marissael, D. Stievenard et C. Ortega, « Electrical behavior of aluminum-porous silicon junctions », *Thin Solid Films*, vol. 255, pp. 258-261, 1995.

- [173] N. Koshida et H. Koyama, « Optoelectronic characterizations of porous silicon », *MRS Proceedings*, vol. 283, pp. 337-342, 1992.
- [174] N. Koshida et H. Koyama, « Electrical properties of luminescent porous silicon », *Journal of Luminescence*, vol. 57, pp. 293-299, 1993.
- [175] N. Koshida, Y. Kiuchi et S. Yoshimura, « Photoconduction effects of porous Si in the visible region », *McGee Symposium of Photoelectric Image Devices*, pp. 377-384, 1991.
- [176] C. Cadet, D. Deresme et D. Vuillaume, « Electrical characterization of surface defects on porous p-type silicon », *Materials Science Forum*, vol. 143, pp. 1475-1480, 1994.
- [177] C. Cadet, D. Deresme, D. Vuillaume et D. Stievenard, « Influence of surface defects on the electrical behavior of aluminum porous silicon junction », *Applied Physics Letters*, vol. 64, 21, pp. 2827-2829, 1994.
- [178] S.P. Zimin, « Hopping conductivity in low porosity mesoporous silicon formed on P+-Si:B », *Semiconductors*, vol. 40, 11, pp. 1350-1352, 2006.
- [179] S. P. Zimin et A. N. Bragin, « Conductivity relaxation in coated porous silicon after annealing », *Semiconductors*, vol. 33, 4, pp. 457-460, 1999.
- [180] S. P. Zimin, V. Kuznetsov et N. V. Perch, « Mechanism of current flow in structures containing porous silicon », *Technical Physics Letters*, vol. 20, 11, pp. 899-900, 1994.
- [181] Md. Nazrul Islam, S. K. Ram, S. Kumar, « Electronic transport across porous/crystalline silicon heterojunction », *MRS Proceedings*, vol. 716, pp. 489-494, 2002.
- [182] Md. Nazrul Islam, S. K. Ram, S. Kumar, « Band edge discontinuities and carrier transport in c-Si/porous silicon heterojunctions », *Journal of Physics D: Applied Physics*, vol. 40, pp. 5840-5846, 2007.
- [183] Md. Nazrul Islam, S. K. Ram, S. Kumar, « Analysis of reverse I-V characteristics of c-Si/PS heterojunctions », *Society of Photo-Optical Instrumentation Engineers Proceedings Series*, pp. 356-359, 2002.
- [184] W. H. Lee, C. Lee et J. Jang, « Quantum size effects on the conductivity in porous silicon », *Journal of Non Crystalline Solids*, vol. 198, pp. 911-914, 1996.
- [185] L.K. Pan, H.T. Huang et C.Q. Sun, « Dielectric relaxation and transition of porous silicon », *Journal of applied physics*, vol. 94, 4, pp. 2695-2699, 2003.

- [186] P. Allongue, C. Henry de Villeneuve, L. Pinsard et M. C. Bernard, « Evidence for hydrogen incorporation during porous silicon formation », *Applied Physics Letters*, vol. 67, 7, pp. 941-943, 1995.
- [187] D. B. Dimitrov, « Current voltage characteristics of porous silicon », *Physical Review B*, vol. 51, 3, pp. 1562-1566, 1995.
- [188] M. Ben Chorin, F. Möller et F. Koch, « Band alignment and carrier injection at the porous silicon crystalline silicon interface », *Journal of applied physics*, vol. 77, 9, pp. 4482-4488, 1995.
- [189] S. P. Zimin, E. P. Komarov, « Influence of short term annealing on the conductivity of porous silicon and the transition resistivity on an Al PS contact », *Technical Physics Letters*, vol. 24, 3, pp. 226-228, 1998.
- [190] V. P. Parkhutik, « Residual electrolyte as a factor influencing the electrical properties of porous silicon », *Thin Solid Films*, vol. 276, pp. 195-199, 1996.
- [191] H. Unno, K. Imai et S. Muramoto, « Dissolution reaction effect on porous silicon density », *Journal of the Electrochemical Society: Solid State Science and Technology*, vol. 134, 3, pp. 645-648, 1987.
- [192] V. Lehmann et S. Rönnebeck, « The physics of macropore formation in low doped p-type silicon », *Journal of the Electrochemical Society*, vol. 146, 8, pp. 2968-2975, 1999.
- [193] L. A. Balagurov, S. C. Bayliss, A. F. Orlov, E. A. Petrova, B. Unal et D.G. Yarkin, « Electrical properties of metal/porous silicon/p-Si structures with thin porous silicon layer », *Journal of Applied Physics*, vol. 90, 8, pp. 4184-4190, 2001.
- [194] K. Khirouni, J. C. Bourgouin, K. Borgi, H. Maaref, D. Deresmes, D. Stievenard, « DC current-voltage characteristics and admittance spectroscopy of an Al porous Si barrier », *MRS Proceedings*, vol. 452, pp. 619-623, 1997.
- [195] M. Ben Chorin, F. Möller, F. Koch, W. Schirmacher et M. Eberhard, « Hopping transport on a fractal: ac conductivity of porous silicon », *Physical Review B*, vol. 51, 4, pp. 2199-2213, 1995.
- [196] V. Strikha, V. Skryshevsky et V. Polishchuk, « A study of moisture effects on Ti/PS/Si Schottky barrier », *Journal of porous materials*, vol. 7, pp. 111-114, 2000.
- [197] L. A. Balagurov, D. G. Yarkin, G. A. Petrovicheva, E. A. Petrova, A. F. Orlov et S. Y. Andryushin, « Highly sensitive porous silicon based photodiode structures », *Journal of Applied Physics*, vol. 82, 9, pp. 4647-4650, 1997.

- [198] T. I. Cox, « Porous silicon layer capacitance », Porous silicon datareview N°18, edited by L. Canham, pp. 185-191, 1997.
- [199] M. Wang et N. Pan, « Predictions of effective physical properties of complex multiphase materials », *Materials Science and Engineering: R: Reports*, vol. 63, 1, pp. 1-30, 2008.
- [200] E. V. Astrova et V. A. Tolmachev, « Effective refractive index and composition of oxidized porous silicon films », *Materials Science and Engineering: B*, vol. 69, pp. 142-148, 2000.
- [201] A. M. Campos, J. Torres et J. J. Giraldo, « Porous silicon dielectric function modeling from effective medium theories », *Surface Review and Letters*, vol. 9, 5, pp. 1631-1635, 2002.
- [202] R. C. Anderson, R. S. Muller et C. W. Tobias, « Investigations of the electrical properties of porous silicon », *Journal of the Electrochemical Society*, vol 138, 11, pp. 3406-3411, 1991.
- [203] A. G. Cullis, « Structure and crystallinity of porous silicon », Porous silicon datareview N°18, edited by L. Canham, pp. 99-105, 1997.
- [204] V. Petrova-Koch, T. Muschik, A. Kux, B. K. Meyer, F. Koch et V. Lehmann, « Rapid thermal oxidized porous Si - The superior photoluminescent Si », *Applied Physics Letters*, vol. 61, 8, pp. 943-945, 1992.
- [205] H. Koyama, M. Araki, Y. Yamamoto et N. Koshida, « Visible photoluminescence of porous Si and its related optical properties », *Japanese Journal of Applied Physics*, vol. 30, 12S, pp. 3606-3609, 1991.
- [206] P. D. Calcott, K. Nash et L. T. Canham, « Spectroscopic identification of the luminescence mechanism of highly porous silicon », *Journal of Luminescence*, vol. 57, 1, pp. 257-269, 1993.
- [207] C. Delerue, M. Lannoo, G. Allan et E. Martin, « Theoretical descriptions of porous silicon », *Thin Solid Films*, vol. 255, pp. 27-34, 1995.
- [208] J. Von Behren, T. Van Buuren, M. Zacharias, E. H. Chimowitz et P. M. Fauchet, « Quantum confinement in nanoscale silicon: the correlation of size with bandgap and luminescence », *Solid State Communications*, vol. 105, 5, pp. 317-322, 1998.
- [209] S. Ogüt, J. R. Chelikowsky et S. G. Louie, « Quantum confinement and optical gaps in Si Nanocrystals », *Physical review letters*, vol. 79, 9, pp. 1770-1773, 1997.
- [210] Md. N. Islam et S. Kumar, « Influence of surface states on the photoluminescence from silicon nanostructures », *Journal of Applied Physics*, vol. 93, 3, pp. 1753-1759, 2003.

- [211] F. G. Mikrajuddin, F. G. Shi et K. Okuyama, « Electrical conduction in porous silicon: temperature dependence », *Microelectronics Journal*, vol. 31, pp. 187-191, 2000.
- [212] L. A. Balagurov, S. C. Bayliss, V. S. Kasatochkin, E. A. Petrova et D. G. Yarkin, « Transport of carriers in metal/PS/c-Si device structures based on oxidized PS », *Journal of Applied Physics*, vol. 90, 9, pp. 4543-4548, 2001.
- [213] R. G. Mathur, R. M. Mehra, P. C. Mathur, V. K. Jain, « Electron transport in porous silicon », *Thin Solid Films*, vol. 312, 1, pp. 254-258, 1998.
- [214] Md. N. Islam, S. K. Ram et S. Kumar, « Mott and Efros Shklovskii hopping conduction in porous silicon nanostructures », *Physica E: Low-dimensional Systems and Nanostructures*, vol. 41, 6, pp. 1025-1028, 2009.
- [215] Y. Lubianiker, I. Balberg, J. partee et J. Shinar, « Porous silicon as a near-ideal disordered semiconductor », *Journal of Non crystalline Solids*, vol. 198, pp. 949-952, 1996.
- [216] D. Yu, C. Wang, B. L. Wehrenberg et P. Guyot-Sionnest, « Variable range hopping conduction in semiconductor nanocrystal solids », *Physical Review Letters*, vol. 92, 21, p. 216802, 2004.
- [217] J. J. Mares, J. Kristofik, J. Pangrac, A. Hospodkova, « On the transport mechanism in porous silicon », *Applied Physics Letters*, vol. 63, 2, pp. 180-182, 1993.
- [218] B. Remaki, C. Populaire, V. Lysenko et D. Barbier, « Electrical barrier properties of meso-porous silicon », *Materials Science & Engineering: B*, vol. 101, 1, pp. 313 - 317, 2003.
- [219] M. A. Lampert, « Volume controlled current injection in insulators », *Reports on Progress in Physics*, vol. 27, 1, pp. 329-367, 1964.
- [220] J. Kanungo, S. Maji, H. Saha et S. Basu, « Chemical surface modification of porous silicon with palladium and characterization », *Materials Science and Engineering: B*, vol. 167, pp. 91-96, 2010.
- [221] E. B. Kaganovich, E. G. Manoliov et S. V. Svechnikov, « Photoelectric studies of porous silicon », *Function Materials*, vol. 6, 3, pp. 453-458, 1999.
- [222] D. Stievenard et D. Deresmes, « Are electrical properties of an Al/PS junction governed by dangling bonds? », *Applied Physics Letters*, vol. 67, 11, pp. 1570-1572, 1995.

- [223] P. Hlinomaz, O. Klima, A. Hospodkova, E. Hulicius, J. Oswald, E. Sipek et J. Kocka, « Photoelectric properties of self supporting porous silicon », *Applied Physics Letters*, vol. 64, 23, pp. 3118-3120, 1994.
- [224] V. Lehmann, F. Hofmann, F. Moller et U. Gruning, « Resistivity of porous silicon: a surface effect », *Thin Solid Films*, vol. 255, pp. 20-22, 1995.
- [225] A. K. Ray, M. F. Mabrook, A. V. Nabok, « Transport mechanisms in porous silicon », *Journal of Applied Physics*, vol. 84, 6, pp. 3232-3235, 1998.
- [226] G. Polisski, G. Dollinger, A. Bergmaier, D. Kovalev, H. Heckler et F. Koch, « Acceptor depletion in p-type porous silicon », *Physica status solidi*, vol. 168, pp. R1-R2, 1998.
- [227] G. Polisski, D. Kovalev, G. Dollinger, T. Sulima et F. Koch, « Boron in mesoporous Si - Where have all the carriers gone? », *Physica B: Condensed Matter*, vol. 273, pp. 951-954, 1999.
- [228] A. N. Laptev, A. V. Prokaznikov, N. A. Rud, « Hysteresis of the current voltage characteristics of porous silicon light emitting structures », *Technical Physics Letters*, vol. 26, 6, pp. 440-442, 1997.
- [229] H. P. Maruska, F. Navamar et N. M. Kalkhoran, « Current injection mechanism for porous silicon transparent surface light-emitting diodes », *Applied Physics Letters*, vol. 61, 11, pp. 1338-1340, 1992.
- [230] D. Stievenard et D. Deresmes, « Gas sensor using an aluminium porous silicon junction application to the detection of non zeromolecular dipole moment », *MRS Proceedings*, vol. 358, pp. 599-604, 1995.
- [231] M. Khardani, M. Bouaïcha, W. Dimassi, M. Zribi, S. Aouida et B. Bessaïs, « Electrical conductivity of free standing mesoporous silicon thin films », *Thin Solid Films*, vol. 495, pp. 243-245, 2006.
- [232] W. H. Lee, C. Lee, Y. H. Kwon, C. Y. Hong et H. Y. Cho, « Deep level defects in porous silicon », *Solid State Communication*, vol. 113, pp. 519-522, 2000.
- [233] J. Kocka, I. Pelant et A. Fejfar, « Light emitting silicon, recent progress », *Journal of non crystalline solids*, vol. 198, pp. 857-862, 1996.
- [234] S.P. Zimin, « Classification of electrical properties of porous silicon », *Semiconductors*, vol. 34, 3, pp. 353-357, 2000.

- [235] A. G. Nassiopoulou, S. Grigoropoulos, L. Canham, A. Halimaoui, I. Berbezier, E. Gogolides et D. Papadimitriou, « Sub-micrometre luminescent porous silicon structures using lithographically patterned substrates », *Thin Solid Films*, vol. 255, pp. 329-333, 1995.
- [236] T. Defforge, M. Capelle, F. Tran-Van et G. Gautier, « Plasma deposited fluoropolymer film mask for local porous silicon formation », *Nanoscale Research Letters*, vol. 7, 1, pp. 1-6, 2012.
- [237] Y. Tao et M. Esashi, « Local formation of macroporous silicon through a mask », *Journal of Micromechanics and Microengineering*, vol. 14, 10, pp. 1411-1415, 2004.
- [238] V. V. Starkov, E. Yu. Gavrilin, J. Konle, H. Presting, A. F. Vyatkin et U. Köning, « SU8 photoresist as an etch mask for local deep anodic etching of silicon », *Physica Status Solidi (a)*, vol. 197, 1, pp. 150-157, 2003.
- [239] M. K. Oisten et P.L. Bergstrom, « The effect of a biased conductive mask on porous silicon formation », *Physica Status Solidi (c)*, vol. 6, 7, pp. 1541-1545, 2009.
- [240] A. Splinter, O. Bartels et W. Benecke, « Thick porous silicon formation using implanted mask technology », *Sensors and Actuators B: Chemical*, vol. 76, 1, pp. 354-360, 2001.
- [241] A. Nathan et F. Li, « CCD image sensors in deep-ultraviolet: degradation behavior and damage mechanisms », Springer, pp. 81-91, 2006
- [242] K. Barla, R. Herino et G. Bomchil, « Stress in oxidized porous silicon layers », *Journal of Applied Physics*, vol. 59, 2, pp. 439-441, 1986.
- [243] G. Dolino et D. Bellet, « Strain in porous silicon », Porous silicon datareview N°18, edited by L. Canham, pp. 118-123, 1997.
- [244] D. Bellet et G. Dolino, « X-ray diffraction studies of porous silicon », *Thin Solid Films*, vol. 279, pp. 1-6, 1996.
- [245] S. Manotas, F. Agullo-Rueda, J. D. Moreno, F. Ben-Handler et J. M. Martinez-Duart, « Lattice mismatch induced stress in porous silicon films », *Thin Solid Films*, vol. 401, pp. 306-309, 2001.
- [246] H. Sugiyama et O. Nittono, « Annealing effect on lattice distortion in anodized porous silicon layers », *Japanese Journal of Applied Physics*, vol. 28, 11A, pp. L2013 - L2016, 1989.
- [247] C. Parish, D. Batchelor, C. Progl et P. Russell, « Tutorial: Electron Beam-Induced Current in the Scanning Electron Microscope », *Microscopy and Analysis*, pp. 11 - 13, 2007.

- [248] D. Lausch, M. Werner, O. Breitenstein, S. Swatek, J. Schneider et C. Hagendorf, « Non destructive P-N junction testing on thin film solar cells », *26th European Photovoltaic Solar Energy Conference and Exhibition*, pp. 2784 - 2787, 2011.
- [249] D. K. Schroder, « Semiconductor material and device characterization », IEEE Press, edited by Wiley-interscience, Third edition, 2006.
- [250] Norme internationale CEI, « Compatibilité électromagnétique (CEM) – Partie 4-4:Techniques d'essai et de mesure – Essais d'immunité aux transitoires électriques rapides en salves », deuxième édition, 2004.
- [251] ST Microelectronics, « Technology performance comparison of Triacs subjected to fast transient voltages », Application note AN3169, rev. 1, 2010.
- [252] Norme internationale CEI, « Compatibilité électromagnétique (CEM) – Partie 4-5: Techniques d'essai et de mesure – Essai d'immunité aux ondes de choc », deuxième édition, 2005.
- [253] ST Microelectronics, « A logic-level transient-voltage protected AC switch », Application note AN1172, rev. 2, 2006.
- [254] ST Microelectronics, « TRIAC overvoltage protection using a Transil™ », Application note AN1966, rev. 3, 2007.
- [255] S. L. Miller, « Parallel connected two-terminal semiconductor devices of different negative resistance characteristics », US 3176147, 1965.
- [256] G. Templeton, ON Semiconductor, « RC snubber networks for thyristor power control and transient suppression », AN1048/D, Rev. 3, 2008.
- [257] ST Microelectronics, « Gate to cathode capacitor, impact on Triac immunity and reliability », Application note AN4030, rev. 1, 2012.
- [258] ON Semiconductor, « Basic thermal properties of semiconductors », Handbook HBD856/D, Rev. 0, 2009.
- [259] C. Kittel et P. McEuen, « Introduction to solide state physics », New York: wiley, vol. 8, 1976.
- [260] A.G. Chynoweth, « Ionization rates for electrons and holes in silicon », *Physical Review*, vol. 109, 5, pp.1537-1545, 1958.

- [261] A.G. Chynoweth, « Uniform silicon P–N junctions II: ionization rates for electrons », *Journal of Applied Physics*, vol. 31, pp. 1161-1165, 1960.
- [262] R. van Overstraeten et H. de Man, « Measurement of the ionization rates in diffused silicon p-n junctions », *Solid-State Electronics*, vol. 13, 1, pp. 583-608, 1970.
- [263] Y. Okuto et C. R. Crowell, « Threshold energy effect on avalanche breakdown voltage in semiconductor Junctions », *Solid-State Electronics*, vol. 18, 2, pp. 161-168, 1975.
- [264] T. Lackner, « Avalanche multiplication in semiconductors: a modification of chynoweth's law », *Solid-State Electronics*, vol. 34, 1, pp. 33-42, 1991.
- [265] R. Pezzani, « Thyristors having a common cathode », US 5365086A, 1994.
- [266] R. Pezzani, « Network of triacs with gates referenced with respect to a common opposite face electrode », US 6552370B2, 2003.
- [267] A. Herlet et K. Raithel, « Forward characteristics of thyristors in fired state », *Solid State Electronics*, vol. 9, pp. 1089-1105, 1966.
- [268] M. S. Adler, « Accurate calculations of the forward drop and power dissipation in thyristors », *IEEE Transactions on Electron Devices*, vol. 25, 1, pp. 16-22, 1978.
- [269] A. P. Silard, « High temperature physical effects underlying the failure mechanism in thyristors under surge conditions », *IEEE Transactions on Electron Devices*, vol. 31, 9, pp. 1334-1340, 1984.
- [270] S. Menard et D. Ali, « Four quadrant TRIAC », US 2012146089A1, 2012.
- [271] Y. Yoshizawa, « Bidirectional triode thyristor », US 4994885, 1991.
- [272] H. J. Ruhl, « Spreading velocity of the active area boundary in a thyristor », *IEEE Transactions on Electron Devices*, vol. 17, 9, pp. 672-680, 1970.

Annexes

ANNEXE A : Normes CEM

On distingue donc deux grandes familles de normes CEM à respecter pour la grande majorité des applications à base de TRIAC, d'un côté l'émission et de l'autre l'immunité (Cf. Figure 190). Deux standards sont particulièrement regardés, référencés sous les dénominations IEC61000-4-4 et IEC61000-4-5. Ils traduisent chacun l'insensibilité du TRIAC (et plus globalement de l'application) aux perturbations transmises par les fils, on parle d'immunité conduite.

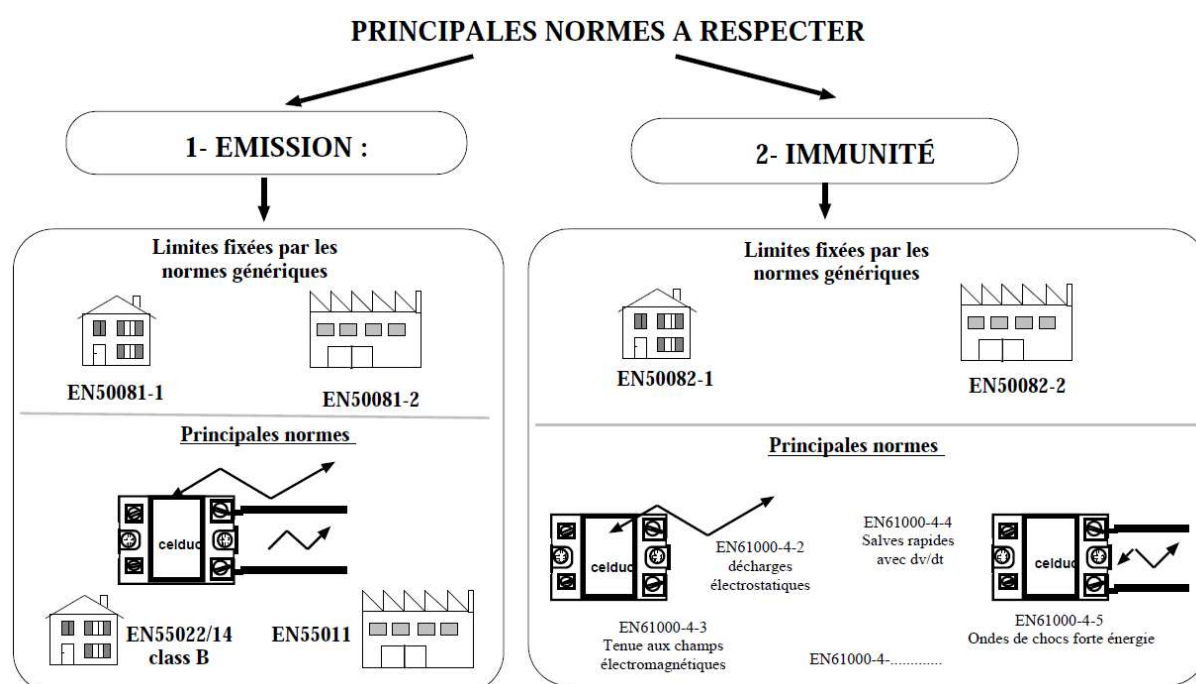


Figure 190 : Principales normes CEM.

A. Norme IEC 61000-4-4

La norme IEC61000-4-4 cherche à évaluer l'immunité d'un système soumis à une rafale de Transitoires Electriques Rapides (TER). Pratiquement, ces salves de TER trouvent leurs origines dans la commutation de charges inductives. Ce type de perturbations se couple très facilement, par exemple par diaphonie. Le contenu de la norme (domaines d'application, niveau d'essais, mise en œuvre, etc.) est donné dans le détail par la Commission Electrotechnique Internationale (CEI) [250].

Il est difficile d'appliquer la norme au sens stricte à l'échelle du TRIAC, il est néanmoins possible d'évaluer son niveau d'immunité, et pour être plus précis, sa capacité à ne pas se fermer de façon intempestive lorsqu'il est bloqué et soumis à ces successions de salves TER. Le TRIAC est donc monté en dehors de son environnement applicatif et les perturbations sont injectées sur les câbles reliés au secteur, à la fois en mode commun et en mode différentiel, en respectant la mise en œuvre de

couplage exigée par la norme. La gâchette est en règle générale connectée à l'électrode de référence (A1) par l'intermédiaire d'une résistance externe, dont la valeur est généralement fonction de la sensibilité du TRIAC. Les tests sont effectués à la fois en positif et en négatif [251]. La Figure 191 donne les caractéristiques de ces TER. Les pulses présentent un temps de montée de 5 ns et une durée à mi-valeur de 50 ns. Leur pic de tension et leur fréquence dépendent du niveau du surcharge à tenir, typiquement quelques kilovolts (kV) et 5 ou 100 kHz. La durée d'une salve est de 15 ms. Elles sont répétées toutes les 300 ms. L'appareil testé ne doit pas présenter de dysfonctionnement pendant une durée déterminée au moins supérieure à 1 min. L'impact des salves en mode ON présente beaucoup moins de contraintes au niveau du TRIAC, compte tenu des faibles énergies mises en jeu.

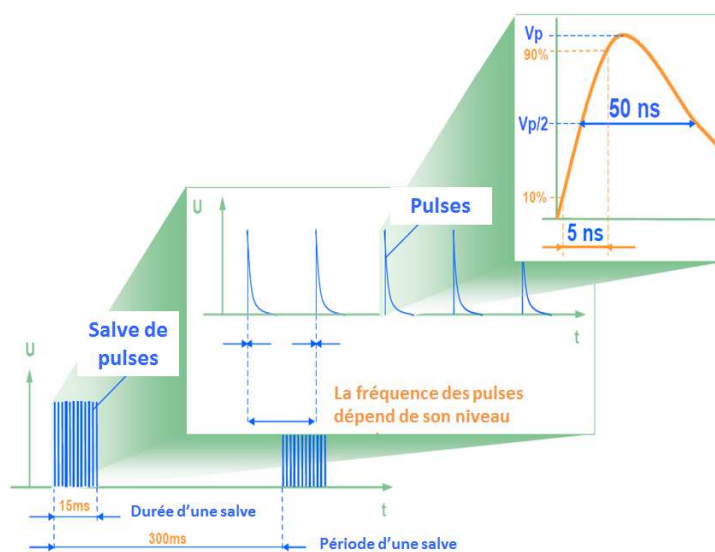


Figure 191 : Formes d'onde associées à la norme IEC61000-4-4.

B. Norme IEC 61000-4-5

La norme IEC61000-4-5 est représentative des perturbations conduites sur le réseau basse tension, après un coup de foudre sur une ligne [252]. Elle se caractérise par la superposition de plusieurs surcharges avec la tension secteur (Cf. Figure 192). Plus précisément, cinq impulsions positives et cinq négatives sont appliquées à 0°, 90°, 180° et 270° d'angle de phase. Une onde de choc présente un temps de montée de 1,2 μ s et une durée d'impulsion à mi valeur de 50 μ s. Son amplitude (U_c) est fonction du niveau de robustesse recherché, typiquement plusieurs kV. La CEI décrit de façon précise les domaines d'application, les niveaux d'essai, les modes opératoires, etc.

La tenue du TRIAC face à ces ondes de choc est fonction de l'environnement applicatif dans lequel il est inséré, néanmoins les fabricants peuvent donner quelques indications quant à la robustesse de leurs produits en se plaçant dans le cadre d'une application spécifique [253]. U_c peut facilement dépasser les capacités de blocage du TRIAC, ainsi l'onde de tension 1,2 / 50 μ s peut se transformer en une onde

de courant $8 / 20 \mu\text{s}$, le TRIAC basculant dans un état de forte impédance (circuit ouvert) à un état de faible impédance (circuit fermé) (Cf. chapitre 1, partie 2). La Figure 193 illustre ce cas de figure. Une tension maximale de 1 kV (Vpp) est tenue par le TRIAC avant de se retourner. Il s'en suit la circulation d'un fort courant dont le pic (I_{pp}) s'élève à 740 A. La durée globale de l'impulsion en courant (t_p) atteint $90 \mu\text{s}$. Dans tous les cas, l'onde de choc, telle que définie dans le cadre de la norme IEC61000-4-5, est très énergétique et nombreux sont les fabricants qui recommandent l'utilisation de protections (varistances par exemple) pour tenir des niveaux de robustesse satisfaisants (Cf. chapitre 1, paragraphe 2.3.2).

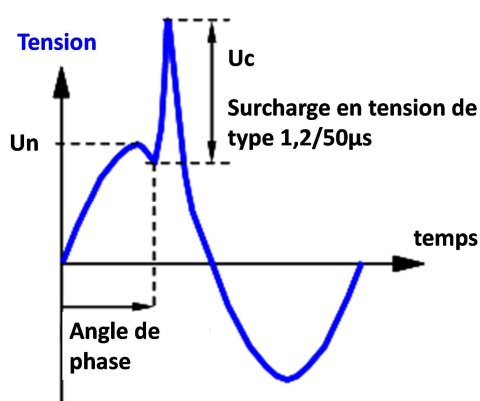


Figure 192 : Surcharge en tension relative à la norme IEC61000-4-5. Les pics U_n et U_c représentent respectivement la crête secteur et l'amplitude de la surcharge.

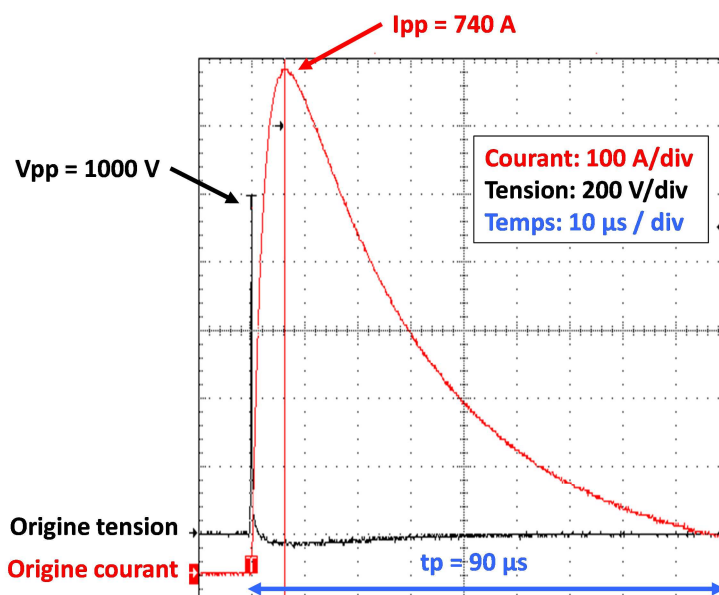


Figure 193: Passage du TRIAC d'un état de forte impédance à un état de faible impédance suite à l'application d'une onde de choc IEC61000-4-5. La tension aux bornes des électrodes de puissance du TRIAC et le courant le traversant sont respectivement représentés par les oscillogrammes noir et rouge.

ANNEXE B : Comportements spécifiques dans l'avalanche des TRIACs

Certaines subtilités peuvent apparaître lorsque le mécanisme d'avalanche (V_{BR}) est initié. Des effets de gain peuvent ainsi conduire à l'apparition de pentes négatives ou d'effet « snap back », comme illustré en Figure 194 [7]. Avec l'élévation de T , ces phénomènes de gain tendent à disparaître du fait de l'augmentation du courant de fuite.

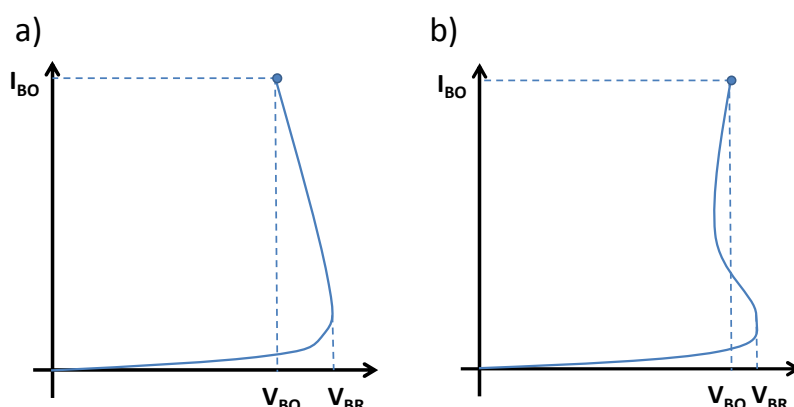


Figure 194 : Effet de pente négative (a) et « snap back » (b) dans l'avalanche (V_{BR}).

Les comportements cités ci-dessus pourraient rendre difficile le positionnement de l'avalanche à un courant donné, et ce d'une pièce à une autre. Néanmoins, dans les applications TRIAC ce type de retournement n'est généralement pas utilisé volontairement. Il est cependant susceptible de se produire de façon incongrue (Cf. annexe A). Dans ce cas, il peut nécessiter la mise en place de dispositions particulières au niveau du TRIAC et de son environnement. En effet, la montée dans l'avalanche, puis le retournement, pourraient générer des points chauds localisés au niveau des puces TRIAC et finir par l'endommager. Les fabricants de TRIAC recommandent alors l'utilisation de composants de protection, tels que des MOV (Metal Oxide Varistor) ou des TVS (Transient Voltage Suppressor) pour garantir, sans équivoque, l'intégrité du TRIAC. La Figure 195 présente les configurations de protection régulièrement utilisées dans les applications [254].

Il convient tout de même de préciser que l'amorçage par tension est communément employé pour des composants de protection, tels que les diodes de Shockley, spécifiquement conçues pour ce type de fonctionnement [255]. Ajoutons également que certains TRIAC peuvent intégrer une fonction de protection aux surtensions sur le principe de la diode de Shockley. Pour ces dispositifs particuliers, le retournement en tension est donc autorisé [253].

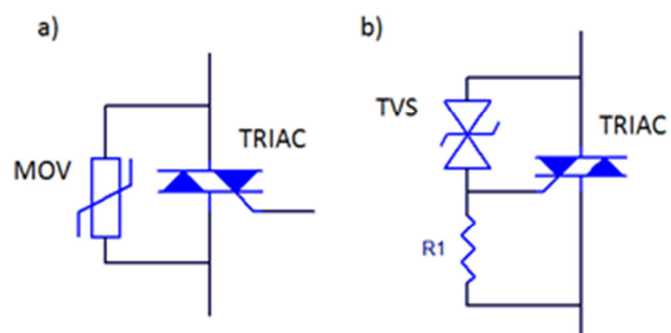


Figure 195 : Configuration de protection de TRIAC à base de MOV (a) et de TVS (b).

ANNEXE C : Amélioration de l'immunité du TRIAC par des moyens applicatifs

Pour améliorer les performances en immunité du TRIAC, que ce soit en termes d'IEC61000-4-4, comme nous l'avons commenté dans l'annexe A, où à propos du dv/dt et du couple (di/dt_c ; dvd_t) (Cf. chapitre 1, paragraphes 2.3.3 et 2.4 respectivement), les concepteurs peuvent ajouter des réseaux RC série (appelé également « snubber ») en parallèle du TRIAC. Cette configuration est illustrée sur la Figure 196. Ce « snubber » permet d'atténuer les variations brusques de tension. Le choix de la résistance (R_s) et de la capacité (C_s) du « snubber » est fonction de la charge (résistance R_L et inductance L_L) et nécessite un compromis avec le dI_T/dt à l'amorçage (Cf. chapitre 1, paragraphe 2.3.4) et le maximum de tension réappliquée aux bornes du TRIAC (Cf. chapitre 1, paragraphe 2.3.2) [13, 256].

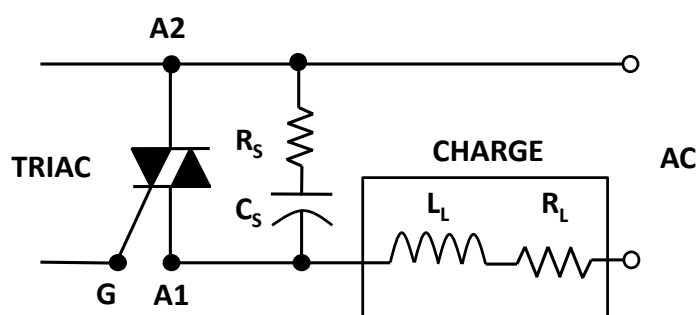


Figure 196 : Emploi d'un snubber (R_s et C_s) dans les applications à base de TRIAC.

Par ailleurs, en ajoutant une résistance (R_{GK}) et/ou une capacité (C_{GK}) entre l'électrode A1 (électrode de référence) et la gâchette G du TRIAC, il est possible de favoriser sa tenue au blocage essentiellement vis à vis des transitoires dv/dt [256]. La résistance R_{GK} présente néanmoins l'inconvénient de diminuer la sensibilité du TRIAC par une augmentation de son I_{GT} . Quant à la capacité C_{GK} , elle peut fragiliser la tenue en dI_T/dt du TRIAC (Cf. chapitre 1, paragraphe 2.3.4) [257].

ANNEXE D : Gestion de la température de jonction (T_j) du TRIAC

A. Boîtiers et résistance thermique

Lors de ses phases de conduction, le TRIAC génère de la chaleur qu'il est nécessaire de dissiper à travers les différents éléments du boîtier dans lequel la puce Si est montée [12, 258].

La Figure 197a présente le cas du boîtier seul. La chaleur est évacuée de T_j vers T_a (T ambiante). Elle transite à travers l'embase en cuivre (Cu), les connectiques (non représentées), les soudures (non représentées), la résine et le Si. Chacun de ces éléments présente une résistance thermique propre et l'ensemble est modélisé par la résistance thermique globale RTH_{ja} . Les fabricants de TRIAC spécifient la résistance thermique RTH_{ja} du TRIAC.

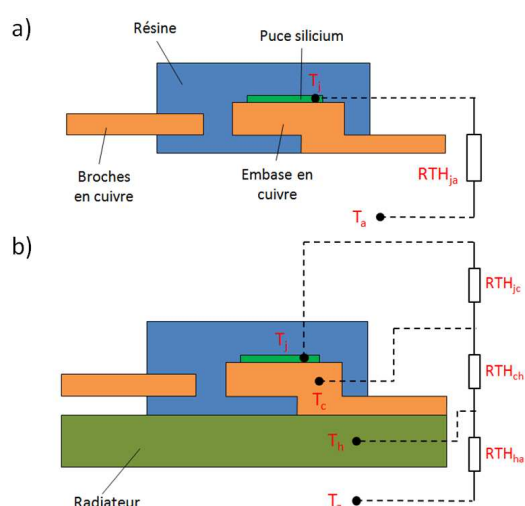


Figure 197: Schéma d'un assemblage et RTH. (a) boîtier seul : la chaleur est évacuée via la RTH_{ja} . (b) boîtier fixé sur un radiateur externe : la chaleur est dissipée via les RTH_{jc} , RTH_{ch} et RTH_{ha} (Cf. texte pour plus de détails).

Dans les applications, les boîtiers sont la plupart du temps fixés sur un radiateur externe (Figure 197b). La résistance thermique se décompose alors en trois résistances mises en série : RTH_{jc} , RTH_{ch} et RTH_{ha} . L'emploi d'un radiateur externe, dont la température est notée T_h , permet de faciliter considérablement le transfert de chaleur de T_c vers T_a . En d'autres termes, RTH_{ch} et RTH_{ha} sont faibles. Les fabricants indiquent dans leurs spécifications la valeur de RTH_{jc} permettant alors au concepteur de dimensionner correctement leurs radiateurs en fonction de leurs applications. La Figure 198 présente par exemple l'évolution de RTH_{ha} en fonction du dimensionnel d'un dissipateur parallélépipédique en Cu. Comme le montre le petit encadré de la figure, l'élément chauffant est

positionné au centre et la conduction thermique est supposée verticale uniquement. Aucun refroidissement forcé n'est pris en compte. On constate alors une possible réduction par cinquante de la RTH_{ha} entre le pire cas et le meilleur, démontrant le fort impact lié à l'utilisation d'un radiateur externe.

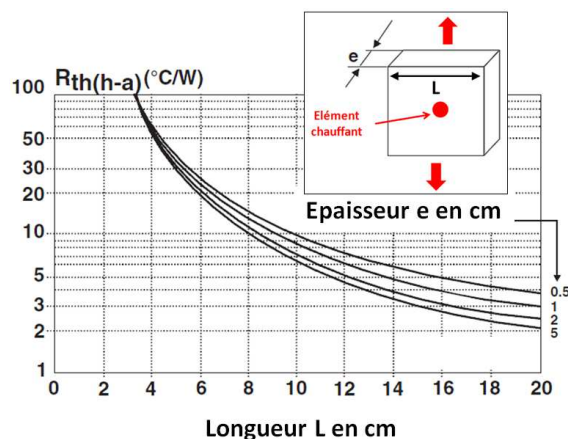


Figure 198 : Simulation de la résistance thermique RTH_{ha} en fonction de la géométrie du radiateur en Cu (étude extraite de [12]). L'encadré présente la structure considérée (Cf. texte pour plus de détails).

Le TRIAC est dédié aux applications AC. La succession des cycles positifs et négatifs fait travailler différentes zones du TRIAC (Cf. chapitre 1, partie 3). Ainsi, un couplage thermique s'opère entre les parties conductrices, et donc chauffantes du TRIAC, et celles au repos qui refroidissent après le passage du courant. La RTH_{jc} est donc plus faible en mode AC comparativement au mode DC. La RTH_{jc} est systématiquement mesurée en DC, la conversion DC/AC est complexe [258]. L'application d'un coefficient multiplicateur de 0,75 est communément admise [12] :

$$\text{Équation D.1} \quad RTH_{jc}(AC) = 0,75 \cdot RTH_{jc}(DC)$$

Ce couplage thermique est négligé dans le cas de la résistance thermique RTH_{ja} où le rôle du Si n'est pas prépondérant par rapport aux échanges entre le cuivre du boîtier et l'atmosphère ambiante (Cf. Figure 198).

La résistance thermique RTH modélise les échanges thermiques en régime établi. Ce dernier est typiquement atteint après quelques secondes de conduction pour RTH_{jc} et une centaine de secondes pour RTH_{ja} (Cf. Figure 199). Ce comportement est dû à la présence de capacités thermiques (CTH) apportées par chacun des éléments du boîtier. Chaque matériau est en effet capable d'emmagasiner une certaine quantité d'énergie thermique en fonction de son volume, cette grandeur se traduit par ce que l'on appelle la chaleur spécifique [259]. Au final, en mode stationnaire et hors équilibre, on parle respectivement de RTH et ZTH (impédance thermique).

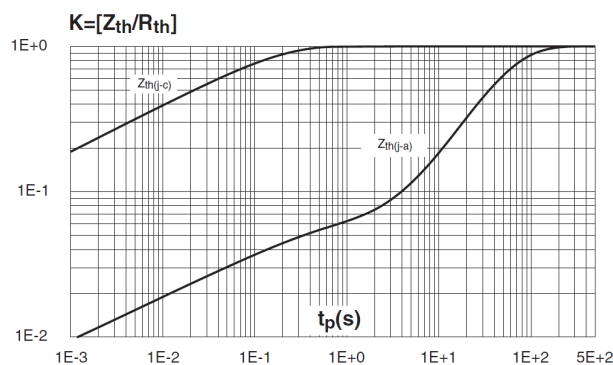


Figure 199 : Exemple de courbe de ZTH normalisée par rapport à RTH en fonction de la durée de conduction du TRIAC (t_p) (extrait de la spécification du BTB12 proposé par la société ST Microelectronics).

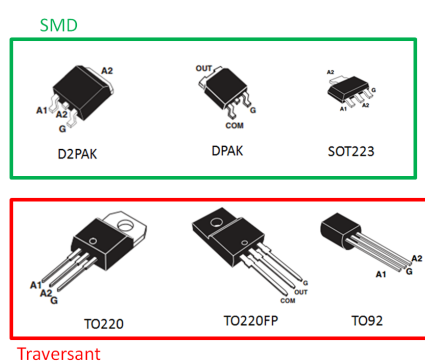


Figure 200 : Panel de boîtiers utilisés pour les TRIACs. En haut : boîtiers montés en surface (de l'anglais « Surface Mounted Devices »). En bas : boîtiers traversant le circuit imprimé.

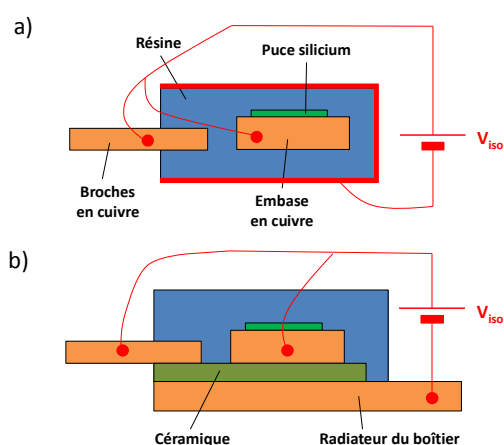


Figure 201 : Boîtiers avec IE. a) isolation résine. b) isolation céramique. Les points pour lesquels l'IE est garantie au niveau du boîtier sont représentés en rouge.

La résistance thermique R_{thjc} du TRIAC dépend de la taille de la puce Si mais également du type de boîtier considéré. La Figure 200 donne un panel de boîtiers couramment utilisés pour les TRIACs. On distingue deux familles, les boîtiers traversant le circuit imprimé et ceux montés en surface (SMD). Le

choix du boîtier est un compromis entre les performances thermiques, l'encombrement sur le circuit imprimé et bien entendu le coût. Une quatrième contrainte pourrait également être citée : l'IE entre le radiateur externe et le cuivre en contact avec la puce (connexions et embase). Pour la garantir, deux méthodes sont communément employées aujourd'hui. La première consiste à utiliser directement la résine du boîtier (Cf. Figure 201a), le boîtier TO220FP de la Figure 200 reprend ce principe. La seconde nécessite l'ajout d'une céramique et d'un radiateur interne au TRIAC (Cf. Figure 201b), c'est le cas d'une variante du boîtier TO220 de la Figure 200. L'IE du boîtier tend à dégrader ses performances thermiques. L'emploi de céramique permet néanmoins d'atteindre d'excellents compromis.

B. Puissance dissipée et phénomènes d'emballement thermique

Chaque TRIAC est spécifié pour une T_{j_max} au-delà de laquelle son fonctionnement n'est plus garanti. La limitation provient essentiellement du courant de fuite qui atteint des valeurs trop élevées et/ou des performances en commutation devenues insuffisantes.

Pour éviter la perte de contrôle du TRIAC en mode ON, les fabricants de TRIAC indiquent la température T_c que les concepteurs ne doivent aucunement dépasser sous peine de faire travailler la puce TRIAC à des T_j supérieures à T_{j_max} . Le calcul de T_c s'obtient facilement via la RTH_{jc} et la puissance dissipée (P_D), selon la formule suivante [12] :

Équation D.2 $P_D \cdot RTH_{jc} = T_{jmax} - T_c$

Pour une conduction pleine onde, P_D s'exprime sous la forme [12] :

Équation D.3 $P_D = \frac{2\sqrt{2}}{\pi} V_{T0} \cdot I_{Trms} + R_D \cdot I_{Trms}^2$

Notons que dans l'écriture des équations D.2 et D.3, nous avons considéré que la puissance dissipée par le TRIAC et la puissance dissipable par le système ne représentaient qu'une seule et même entité P_D .

Des risques d'emballement thermique sont également possibles en mode inverse, lorsque le courant de fuite est trop élevé. Des précautions doivent alors être prises au niveau de l'application [258]. La Figure 202 schématise différentes situations pouvant conduire à la stabilité ou l'instabilité du système en fonction de la RTH globale (i.e. RTH_{ja} selon la Figure 197) et T_a . En régime de blocage, la puissance dissipée P_{OFF} s'exprime en fonction de la T_j de la manière suivante:

Équation D.4 $P_{OFF}(T_j) = \frac{1}{T} \int_0^T V_{out}(t) \cdot I_{out}(V_{out}; T_j; t) dt$

V_{out} représente la tension réappliquée, soit le plus souvent dans le cas du TRIAC la tension AC du secteur ($T = 20$ ms, $V_{rms} = 230$ V efficace en France). I_{out} quant à lui correspond au courant de fuite résultant de l'application de la tension V_{out} aux bornes du TRIAC (Cf. chapitre 1, paragraphe 2.1).

Dépendamment de la RTH, l'application sera capable ou non d'absorber P_{OFF} . La puissance dissipable par le système s'écrit alors selon l'équation D.5.

Équation D.5 $P_D = \frac{T_j - T_a}{RTH}$

Si la RTH est trop élevée, la courbe $P_{OFF}(T_j)$ se retrouve systématiquement au dessus de la droite $P_D(T_j)$ (Cf. Figure 202, cas de la résistance thermique RTH_2), signifiant alors que le système génère plus de chaleur qu'il n'est capable d'en évacuer. La T_j du TRIAC va alors augmenter de façon continue quelle que soit la T_j du TRIAC à sa mise OFF (T_{j_OFF}). L'emballement thermique résultant entraîne une perte de contrôle du TRIAC et donc un dysfonctionnement de l'application. Le TRIAC peut même finir par se dégrader.

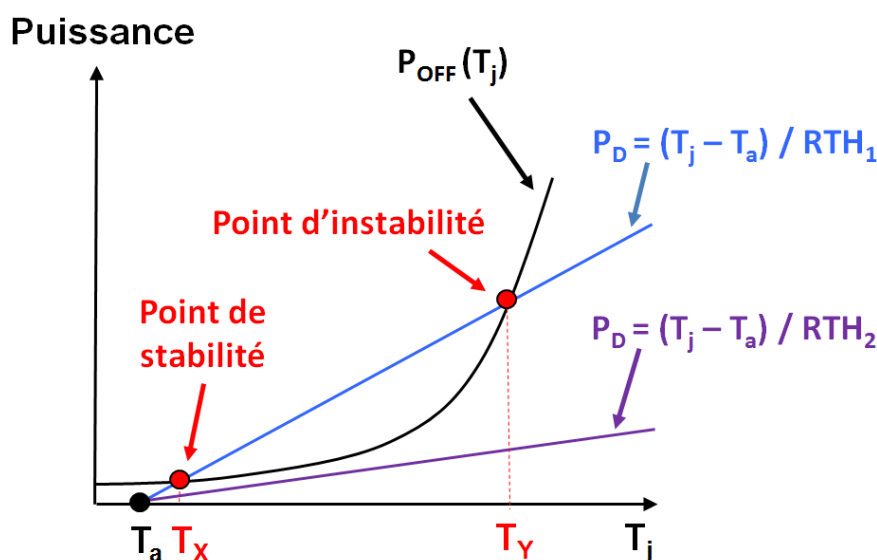


Figure 202 : Gestion de la puissance dissipée en mode bloqué (P_{OFF}) et conditions de stabilité.

Lorsque la RTH est suffisamment faible pour obtenir un croisement des deux tracés $P_{OFF}(T_j)$ et $P_D(T_j)$, un point d'équilibre pourra éventuellement être atteint. Prenons le cas de la résistance thermique RTH_1 sur la Figure 202. A l'issue d'une phase de conduction, si le TRIAC est porté à une température T_{j_OFF} supérieure à T_Y , alors de nouveau une situation d'emballement thermique se produira. Par contre, si T_{j_OFF} est inférieure à T_Y , alors la T_j du TRIAC finira par se stabiliser à la température d'équilibre T_X . Précisons que cette situation reste établie même si T_{j_OFF} est supérieur à T_X . Dans ce cas de figure, le TRIAC ne génère effectivement pas suffisamment de chaleur par rapport à la capacité de refroidissement du système, sa T_j s'abaissera donc jusqu'à T_X .

ANNEXE E : Modélisation de l'avalanche des TRIACs

Le dépassement de la tension V_{BR} génère au sein du TRIAC la circulation d'un courant très supérieur au courant de fuite. Ce dernier peut engendrer la destruction du TRIAC (Cf. chapitre1, paragraphe 3.3.1). La modélisation du mécanisme d'avalanche facilite l'identification de zones où le champ électrique et la chaleur pourraient se concentrer et induire la défaillance. Le fabricant de TRIAC est alors en mesure d'optimiser la conception de son dispositif.

Le nombre de paires électron / trou créées dans la ZCE suite à la génération d'une paire électron / trou située à une distance x de la jonction est donné par l'expression du coefficient de multiplication $M(x)$ suivante [7, 8] :

$$\textbf{Équation E.1} \quad M(x) = \frac{\exp[\int_0^x (\alpha_n - \alpha_p) dx]}{1 - \int_0^{W_Z} \alpha_p \cdot \exp[\int_0^x (\alpha_n - \alpha_p) dx] dx}$$

W_Z correspond à la largeur de la ZCE. Les paramètres α_n et α_p représentent respectivement les coefficients d'ionisation par impact des électrons et des trous, ils s'expriment en cm^{-1} et peuvent être assimilés au nombre de paires électron / trou créées suite au parcours d'un électron (ou d'un trou) à travers un centimètre dans la ZCE.

Une expression analytique de V_{BR} peut alors être obtenue par simplification de l'équation E.1. Sachant en effet que la situation d'avalanche est atteinte lorsque le nombre de porteurs générés dans la ZCE approche l'infini, la condition à remplir s'exprime alors sous la forme suivante :

$$\textbf{Équation E.2} \quad \int_0^{W_Z} \alpha_p \cdot \exp[\int_0^x (\alpha_n - \alpha_p) dx] dx = 1$$

Le terme de gauche dans l'équation E.2 porte le nom d'intégrale d'ionisation.

Le champ électrique et la largeur de la ZCE en fonction de la tension appliquée aux bornes de la jonction sont obtenus à partir de l'équation de Poisson :

$$\textbf{Équation E.3} \quad \Delta V = -\frac{\rho}{\epsilon_s}$$

V et ρ représentent respectivement le potentiel électrostatique et la densité de charges dans la ZCE suite à l'ionisation des centres donneurs (N_D) et accepteurs (N_A). ϵ_s est la constante diélectrique du semi-conducteur.

A partir des équations E.2 et E.3 il est par exemple possible de traiter le cas simple de la jonction abrupte P⁺N. L'impact du dopage sur les performances en avalanche peut alors être illustré par les deux équations suivantes [7] :

Équation E.4 $V_{BR} = 5,34 \cdot 10^{13} \cdot N_D^{-3/4}$ (en V)

Équation E.5 $E_c = 4010 \cdot N_D^{1/8}$ (en V/cm)

En règle générale, plus le dopage est faible et plus V_{BR} est forte. Ce cas particulier est bien entendu idéal. Ce raisonnement ne se formalise pas de façon aussi simple dans le cas du TRIAC (Cf. paragraphe 2.1.3.b). En effet, tout dispositif de type transistor ou SCR est susceptible de faire apparaître des phénomènes d'amplification du courant d'avalanche. La génération de porteurs par avalanche doit alors être intégrée dans l'équation de continuité (Equations E.6 et E.7).

Équation E.6 $div(D_n \cdot grad(n) - n \cdot \mu_n \cdot grad(V)) - q \frac{\partial n}{\partial t} = q \cdot G \cdot R_n$ (pour les électrons)

Équation E.7 $div(-D_p \cdot grad(p) - p \cdot \mu_p \cdot grad(V)) - q \frac{\partial p}{\partial t} = q \cdot G \cdot R_p$ (pour les trous)

Les paramètres n et p représentent les densités d'électrons et de trous libres, μ_n et μ_p les mobilités des électrons et des trous, D_n et D_p les coefficients de diffusion des électrons et des trous, q la charge élémentaire, et enfin $G \cdot R_n$ et $G \cdot R_p$ les taux de génération / recombinaison des électrons et des trous.

Les coefficients $G \cdot R_n$ et $G \cdot R_p$ rassemblent l'ensemble des mécanismes de génération / recombinaison de porteurs, dont les taux d'ionisation par impact G_{ii_n} et G_{ii_p} s'expriment sous la forme :

Équation E.8 $G_{ii_n} = \alpha_n \frac{J_n}{q} = \alpha_n \cdot n \cdot v_n$

Équation E.9 $G_{ii_p} = \alpha_p \frac{J_p}{q} = \alpha_p \cdot p \cdot v_p$

J_n et J_p représentent les densités de courant des électrons et des trous.

L'emploi de méthodes de résolution numériques devient alors obligatoire. L'outil Sentaurus de la société Synopsys met à disposition différents modèles de coefficients d'ionisation, bien adaptés à la simulation de V_{BR} pour les composants de puissance de type TRIAC. Les modèles les plus courants s'appuient sur la loi de Chynoweth [260, 261]:

Équation E.10 $\alpha = a \cdot e^{-b/E}$

a et b sont des constantes d'ajustement du modèle.

En ce qui concerne le Si, nous pouvons par exemple citer les modèles Van over Straeten et de Man [263], Okuto-Crowel [264] ou encore Lackner [265].

Leurs domaines de validité en termes de champ électrique s'étalent entre 1.10^5 et 1.10^6 V/cm. Cet intervalle est compatible avec les valeurs de champ critique du silicium (Cf. Equation E.5). Par ailleurs, ces modèles se différencient les uns par rapport aux autres au niveau de leur dépendance en température. Cette dernière est en effet prise en compte puisque sous son effet, la probabilité qu'un porteur accéléré interagisse avec un autre porteur libre augmente. Ce type de collision ne participe pas au phénomène de multiplication par impact décrit précédemment et induit une augmentation de V_{BR} .

La précision des résultats nécessite au préalable un calibrage des modèles, chacun d'entre eux présentant des paramètres ajustables. Notons également que Synopsys offre la possibilité de choisir la force d'accélération des porteurs. Les coefficients d'ionisations sont en effet résolus soit en fonction de la composante du champ électrique parallèle aux densités de courants d'électrons et de trous, soit en fonction du gradient des pseudo-niveaux de Fermi. Le choix entre ces deux configurations constitue un élément du calibrage, sachant par ailleurs que la convergence des algorithmes de calcul est toujours à prendre en compte.

ANNEXE F : Autres interrupteurs bipolaires de puissance pour applications nécessitant la tension AC du secteur

Les sections 2 et 3 du premier chapitre ont détaillé la structure du TRIAC, l'interrupteur de puissance pour applications AC par excellence. Néanmoins, pour le contrôle de certaines charges AC, les concepteurs peuvent faire appel à des architectures autres, que nous évoquerons brièvement dans cette annexe.

Parmi ces autres interrupteurs AC, nous pouvons tout d'abord citer la mise en parallèle de deux SCRs tête bêche comme le montre la Figure 203. Les deux SCRs sont réalisés sur des puces Si séparées, assemblées ou non dans le même boîtier. Les concepteurs, essentiellement dans le domaine des moyennes puissances, peuvent rechercher de meilleures performances en commutation que cette topologie peut apporter plus facilement par rapport au TRIAC. La commande d'une telle solution est néanmoins bien plus complexe. L'un des deux SCRs (Thy 2) nécessite en effet l'usage d'une commande isolée puisque sa gâchette (G2) est référencée par rapport à la haute tension V_{out} .

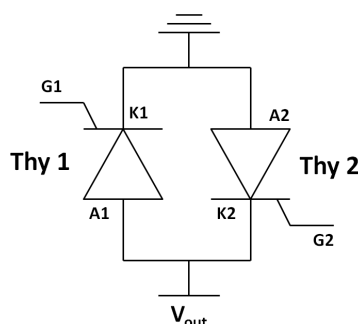


Figure 203 : Interrupteur AC à base de deux SCRs tête bêche.

Pour pallier cette problématique, il est possible de remplacer l'un des deux SCRs par un SCR à gâchette d'anode (AGT : Anode Gated Thyristor). La Figure 204 en donne une illustration. Cet AGT possède ni plus ni moins la structure d'un TRIAC pour lequel on autoriserait uniquement l'amorçage dans le quadrant Q3. Son inconvénient majeur est la dégradation du compromis liant la sensibilité et le dv/dt .

Il existe enfin un dernier interrupteur AC conçu à l'origine par la société ST Microelectronics. Il s'agit de l'ACSTM. Son architecture s'appuie fortement sur celle du TRIAC, mais avec certaines spécificités [265, 266]. La Figure 205a présente son schéma électrique équivalent. Une première caractéristique de l'ACSTM est alors visible. Les deux thyristors de puissance sont commandés par un transistor NPN. De fait, seuls des courants de gâchette négatifs pourront déclencher l'ACSTM (pilotage dans les quadrants

Q2 et Q3 seulement). De plus, à partir de la structure Si de l'ACSTM (Cf. Figure 205b), on constate deux nouvelles particularités : le positionnement de son électrode de cathode en face arrière et l'isolation physique de sa gâchette par rapport à la ZA. Cette configuration facilite le contrôle direct de l'ACSTM par un microcontrôleur notamment pour la commande de petites charges inductives de 0,8 à 2 A efficace, où il est souvent privilégié par rapport au TRIAC.

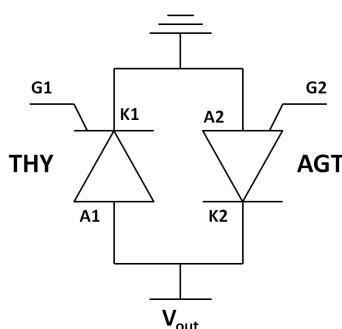


Figure 204 : Interrupteur AC à base de deux SCRs, le premier à gâchette de cathode (standard) et le second à gâchette d'anode (AGT).

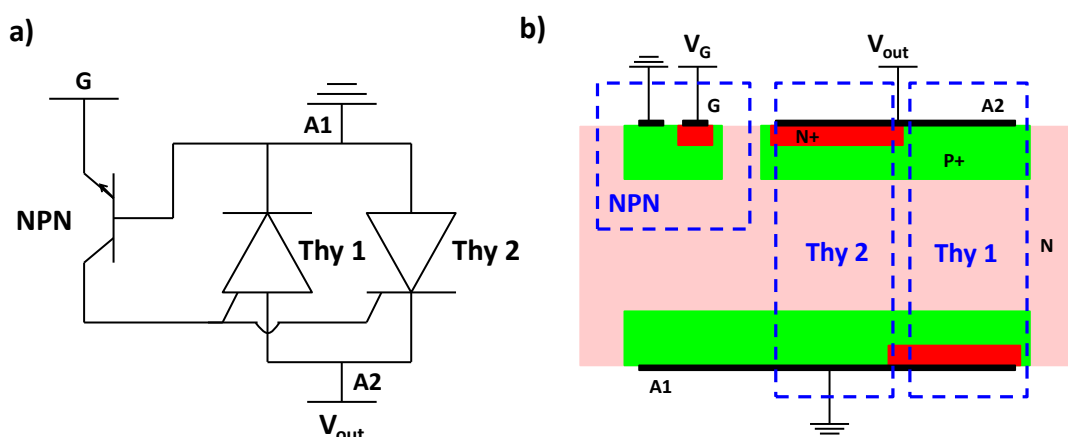


Figure 205 : Structure schématique de l'ACSTM: a) schéma électrique équivalent b) architecture Si associée.

L'usage de ces trois types d'interrupteur AC reste limité à des applications bien spécifiques. Et finalement, leurs structures ne s'écartent que très légèrement de celle du TRIAC. Ces solutions peuvent donc être considérées comme des cas particuliers du TRIAC.

ANNEXE G : Les mécanismes physiques et électriques en lien avec la ZA du TRIAC

A. Conception et dimensionnement de la ZA

La capacité du TRIAC à véhiculer de forts courants tout en minimisant la chute de tension à ses bornes est fixée par la ZA et plus spécifiquement son dimensionnement. Si les profils de diffusion influencent tout autant les performances, leurs choix sont souvent contraints par la tenue en tension demandée pour le TRIAC. Une première sous-partie sera donc dédiée dans un premier temps aux paramètres V_{TM} et I_{TSM} , deux paramètres caractéristiques de l'état ON du TRIAC (Cf. chapitre 1, paragraphe 2.2).

La gestion de la sensibilité du TRIAC et notamment son I_{GT} (Cf. chapitre 1, paragraphe 2.3.1) sera regardée dans un second temps. Si la consommation de la commande est améliorée en réduisant les I_{GT} , en contrepartie les risques de perturbations électromagnétiques (Cf. chapitre 1, paragraphe 1.4) sont plus fréquents. Un compromis est donc nécessaire. Au niveau Si, la méthode la plus efficace consiste à court-circuiter les régions N^+ (émetteur) et P (base). Cette technique sera explicitée tout particulièrement.

A.1 V_{TM} et I_{TSM}

Considérons le SCR positif du TRIAC donné sur la Figure 21 du chapitre 1. A la mise en conduction ($A2$ polarisée positivement par rapport à $A1$), les jonctions P_1N et $P_2N^+_1$ sont passantes alors que la diode P_2N reste bloquée. Les transistors $N^+_1P_2N$ et P_1NP_2 s'auto-entretiennent. Dans la région N, le courant d'électrons I_N est issu de la base du transistor P_1NP_2 ($I_{b_{P_1NP_2}}$) et du collecteur du transistor $N^+_1P_2N$ ($I_{c_{N^+_1P_2N}}$) :

Équation G.1
$$I_N = I_{b_{P_1NP_2}} + I_{c_{N^+_1P_2N}}$$

En développant les expressions des courants $I_{b_{P_1NP_2}}$ et $I_{c_{N^+_1P_2N}}$, l'équation G.1 devient :

Équation G.2
$$I_N = (1 - \alpha_{P_1NP_2})I_{A2} + \alpha_{N^+_1P_2N} \cdot I_{A1}$$

Sachant que les courants I_{A1} et I_{A2} doivent s'égaliser et que les gains α s'approchent de l'unité, I_N provient essentiellement du transistor $N^+_1P_2N$. La base du transistor P_1NP_2 est donc suralimentée et ce dernier bascule en régime saturé. Dans son état ON, les trois jonctions du SCR sont donc passantes. Le SCR se comporte alors comme une diode PIN (P / Intrinsèque / N), où le dopage de la région intrinsèque est modulé par les électrons et trous injectés respectivement depuis les régions N^+_1 et P_1 . Cette approximation n'est valide que lorsque la région P_2 du SCR est complètement inondée de

porteurs (Cas rouge sur la Figure 206). Lorsque le niveau d'injection est insuffisant (cas vert sur la Figure 206), la tension aux bornes du SCR sera toujours plus forte que celle de la diode PIN. Cette observation ne reste bien entendu pertinente que dans la mesure où des conditions de fabrication similaires ont été appliquées et des zones de modulation de dopage équivalentes ont été comparées [267].

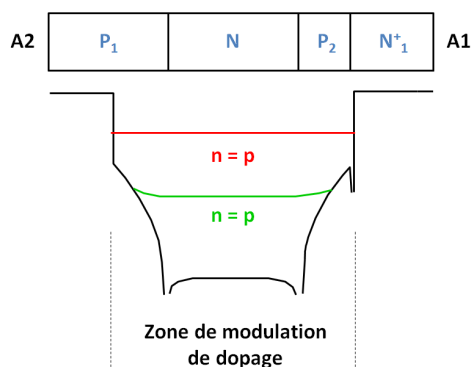


Figure 206 : SCR et profils de diffusion : sans polarisation (en noir), avec polarisation en forte injection (en vert), avec polarisation et très forte injection (en rouge).

La chute de tension aux bornes d'une diode PIN comprend trois composantes : V_{P+} , V_{N+} et V_I (Cf. Figure 207). V_{P+} et V_{N+} prennent en compte les efficacités d'injection des émetteurs N^+ et P^+ dans la zone intrinsèque. V_I traduit quant à elle les recombinaisons de porteurs relatives à la partie intrinsèque de la diode.

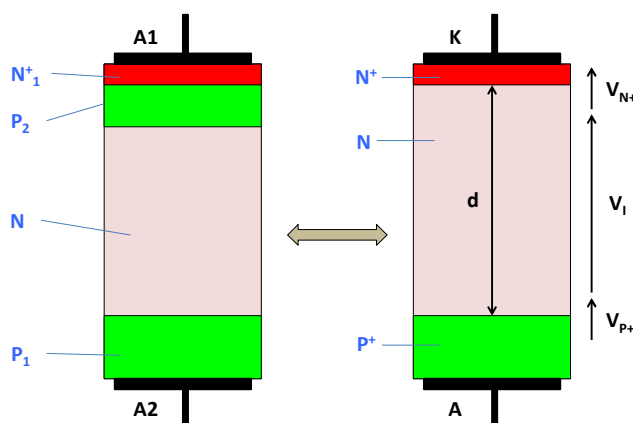


Figure 207 : Equivalence SCR (gauche) / diode PIN (droite).

Globalement la chute de tension V_T à l'état passant de la diode PIN, et par conséquent celle du SCR, s'exprime sous la forme [8] :

Équation G.3
$$V_T = \frac{2 \cdot k \cdot T}{q} \ln \left(\frac{d \cdot J_T}{4 \cdot q \cdot n_i \cdot D_a \cdot F_L} \right)$$

Les paramètres d , J_T et D_a représentent respectivement la largeur de la région intrinsèque (ou celle de la zone de modulation donnée en Figure 206 pour le SCR), la densité de courant et le coefficient de diffusion ambipolaire. F_L est une fonction du ratio d/L_a , avec L_a la longueur de diffusion ambipolaire.

A fort niveau d'injection et en ne considérant que les mécanismes de recombinaison SRH, la durée de vie des porteurs τ_a prend la forme [7] :

Équation G.4 $\tau_a = \tau_{n0} + \tau_{p0}$

Les termes τ_{n0} et τ_{p0} représentent les durées de vie des minoritaires (Cf. chapitre 1, paragraphe 4.2.1.2).

τ_a est également appelé durée de vie ambipolaire.

Lorsque le niveau d'injection s'intensifie, concrètement on parle de concentration de porteurs de l'ordre de 10^{17} cm^{-3} , des mécanismes physiques autres que la recombinaison SRH interviennent, tels que le processus de recombinaison Auger et des interactions entre porteurs libres (ces phénomènes sont discutés plus en détail dans la suite de ce paragraphe). D_a modélise ces effets. Il s'exprime en fonction des densités de porteurs n et p , ainsi que des coefficients de diffusion D_n (électrons) et D_p (trous) selon la formule :

Équation G.5 $D_a = \frac{n+p}{\frac{n}{D_p} + \frac{p}{D_n}}$

La longueur de diffusion ambipolaire est alors définie telle que :

Équation G.6 $L_a = \sqrt{D_a \cdot \tau_a}$.

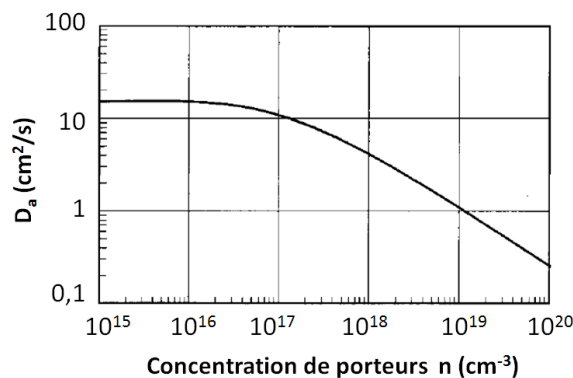


Figure 208 : D_a en fonction de la concentration de porteurs n (extrait de [8]).

Les Figures 208 et 209 représentent respectivement D_a en fonction de la densité de porteurs et la fonction F_L en fonction du ratio d/L_a . En s'appuyant sur ces figures et l'équation G.3, on constate que

V_T augmente avec la densité de porteurs en excès à travers J_T et D_a . V_T n'est finalement pas directement dépendant de ρ_{Si} , cela a d'ailleurs été observé dans l'étude rapportée par [267] sur la gamme de résistivités explorées. En fait, ρ_{Si} n'intervient que dans la première phase de la modulation à travers τ_a , lorsque le niveau d'injection est insuffisant pour considérer le SCR équivalent à une diode PIN.

Dans l'idée de minimiser V_T , il apparaît également intéressant de chercher à ajuster le ratio d/L_a de telle sorte que F_L avoisine sa valeur maximale.

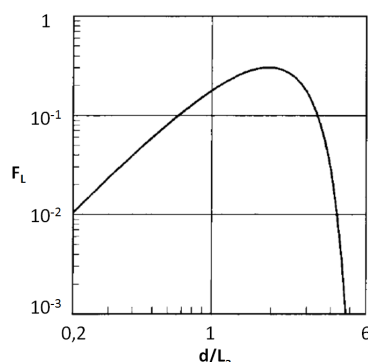


Figure 209 : Représentation graphique de la fonction F_L avec le ratio d/L_a selon [8].

L'expression donnée par l'équation G.3 ne considère pas les recombinaisons se produisant dans les régions N^+ et P^+ . Cet effet devient particulièrement influant lorsque les régions émettrices ne sont pas suffisamment dopées et/ou lorsque les niveaux d'injections sont très élevés. Dans ce cas, les porteurs minoritaires présentent des longueurs de diffusions suffisantes pour atteindre les zones N^+ et P^+ , s'y recombiner (on parle de recombinaison de surface) et générer des pertes en conduction supplémentaires [268]. Notons également qu'un dopage insuffisant en surface impacte l'ohmicité des contacts [7]. A forts niveaux de courant, la chute de tension résultante devient significative et dégrade tout autant les performances.

L'utilisation de méthode numérique s'avère fort utile pour cerner l'impact des différents mécanismes sur V_T : recombinaisons SRH et Auger, interactions porteur / porteur, rétrécissement du gap, effets d'échauffement. La recombinaison SRH a été largement discutée dans le paragraphe 4.2.1.2 du chapitre 1. La recombinaison Auger, quant à elle, devient significative lorsque la concentration de porteurs libres est importante. Une paire électron / trou se recombine et transmet son énergie à un troisième porteur libre [7].

Toujours dans une situation de forte densité de porteurs libres, les interactions coulombiennes porteur / porteur imposent une réduction de la mobilité des électrons et des trous. De fait, leurs longueurs de diffusion sont diminuées [7].

Dans le cas de forts dopages, on observe un rétrécissement du gap du semi-conducteur. Cet effet trouve trois origines. Premièrement, les interactions entre atomes d'impuretés adjacents induisent une séparation des niveaux d'énergie en bandes d'énergie. Deuxièmement, la distribution des dopants étant aléatoire dans le réseau, des différences de potentiel apparaissent localement et génèrent du désordre. Il en résulte la formation de queues de bandes. Et enfin, les interactions entre porteurs libres et dopants affectent les densités d'état au niveau des bords de bande. Sachant que les extrémités du SCR sont toujours fortement dopées, ces phénomènes de rétrécissement de gap peuvent faciliter l'injection de minoritaires dans ces régions et ainsi accentuer les mécanismes de recombinaisons de surface discutés précédemment [7].

La circulation du courant à travers le SCR génère des échauffements qu'il est nécessaire de dissiper à travers la structure. Plus précisément, les porteurs libres concèdent de l'énergie au réseau par le biais des recombinaisons et des échanges avec le champ électrostatique, tant au niveau du volume que des contacts du composant [268].

La Figure 210 reporte les résultats de simulation concernant un SCR 2,5 kV pour lequel le poids des différents phénomènes physiques discutés ci-dessus a été étudié [268]. La courbe (1) représente le cas de référence. Tous les mécanismes sont intégrés, la T ambiante est de 400 K et le SCR est monté sur un radiateur dont la conductance (G_R) s'élève à $50 \text{ W.cm}^{-2}\text{.K}$. Les relevés sont effectués sur les 5 premières millisecondes d'une onde 50 Hz. La courbe (2) est obtenue de façon similaire mais cette fois-ci, le radiateur est considéré parfait. La température du SCR est donc maintenue constante. Plus les densités de courant sont fortes et plus l'effet de la dissipation est visible. En favorisant G_R , le SCR devient capable de conduire des densités de courant plus élevées. Cette observation est encore plus nette sur la courbe (3) où G_R a été réduite à $1,35 \text{ W.cm}^{-2}\text{.K}$. La courbe (4) dérive de la situation (1) avec le retrait des recombinaisons Auger. Le cas (5) repose sur le même principe cependant, ce sont cette fois-ci les interactions porteur / porteur qui ont été supprimées. Quant à la courbe (6), elle regroupe les deux configurations précédentes. Pour des densités de courants modérées, de l'ordre de 100 A.cm^{-2} telles qu'appliquées pour évaluer V_{TM} , toutes les courbes sont très proches, indiquant une prédominance des recombinaisons SRH. Par ailleurs, Adler précise que la grande majorité de ces recombinaisons est localisée dans le substrat N et la région P_1 du SCR (Cf. Figure 207). Le dopage de la région N_1^+ limite en effet l'injection de minoritaires et donc les recombinaisons de surface. Il observe également une coïncidence entre les zones de recombinaisons et d'échauffement. Pour des densités de courant plus intenses, de l'ordre de 1000 A.cm^{-2} pouvant correspondre à une situation d' I_{TSM} , les recombinaisons Auger et les interactions porteur / porteur s'affirment et pèsent significativement sur les résultats. Adler retrouve une répartition des recombinaisons similaires au cas V_{TM} , cependant cette fois-ci, la densité de puissance générée dans le substrat est plus prononcée. Un échauffement de type ohmique est donc venu s'ajouter. Pour conclure, la courbe (7) provient du cas

(6) pour lequel le rétrécissement du gap n'est plus pris en compte. La comparaison des deux courbes montre que cet effet reste secondaire par rapport aux autres mécanismes discutés précédemment.

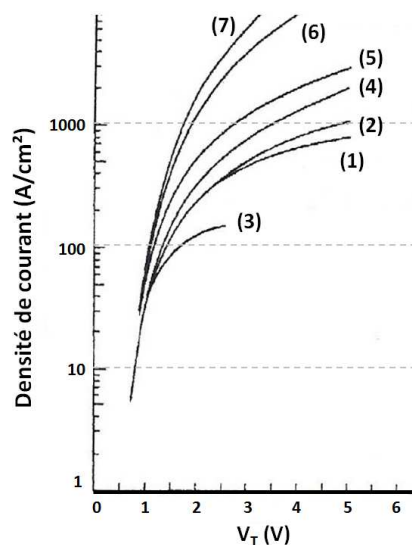


Figure 210 : Importance de différents mécanismes physiques sur V_T : cas d'un SCR 2,5 kV à $T = 400$ K selon [268] (Cf. texte pour plus de détails).

En conclusion, la ZA doit être dimensionnée correctement de façon à ce que les densités de courant soient idéalement ajustées pour des résultats V_{TM} et I_{TSM} en phase avec les besoins de l'application, sans aboutir à des tailles de puce démesurées. Minimiser les pertes en conduction suppose également de porter une attention particulière sur la durée de vie des porteurs et leurs longueurs de diffusion, notamment lorsque l'épaisseur du substrat est imposée par la tenue au blocage du TRIAC, ce qui est souvent le cas.

Spécifiquement à l' I_{TSM} , les aspects thermiques ne sont pas à négliger. Un assemblage favorisant la dissipation de la chaleur apportera toujours de meilleures performances. Il est également évident que des connexions puce / boîtier (par exemple des fils) sous-dimensionnées ou mal soudés seront générateurs de fragilités face à tout type de surcharges en courant et bien évidemment l' I_{TSM} . Précisons au final que les considérations évoquées dans ce paragraphe ne sont valables qu'en deçà d'une température dite de filamentation (T_{fil}). Passé T_{fil} , un processus irréversible conduisant à la dégradation du composant est enclenché [269].

A.2 Court-circuitage des émetteurs du TRIAC

Que l'on considère le SCR positif ou négatif du TRIAC, chaque séquence d'amorçage implique l'activation d'un transistor NPN de puissance. Maximiser ce gain NPN facilite l'accès à de faibles I_{GT} , I_H ou encore I_L . En contrepartie, des gains NPN trop élevés limitent l'immunité du TRIAC et notamment sa tenue en tension, sa tenue au dv/dt et sa commutation ON / OFF (di/dt_c). Ce paragraphe

rappellera ces problématiques et décrira la méthode de court-circuitage habituellement utilisée pour obtenir un compromis convenable.

A.2.a Description de la méthode de court-circuitage

Court-circuiter les émetteurs N^+ du TRIAC (Régions N^+_1 et N^+_2 sur la Figure 21 du chapitre 1) consiste à contacter simultanément des couches N^+ et P au niveau des électrodes A1 et A2. L'intégration des SCRs positif et négatif impose naturellement un premier court-circuitage principal. La technique consiste donc à répartir judicieusement de nouvelles zones de court-circuit de façon à homogénéiser le niveau de sensibilité. Les Figures 211 illustrent ces propos avec une représentation schématique de la ZA supérieure (ou inférieure) d'un TRIAC. La Figure 211a décrit le cas où ZA ne présente que le court-circuit principal. Le niveau de sensibilité n'est pas homogène dépendamment du positionnement au niveau de l'émetteur N^+ . La Figure 211b inclut quant à elle des trous de court-circuit supplémentaires de façon à rééquilibrer le niveau de sensibilité en tout point de la région N^+ .

De façon à mieux appréhender le phénomène, considérons le SCR de la Figure 212 issu de la coupe verticale donnée en Figure 211a. Si l'on nomme J_B la densité de courant traversant la base P_2 sous l'émetteur N^+_1 et ρ_B la résistance carrée de cette même couche, il est possible d'exprimer le potentiel $V_B(x)$ au point x tel que [7]:

Équation G.7
$$V_B(x) = \frac{J_B \cdot \rho_B \cdot x^2}{2}$$

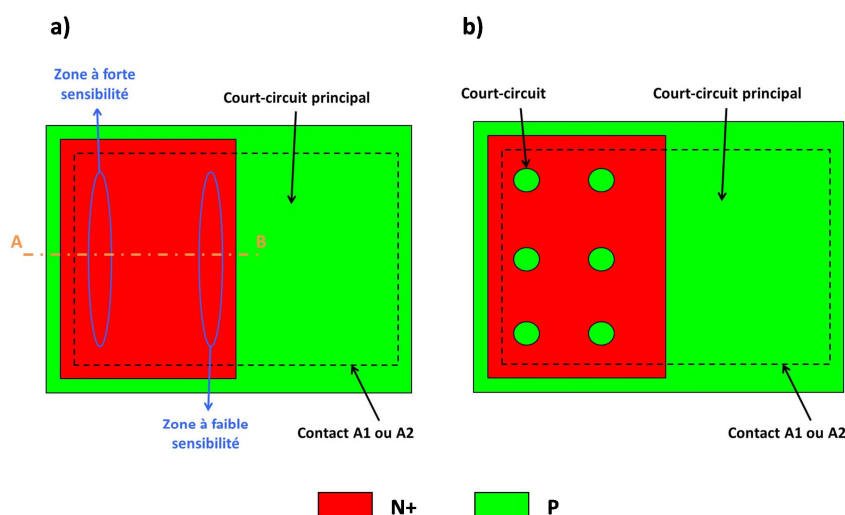


Figure 211 : Représentation schématique de la ZA d'un TRIAC : a) ZA non homogène en matière de sensibilité b) ZA équilibrée par ajout de trous de court-circuit supplémentaires.

Plus $V_B(x)$ est élevé, plus la résistance vu par le courant I_B au point x est forte et plus le TRIAC est sensible. Dans le cas de la Figure 212, le potentiel est maximal au niveau du point A et selon l'équation G.7, $V_B(A)$ prend la forme :

Équation G.8
$$V_B(A) = \frac{I_B \cdot \rho_B \cdot W^2}{2}$$

On comprend alors aisément qu'en jouant sur la distance W , il est possible de contrôler la sensibilité du TRIAC.

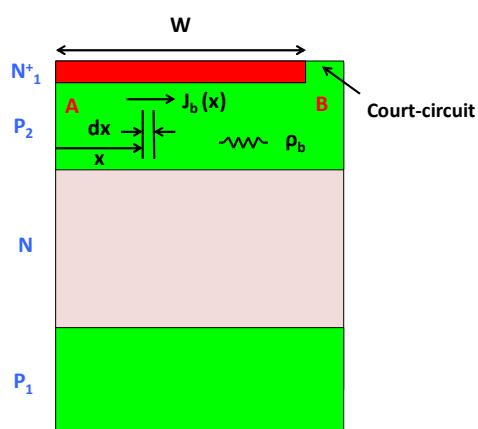


Figure 212 : Coupe verticale AB du SCR relatif à la Figure 211a (seul le Si contacté est représenté).

A.2.b Impact sur les paramètres I_{GT} et I_L

Par mesure de simplicité, les raisonnements seront tenus sur des SCR, néanmoins toutes les problématiques évoquées seront systématiquement repositionnées dans le cadre du TRIAC.

A.2.b.i Quadrant Q1

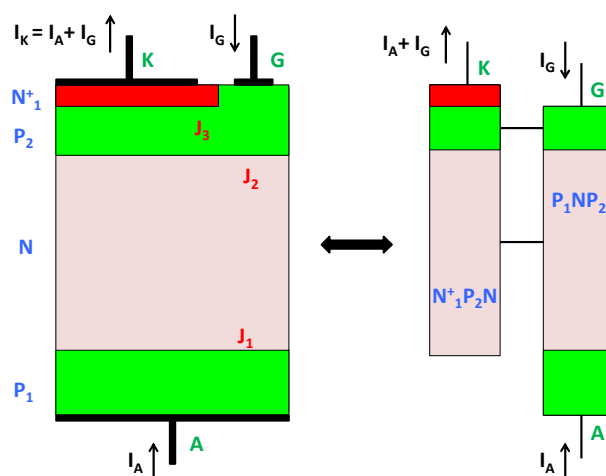


Figure 213 : Structure SCR à commande Q1 et son découpage en transistors élémentaires.

Considérons le SCR à commande Q1 de la Figure 213 et son découpage en transistors élémentaires tel que décrit de façon simplifiée dans le paragraphe 3.1 du chapitre 1. Dans cette configuration, l'anode (A) et la gâchette (G) sont toutes deux polarisées positivement par rapport à la cathode (K). Les jonctions J_1 (P_1N) et J_3 ($N^+_1P_2$) sont donc passantes et J_2 (P_2N) est bloquée.

Le déclenchement du SCR se résume en quatre étapes. Premièrement, un courant de trous issus de la gâchette (I_G) et du courant de génération produit à travers la jonction J_2 (I_{gen}^+) alimente la base du transistor $N^+_1P_2N$. Deuxièmement, un courant d'électrons issus du fonctionnement de $N^+_1P_2N$ et du courant de génération dans J_2 (I_{gen}^-) alimente la base du transistor P_1NP_2 . Troisièmement, un courant de trous supplémentaire issu de P_1NP_2 est injecté dans la base de $N^+_1P_2N$. Finalement, le SCR s'amorce et s'auto-entretient.

Analytiquement, le courant de base (I_{B2}) du transistor $N^+_1P_2N$ s'écrit :

$$\textbf{Équation G.9} \quad I_{B2} = I_{E2} - I_{C2} = I_A + I_G - \alpha_2(I_A + I_G) - I_{gen}^-$$

α_2 correspond au gain du transistor $N^+_1P_2N$.

Le courant de trous (I_{trou}) alimentant la base de $N^+_1P_2N$ s'exprime tel que :

$$\textbf{Équation G.10} \quad I_{trou} = \alpha_1 \cdot I_A + I_{gen}^+ + I_G$$

α_1 correspond au gain du transistor P_1NP_2 .

Le courant de génération global (I_{gen}) additionne celui des électrons (I_{gen}^-) et des trous (I_{gen}^+) :

$$\textbf{Équation G.11} \quad I_{gen} = I_{gen}^+ + I_{gen}^-$$

I_{trou} et I_{B2} représentent la même entité, de fait ils s'égalisent. En considérant par ailleurs l'équation G.11, il vient alors :

$$\textbf{Équation G.12} \quad I_A = \frac{\alpha_2 \cdot I_G + I_{gen}}{1 - \alpha_1 - \alpha_2}$$

En augmentant progressivement I_G , les gains α_1 et α_2 croissent pour se rapprocher de la condition de déclenchement $\alpha_1 + \alpha_2 = 1$. A l'amorçage, les niveaux de courant I_G et I_A correspondent respectivement aux paramètres I_{GT} et I_L définis dans la section 2 du premier chapitre. Notons que I_A est heureusement limité par l'impédance de la charge, le SCR fusionnerait sinon. Au regard de l'équation G.12, il est donc évident que plus les gains $N^+_1P_2N$ et P_1NP_2 seront forts et plus les paramètres I_{GT} et I_L seront faibles.

Si l'on se réfère à la Figure 211b, la situation décrite ci-dessus ne reflète pas réellement la situation du SCR positif intégré dans un TRIAC. En effet, l'électrode A1 connecte à la fois les zones N^+_1 et P_2 . La Figure 214 propose une structure SCR plus réaliste vis-à-vis du TRIAC.

Un court-circuit a été inséré au niveau de la cathode, il en résulte un chemin résistif R_{b1} et de fait un courant additionnel I_{shunt} qui se soustrait au courant de trous alimentant la base de $N^+_1P_2N$. L'équation G.12 se transforme alors telle que [9]:

Équation G.13
$$I_A = \frac{\alpha_{eff} \cdot I_G + I_{gen}}{1 - \alpha_1 - \alpha_{eff}}$$

Le gain α_{eff} correspond au gain effectif du transistor $N^+_1P_2N$ résultant de la présence de I_{shunt} soit :

Équation G.14
$$\alpha_{eff} = \frac{\alpha_2 I_{E2}}{I_A + I_G} = \frac{\alpha_2}{1 + \frac{I_{shunt}}{I_{E2}}}$$

I_{E2} représente le courant d'émetteur du transistor $N^+_1P_2N$.

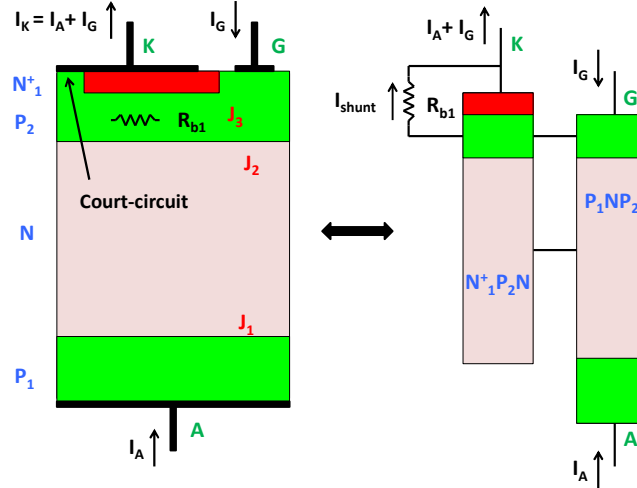


Figure 214 : Structure SCR court-circuitée à commande Q1 et son découpage en transistors élémentaires.

Le courant I_{shunt} se formule tel que :

Équation G.15
$$I_{shunt} = \frac{V_{E2}}{R_{b1}}$$

V_{E2} représente le potentiel aux bornes de la jonction J_3 .

Notons également que le courant à travers la jonction J_3 peut s'exprimer sous la forme :

Équation G.16
$$I_{E2} = I_{E2s} \left[\exp \left(\frac{q \cdot V_{E2}}{n \cdot k \cdot T} \right) - 1 \right]$$

I_{E2s} correspond au courant de saturation de la jonction J_3 .

En injectant les équations G.15 et G.16 dans G.14, α_{eff} devient :

Équation G.17
$$\alpha_{eff} = \frac{\alpha_2}{1 + \frac{V_{E2}}{R_{b1} I_{E2s} \left[\exp\left(\frac{q V_{E2}}{n k T}\right) - 1 \right]}}$$

L'équation G.17 nous montre que α_{eff} diminue plus V_{E2} tend vers zéro. Quelques dixièmes de volts sont nécessaires pour que α_{eff} s'approche de α_2 . La présence du court-circuit induit donc une désensibilisation de la structure. La technique de court-circuitage des émetteurs N^+ du TRIAC repose donc sur l'ajustement de α_{eff} . Le passage de α_2 à α_{eff} doit être maîtrisé de façon à ne pas engendrer des I_{GT} trop forts et de fait, incompatibles avec le besoin de certaines applications.

A.2.b.ii Quadrant Q3

Le cas du SCR à commande Q3 est représenté en Figure 215 avec son découpage en transistors élémentaires tel que décrit de façon simplifiée au paragraphe 3.1 du chapitre 1. Un court-circuit a directement été intégré. Dans cette configuration, A et G sont toutes deux polarisées négativement par rapport K. Les jonctions J_1 (P_2N), J_3 ($N^+_2P_1$) et J_4 ($N^+_3P_2$) sont donc passantes et J_2 (P_1N) est bloquée.

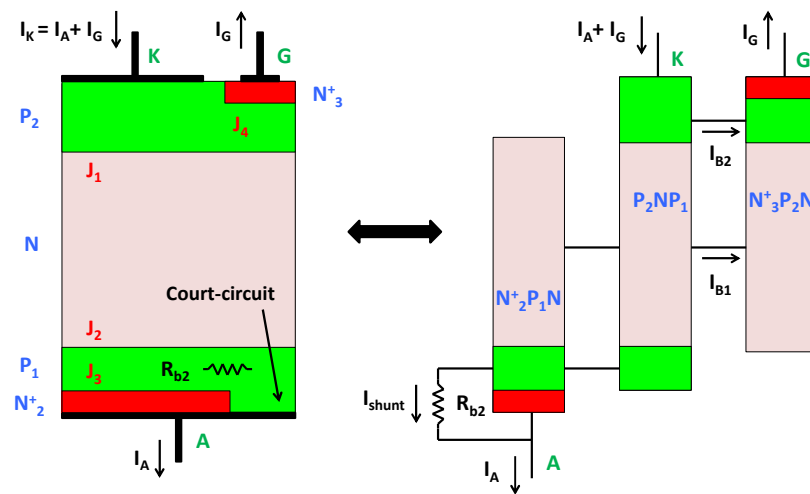


Figure 215 : Structure SCR court-circuitée à commande Q3 et son découpage en transistors élémentaires.

La séquence d'amorçage reste simple. Tout d'abord, un courant de trous (I_{B2}) provenant de la cathode nourrit la base du transistor de gâchette $N^+_3P_2N$. Un courant d'électrons (I_{B1}) est alors injecté dans la base du transistor P_2NP_1 . L'activation de P_2NP_1 enclenche le transistor $N^+_2P_1N$ et donc la mise en marche du SCR.

L'approche analytique du mécanisme d'amorçage reste similaire à celle évoquée pour le quadrant Q1 en remarquant les égalités G.18 à G.21.

Équation G.18 $I_G = I_{B1} + I_{B2}$

Équation G.19 $I_{B1} = \alpha_3 \cdot I_G$

Équation G.20 $I_A = I_{E2} + I_{shunt}$

Équation G.21 $\alpha_{eff} = \frac{\alpha_2 \cdot I_{E2}}{I_A}$

α_2 et α_3 correspondent respectivement aux gains des transistors $N^+_2P_1N$ et $N^+_3P_2N$. I_{E2} représente le courant émetteur du transistor $N^+_2P_1N$.

L'expression de I_A peut alors être obtenue [9]:

Equation G.22 $I_A = \frac{\alpha_1 \cdot \alpha_3 \cdot I_G + I_{gen}}{1 - \alpha_1 - \alpha_{eff}}$

α_1 représente le gain du transistor P_2NP_1 .

L'examen de l'équation G.22 nous conduit à des conclusions similaires au quadrant Q1. En augmentant I_G , les gains α_1 , α_{eff} et α_3 s'élèvent jusqu'à atteindre la condition d'amorçage $\alpha_1 + \alpha_{eff} = 1$. Le court-circuit exprimé par α_{eff} permet toujours le contrôle de la sensibilité du SCR.

Par ailleurs, la présence de la résistance R_{b1} (plus communément appelée R_{GK}) discutée au paragraphe A.2.b.i (Cf. Figure 214) influe également sur la sensibilité du SCR négatif du TRIAC. La prise en compte de cette dernière suppose en effet de substituer I_G par le terme $I_G - \frac{V_{E3}}{R_{GK}}$ dans l'équation G.22. V_{E3} représente alors la tension aux bornes de la jonction J_4 . Le courant $\frac{V_{E3}}{R_{GK}}$ constitue en fait un courant perdu pour le mécanisme d'auto-entretien du SCR.

A.2.b.iii Quadrant Q2

La séquence de déclenchement du SCR à commande Q2 est plus complexe. Dans ce mode de fonctionnement, A et G sont respectivement polarisées positivement et négativement par rapport à K. Les jonctions J_1 (P_1N) et J_4 ($N^+_3P_2$) sont donc passantes alors que J_2 (P_2N) et J_3 ($N^+_1P_2$) sont bloquées (Cf. Figure 216). Le caractère OFF de J_3 nécessite la distinction de deux grandes étapes. Il est en effet nécessaire d'enclencher au préalable le SCR de gâchette ($P_1 / N / P_2 / N^+_3$) pour pouvoir ensuite naturellement inverser la polarisation de J_3 et amorcer le SCR de puissance [9].

Un court-circuit a également été représenté. Ce dernier est nécessaire pour alimenter la base du transistor de gâchette.

La Figure 217a représente une décomposition élémentaire de la structure lors de la première phase d'amorçage. La jonction J_3 étant bloquée, elle n'a pas été représentée. Un courant de trous (I_{shunt}) provenant de la cathode alimente la base du transistor de gâchette N^+P_2N . Dès lors, des électrons sont injectés dans la base du transistor P_1NP_2 (I_{B1}). En réponse, un courant de trous additionnel alimente la base de N^+P_2N . Le SCR de gâchette se déclenche. I_{shunt} est limité par la résistance R_{b1} , de fait P_1NP_2 devient le principal contributeur en trous de la Base P_2 . En poursuivant l'augmentation de I_G , la région P_2 à proximité de la gâchette est suralimentée, les trous en excès polarisent la jonction J_3 et le courant I_{shunt} s'inverse. La seconde phase débute, elle est caractérisée par la Figure 217b. L'amorçage prend alors une tournure plus classique. La base du transistor N^+P_2N étant correctement nourrie (I_{B2}), des électrons sont injectés dans le substrat, c'est-à-dire la base de P_1NP_2 . Le fonctionnement de ce transistor s'étend donc de la gâchette à la puissance. Le SCR de puissance entre à son tour en conduction.

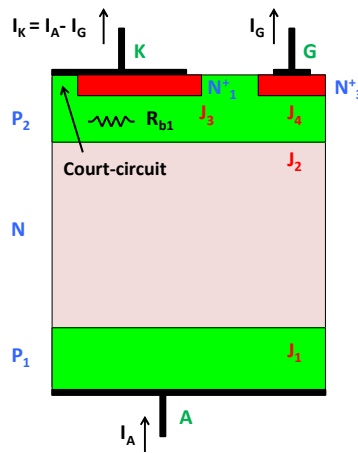


Figure 216 : Structure SCR court-circuitée à commande Q2.

D'un point de vue analytique, en reprenant des raisonnements similaires à ceux discutés pour les amorçages Q1 puis Q3, il est possible de caractériser chacune des deux phases [9].

Dans la phase 1, on relie I_G , I_{shunt} et I_{B1} tel que :

$$\text{Équation G.23} \quad -I_{shunt} + \frac{\alpha_3}{1-\alpha_3} I_{B1} = \frac{(\alpha_3 + \alpha_4 - 1)I_G + I_{gen}}{1-\alpha_3}$$

α_3 et α_4 représentent les gains des transistors de gâchette P_1NP_2 et N^+P_2N respectivement.

Dans la phase 2, on exprime I_G et I_A en fonction de I_{B1} et I_{B2} :

$$\text{Équation G.24} \quad I_A - I_G = \frac{I_{B2}(1-\alpha_1) - \alpha_1 I_{B1} + I_{gen}}{1-\alpha_1 - \alpha_{eff}}$$

α_1 correspond au gain du transistor de puissance P_1NP_2 (comparativement à l'amorçage Q3, on notera que les émetteur et collecteur du transistor P_1NP_2 doivent être inversés) et α_{eff} est le gain effectif du transistor $N^+_1P_2N$ matérialisant l'impact du trou de court-circuit sur le gain réel (α_2) de ce même transistor. Dans le cadre de l'amorçage Q2, α_{eff} s'écrit tel que:

Équation G.25 $\alpha_{eff} = \frac{\alpha_2 I_{E2}}{I_A - I_G}$

I_{E2} représente le courant d'émetteur du transistor $N^+_1P_2N$.

Avec l'augmentation de I_G , les gains α_3 et α_4 croissent et entraînent le déclenchement du SCR de gâchette. Les courants I_{B1} et I_{B2} alimentent alors les deux bases du SCR de puissance selon l'équation G.24. En poursuivant l'élévation de I_G , les gains α_1 et α_2 prennent à leur tour de l'ampleur et la condition d'amorçage $\alpha_1 + \alpha_{eff} = 1$ finit par être atteinte. Une fois encore, on constate que la sensibilité du SCR est ajustable par l'intermédiaire de α_{eff} .

Si l'on se positionne dans le cas du SCR positif du TRIAC, comme pour l'amorçage Q3, il convient de substituer I_G par le terme $I_G - \frac{V_{E3}}{R_{GK}}$ où V_{E3} correspond toujours à la tension aux bornes de la jonction J_4 .

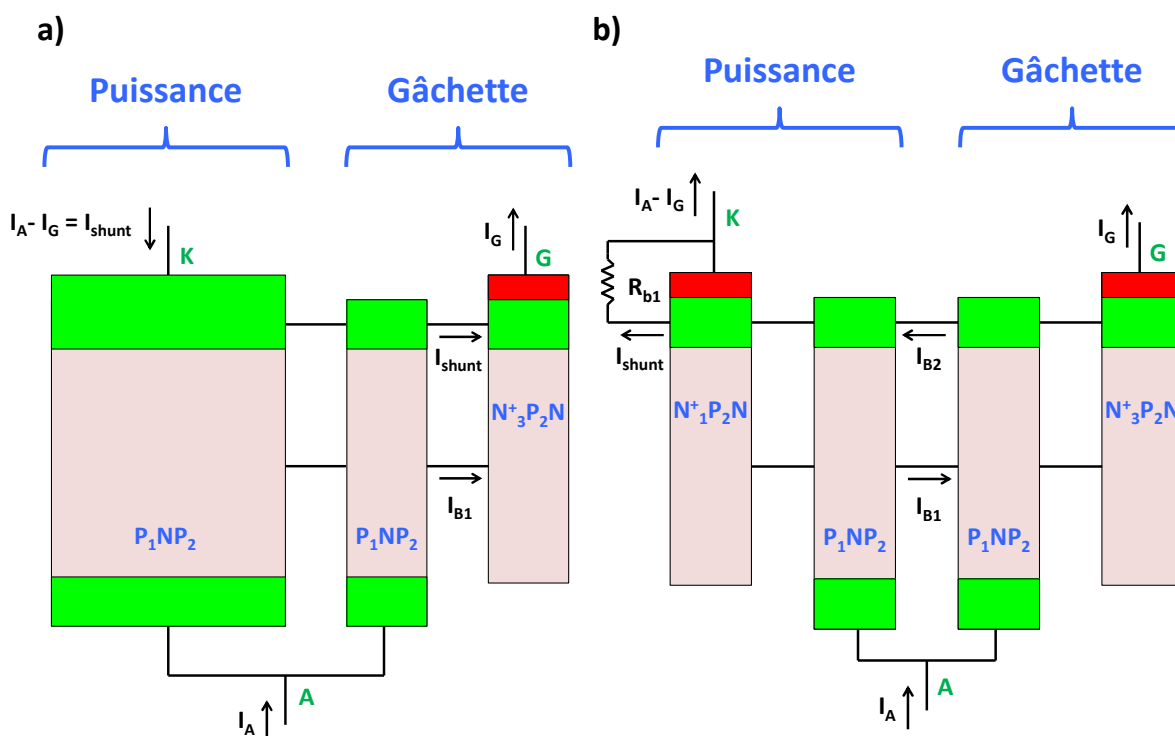


Figure 217 : Décomposition du SCR Q2 en transistors élémentaires : a) première phase b) seconde phase de l'amorçage (Voir texte pour la description complète du mécanisme d'amorçage faisant intervenir chacune des deux phases).

A.2.b.iv Quadrant Q4

L'amorçage dans le quadrant Q4 se rapproche de Q2 dans le sens où un SCR de gâchette est également impliqué [9]. Dans ce mode de fonctionnement, A et G sont respectivement polarisées négativement et positivement par rapport à K. La Figure 218 présente la structure globale d'un SCR à commande Q4. Les jonctions J_1 (P_2N), J_3 (N^+P_1) et J_4 (N^+P_2) sont donc passantes alors que J_2 (P_1N) est bloquée. En début de séquence et compte tenu des tensions appliquées aux bornes du SCR, le courant de gâchette (I_{shunt}) circule de la gâchette vers la cathode. Dans la première phase de l'amorçage, I_K est donc négatif d'où la nécessité d'un SCR annexe pour inverser la tendance.

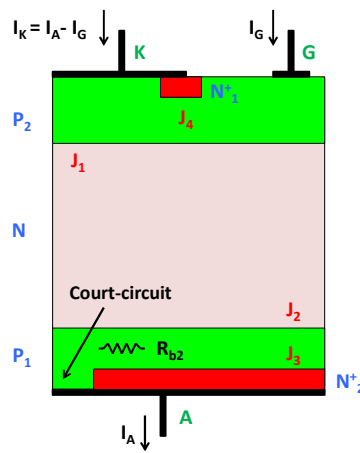


Figure 218 : Structure SCR court-circuitée à commande Q4.

De façon analogue au quadrant Q2, nous distinguerons deux étapes clefs dans la séquence du déclenchement. La Figure 219a présente la structure du SCR Q4 dans sa première phase. Le SCR de gâchette y est représenté par l'intermédiaire des deux transistors P_2NP_1 et N^+P_1N . Par contre au niveau de la puissance, seul le transistor N^+P_2N est indiqué. Le courant de gâchette circulant de G vers K (I_{shunt}) bloque en effet le fonctionnement de la jonction principale J_1 .

Le mécanisme d'amorçage est donc initié par le transistor N^+P_2N localisé au niveau de la puissance. Un courant d'électrons est alors injecté dans la base du transistor P_2NP_1 de gâchette (I_{B1}). L'amorçage du SCR de gâchette est lancé. En se référant aux paragraphes précédents, il vient l'expression analytique suivante:

$$\text{Équation G.26} \quad I_G = \frac{I_{shunt}(1-\alpha_3-\alpha_4)-\alpha_4(I_{B1}+I_{shunt_2})+I_{gen}}{1-\alpha_3-\alpha_4}$$

I_{shunt_2} traduit la présence d'un court-circuit au niveau de la couche N^+_2 en face arrière et α_3 , α_4 représentent les gains des transistors de gâchette P_2NP_1 et N^+P_1N respectivement.

La condition de déclenchement du SCR de gâchette est donc atteinte lorsque $\alpha_3 + \alpha_4 = 1$. On notera que l'efficacité du gain α_4 est contrebalancée par le courant I_{shunt_2} , traduisant la présence d'un court-circuit dans N^+_2 . Cette caractéristique est un élément différentiateur important par rapport à l'amorçage Q2 et explique en partie la difficulté d'obtenir des I_{GTQ4} faibles.

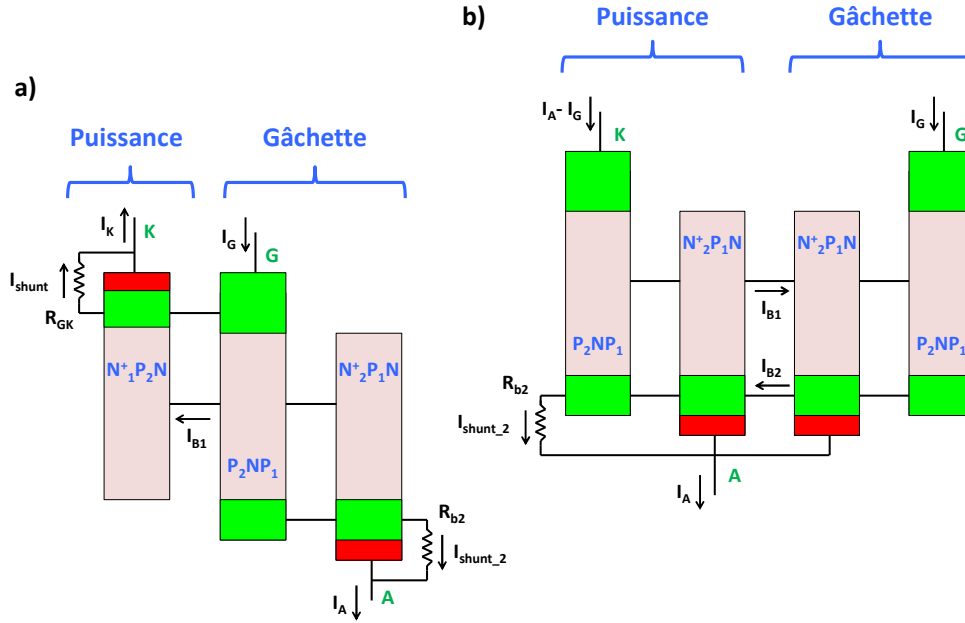


Figure 219 : Décomposition du SCR Q4 en transistors élémentaires : a) première phase b) seconde phase de l'amorçage (Voir texte pour la description complète du mécanisme d'amorçage faisant intervenir chacune des deux phases).

A cette étape, le substrat N dispose de deux sources d'électrons : les transistors $N^+_2P_1N$ et $N^+_1P_2N$. Rapidement le transistor $N^+_2P_1N$ prend le dessus du fait du niveau d'injection imposé par le SCR de gâchette et le substrat est suralimenté. Les électrons en excès finissent par polariser la jonction J_1 , le courant I_{B1} s'inverse. Le transistor de puissance P_2NP_1 entre en fonctionnement, initiant ainsi l'auto-entretien du SCR de puissance. La Figure 219b traduit cette seconde et dernière phase d'amorçage. Analytiquement, nous pouvons écrire :

$$\text{Équation G.27} \quad I_A - I_G = \frac{I_{B1}(\alpha_{eff}-1) + \alpha_{eff}I_{B2} + I_{gen}}{1 - \alpha_1 - \alpha_{eff}}$$

Tel que défini pour le quadrant Q3, α_1 représente le gain du transistor de puissance P_2NP_1 . α_{eff} correspond quant à lui au gain effectif du transistor $N^+_2P_1N$. Il matérialise l'impact du trou de court-circuit (I_{shunt_2}) sur le gain réel (α_2) de ce même transistor. Dans le cadre de l'amorçage Q4, α_{eff} se définit selon la formule G.28.

$$\text{Équation G.28} \quad \alpha_{eff} = \frac{\alpha_2 I_{E2}}{I_{E2} + I_{shunt_2}}$$

I_{E2} correspond au courant d'émetteur du transistor N^+P_1N de puissance.

Une fois encore la mise en conduction du SCR de puissance sera effective lorsque sera atteinte la condition $\alpha_1 + \alpha_{eff} = 1$. Un ajustement de la sensibilité du SCR Q4 semble possible par l'intermédiaire de α_{eff} , néanmoins la marge de manœuvre est plus limitée. En effet, nous avons besoin du déclenchement du SCR de gâchette, cela suppose I_{shunt_2} faible. Or si I_{shunt_2} est trop faible alors on retrouve $\alpha_{eff} = \alpha_2$.

La description de l'amorçage Q4 proposée dans ce paragraphe s'applique directement au cas du TRIAC et son SCR négatif. Le déclenchement du TRIAC dans le quadrant Q4 est donc complexe et peut nécessiter quelques subtilités de conception [270, 271]. Bien souvent, les fabricants de TRIAC s'affranchissent de ce quatrième mode de déclenchement de façon à proposer de meilleures tenues en tension (Cf. paragraphe A.2.e) ou encore des dv/dt et $didt_c$ plus attractifs (Cf. paragraphe A.2.d).

A.2.c Impact sur le paramètre I_H

Le TRIAC reste en conduction tant que le courant qui le traverse reste supérieur à I_H . En s'appuyant sur la Figure 212 du paragraphe A.2.a et en remarquant que la densité de courant J_B correspond alors aux recombinaisons de minoritaires résultant du fonctionnement du transistor N^+P_2N , nous pouvons écrire [7] :

Équation G.29 $J_B = (1 - \alpha_{NPN})J_K$

α_{NPN} représente ici le gain du transistor N^+P_2N . En reprenant l'équation G.7 et en y injectant G.29, on obtient :

Équation G.30 $V_B(x) = \frac{(1 - \alpha_{NPN})J_K}{2} \rho_B \cdot x^2$

Le TRIAC s'ouvrira à partir du moment où le potentiel V_B au niveau du point le plus sensible de l'émetteur s'abaissera sous la tension de diffusion de la jonction N^+P_2 (V_{bi}). Dans le cas de la Figure 212, le potentiel le plus sensible est localisé au point A et I_H s'exprime selon la formule :

Équation G.31 $I_H = \frac{2 \cdot V_{bi}}{(1 - \alpha_{NPN}) \rho_B \cdot W^2}$

De l'équation G.31, il est évident que plus le gain du transistor NPN sera élevé et plus le TRIAC bénéficiera d'un I_H faible. En insérant un réseau de court-circuit (distance W), il est possible de réduire la sensibilité du TRIAC. En contrepartie, si W est trop faible, I_H est susceptible d'adopter des valeurs trop pénalisantes au niveau de l'application.

Bien entendu, le raisonnement ci-dessus s'applique aux deux SCR positif et négatif du TRIAC.

A.2.d Impact sur les paramètres dv/dt et di/dt_c

A.2.d.i Transitoirs dv/dt

Lorsque le TRIAC est bloqué, la capacité de jonction (C_j) du TRIAC se charge systématiquement suite à des variations brutales de tension (dv/dt), entraînant la circulation d'un courant dans le TRIAC. La capacité équivalente du TRIAC résulte essentiellement de sa jonction bloquante. Si l'on se réfère au paragraphe A.2.a et sa Figure 212, J_B devient :

$$\text{Équation G.32} \quad J_B = C_j \frac{dV}{dt}$$

En reprenant l'équation G.7 et en y injectant G.32, on obtient :

$$\text{Équation G.33} \quad V_B(x) = C_j \frac{dV}{dt} \frac{\rho_B}{2} x^2$$

La capacité C_j s'exprime telle que :

$$\text{Équation G.34} \quad C_j = \sqrt{\frac{q \cdot \epsilon_s \cdot N_D}{2(V_A + V_{bi})}}$$

ϵ_s représente la constante diélectrique du semi-conducteur, N_D le dopage du substrat et V_A la tension appliquée.

La robustesse du TRIAC se traduit par sa capacité à rester ouvert lorsque ces variations de tension lui sont appliquées. La tenue dv/dt_{max} sera donc définie lorsque $V_B(x) = V_{bi}$ au niveau du point le plus sensible de l'émetteur, à savoir le point A sur la Figure 212. Il vient donc :

$$\text{Equation G.35} \quad dv/dt_{max} = \frac{2 \cdot V_{bi}}{C_j \cdot \rho_B \cdot W^2}$$

En examinant l'équation G.35, on constate simplement que plus la distance W entre deux trous de court-circuit sera élevée et moins le TRIAC sera capable d'encaisser des transitoires rapides sans se déclencher. Désirer des paramètres I_{GT} , I_L ou encore I_H faibles s'opposent donc à la maximisation des tenues en dv/dt .

Notons également que l'implantation de G à proximité de A1 influe fortement sur la distribution du potentiel sous l'émetteur N_1^+ (Cf. chapitre 1, Figure 21). D'une résistance R_{GK} élevée découle un émetteur fortement sensible à proximité de G. En fait, le courant de déplacement généré par dv/dt (on parle ici de dv/dt en direct où A2 est polarisé positivement par rapport à A1) s'apparente à un I_{GT} et facilite le retournement du TRIAC. Si l'immunité du TRIAC ou sa tenue en tension s'en retrouvent affaiblies, cette caractéristique le préserve aussi des dégradations de type dI_T/dt généralement

encourues lorsqu'il se déclenche subitement. En règle générale, la gâchette est en effet dimensionnée pour supporter des amorçages rapides (Cf. section B de cette même annexe).

Un dernier élément doit également être ajouté au niveau de l'équation G.33. Nous avons supposé une densité de courant capacitive homogène tout le long de la jonction. Cette hypothèse n'est pas tout à fait réaliste. Les densités sont souvent maximisées au niveau des courbures 3D et 2D des jonctions. L'intégration de la gâchette dans ces zones aura donc tendance à exacerber le phénomène discuté précédemment.

Pour terminer ce paragraphe, la description donnée ci-dessus permet seulement un jugement qualitatif du comportement du TRIAC face aux dv/dt . Les outils de simulation numériques permettent des évaluations plus précises. Des phénomènes de second ordre comme des effets de gain et leurs variations avec la durée de vie des porteurs et/ou la tension appliquée peuvent également être pris en compte.

A.2.d.ii Couple (di/dt_c ; dv/dt_c)

La problématique du dv/dt se pose également lorsque le TRIAC doit basculer de ses états ON à OFF. On parle aussi de commutation di/dt_c . Dans cette phase, les performances en dv/dt sont affaiblies par la présence de porteurs libres injectés dans le substrat durant la conduction du TRIAC.

Les formes d'onde présentes au niveau du TRIAC lors de ses commutations ON/OFF s'apparentent complètement à celles d'une diode en phase de recouvrement [7]. La Figure 220 se focalise sur les instants principaux de la commutation dans la configuration où le TRIAC finit par s'ouvrir. A $t = t_0$, le courant de puissance I_T s'annule. Les charges accumulées dans le substrat maintiennent la polarisation de l'état ON. A partir de $t = t_1$ la jonction bloquante commence à se dépeupler de porteurs et la tension réapparaît à ses bornes. A $t = t_2$, la tension aux bornes du TRIAC correspond à la tension imposée par l'application (V_R) et le courant atteint sa valeur pic I_{RP} . Le courant continue de décroître jusqu'à atteindre sa valeur de courant de fuite (I_R) à $t = t_3$.

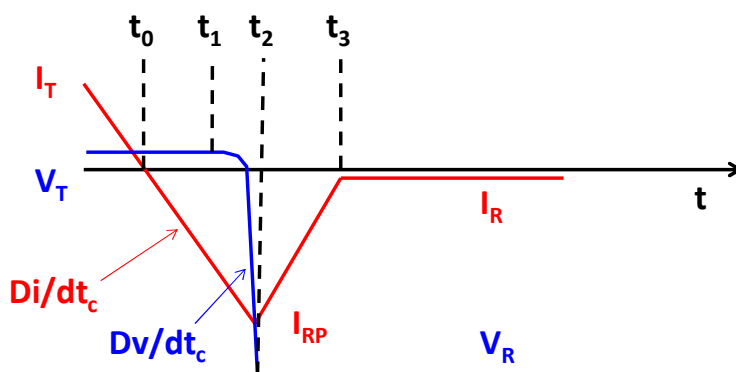


Figure 220 : Phases de recouvrement typiques lors du blocage du TRIAC (selon [7]).

Le cas discuté ci-dessus est favorable. Certaines situations ne conduisent pas au blocage. Imaginons par exemple que le SCR négatif conduise et que sur la demi-alternance suivante le SCR positif doit s'ouvrir. Comme le montre la Figure 221 (flèches bleues), des trous stockés dans le substrat diffusent du SCR négatif vers le SCR positif (de t_0 à t_1). A partir de t_1 , le champ électrique qui réapparaît au niveau de la jonction bloquante leur est favorable, ils atteignent la couche P_2 . Un courant de déplacement (trous) traduit par dv/dt_c vient également s'ajouter (flèches noires). Une portion de ce courant de trous alimente la base du SCR positif et peut entraîner son déclenchement. Le mécanisme d'amorçage correspond alors à celui discuté au paragraphe A.2.b.i.

En fait, plus la vitesse de décroissance du courant (di/dt_c) est forte et plus la quantité de porteurs diffusant du premier SCR vers le second est grande. La ré-application de la tension inverse peut également évoluer de façon défavorable. Dans le cas où des charges inductives sont contrôlées ou simplement par la présence d'inductances parasites, des rebonds de tension peuvent apparaître à la commutation ($L \cdot \frac{di}{dt}$) générant des dv/dt_c plus élevés. A noter également que les gains impliqués dans les mécanismes d'amorçage s'élèvent avec la tension. L'ensemble de ces effets limitent donc les performances en di/dt_c du composant.

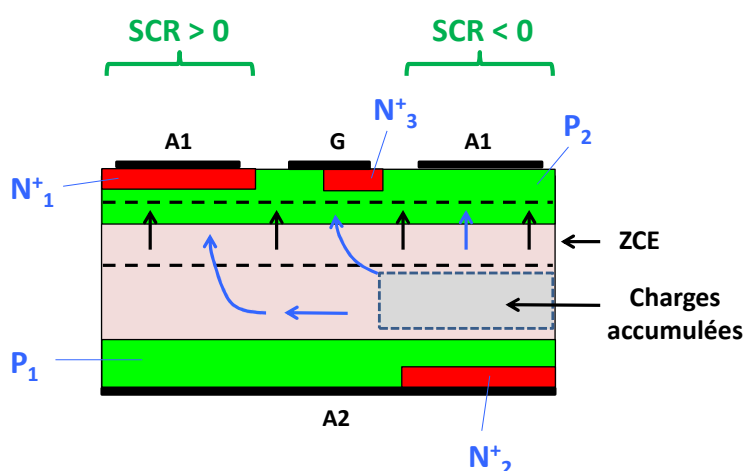


Figure 221 : TRIAC et courants de porteurs lors de la commutation. Les flèches noires reflètent le courant de déplacement, les flèches bleues le courant associé aux charges accumulées.

La technique de court-circuitage agira donc favorablement sur les performances de commutation du TRIAC. Il est également possible de réduire la durée de vie des porteurs minoritaires en ajoutant des pièges en milieu de bande par irradiation électronique ou dopage Or [7]. En contrepartie, les paramètres de courants de fuite et d'amorçage (I_{GT}) seront impactés.

A.2.e Impact sur la tenue en tension

Nous avons constaté au paragraphe 4.2.2 du chapitre 1 une limitation de la tenue en tension de fait de gains trop élevés. En ajoutant un court-circuit tel que décrit sur la Figure 212 et en reprenant la discussion tenue dans le paragraphe A.2.b.i de ce même annexe à propos de l'amorçage Q1, l'équation 1.28 donnée au chapitre 1, paragraphe 4.2.2, peut se réécrire :

$$\text{Équation G.36} \quad I_{A2} = I_{A1} = \frac{I_{gen}}{1 - \alpha_{eff} - \alpha_{PNP}}$$

Le gain effectif α_{eff} s'exprime tel que :

$$\text{Équation G.37} \quad \alpha_{eff} = \frac{\alpha_{PNP}(I_{A1} - I_{shunt})}{I_{A1}}$$

I_{shunt} représente la proportion de courant déviée par le court-circuit.

En augmentant I_{shunt} , α_{eff} diminue. L'amplification du courant de génération est alors affaiblie et des tenues en tension améliorées peuvent être envisagées.

B. Conception de la gâchette

La zone de gâchette joue bien évidemment un rôle essentiel sur les I_{GT} . Le paragraphe A.2.b a décrit dans le détail les mécanismes mis en jeu. Nous avons également vu au paragraphe A.2.d.i que la présence de G à proximité de A1 pouvait influencer l'aptitude du TRIAC à supporter des transitoires dv/dt sans se déclencher. En matière de conception de la gâchette, il est également impératif d'évoquer le dI_T/dt à l'amorçage. Cette seconde section traitera donc en premier lieu cette problématique avant de synthétiser les dessins de gâchettes les plus couramment pratiqués sur les TRIACs de faibles puissances.

B.1 dI_T/dt à l'amorçage

Lorsque le mécanisme d'amorçage est enclenché, seule une petite partie de la ZA à proximité de la zone de gâchette conduit. On parle de zone primaire d'amorçage (ZPA). Des porteurs diffusent ensuite dans les régions adjacentes et polarisent progressivement la totalité de l'émetteur. L'élargissement de la surface conductrice se caractérise par la vitesse de propagation du plasma (v_p). Si la vitesse de croissance du courant traversant le TRIAC (dI_T/dt) augmente trop rapidement, une forte densité de puissance est générée dans la ZPA, pouvant conduire à un point de fusion et donc une défaillance du TRIAC.

L'élévation de température (ΔT) au niveau du point chaud peut être estimée selon la formule donnée par G.38 [8].

Équation G.38 $\Delta T \propto \frac{di}{dt} v_p^k$

L'exposant k est une constante dont la valeur serait liée à la géométrie de la zone de gâchette, $k \approx 1$ et $k \approx 2$ respectivement pour des formes rectangulaires et circulaires.

L'équation G.38 a été obtenue pour un SCR classique.

En ce qui concerne dI_T/dt , une analyse simple s'appuyant toujours sur un SCR [7] montre la relation suivante :

Équation G.39 $dI_T/dt \propto J_G$

J_G représente la densité du courant de gâchette.

Cette étude s'appuie sur la boucle de réaction existant entre les deux transistors NPN et PNP constituant le SCR et ne prend pas en compte les phénomènes de recombinaison. Une forte densité de courant de gâchette autorise donc le TRIAC à supporter des dI_T/dt plus rapides.

A propos de v_p , des expérimentations encore relatives au SCR ont montré qu'une élévation de température, une réduction de la largeur de base P , ainsi qu'une augmentation de sa résistivité, favorisaient une propagation rapide du plasma de conduction. A l'inverse, il semble que plus le réseau de trous de court-circuit est dense et plus v_p est handicapée. Cette conclusion est aussi valable lorsque l'on réduit la durée de vie des porteurs minoritaires. L'épaisseur du substrat N n'a quant à lui pas montré d'impact significatif [272].

Des temps d'amorçages plus longs sont observés dans les quadrants Q2, Q3 et Q4 du TRIAC compte tenu de la structure de gâchette particulière imposée par les mécanismes d'amorçage. Néanmoins, la discussion ci-dessus s'applique tout à fait. Le courant de puissance commence en effet à circuler dès lors que l'auto-entretien des SCRs composant le TRIAC est initié.

B.2 Etat de l'art des dessins de gâchette

On distingue trois grandes familles de dessin de gâchette autour de laquelle s'architecture la puce TRIAC complète.

La première est dite « rectangulaire », elle est représentée en Figure 222 en vues de dessus et de dessous. Les couches de diffusions correspondent à celles présentées sur la Figure 21 du chapitre 1. Ce type de conception permet d'obtenir des TRIACs très sensibles. En contrepartie, ses performances en immunité sont limitées. On réservera donc ce type de réalisation pour des petits calibres en courant. Par ailleurs, son facteur de forme impose un coefficient k proche de 1 (Cf. équation G.38), soit non optimisé vis-à-vis du dI_T/dt à l'amorçage. Pour compenser, la surface de gâchette doit être augmentée

ce qui conduit à des surfaces de puce surdimensionnées. Néanmoins, les aspects d'assemblage peuvent naturellement engendrer un dimensionnement de gâchette imposant. La largeur du contact peut en effet devenir très vite pénalisante d'un point de vue connectique (Cf. chapitre 1, paragraphe 5.2.2).

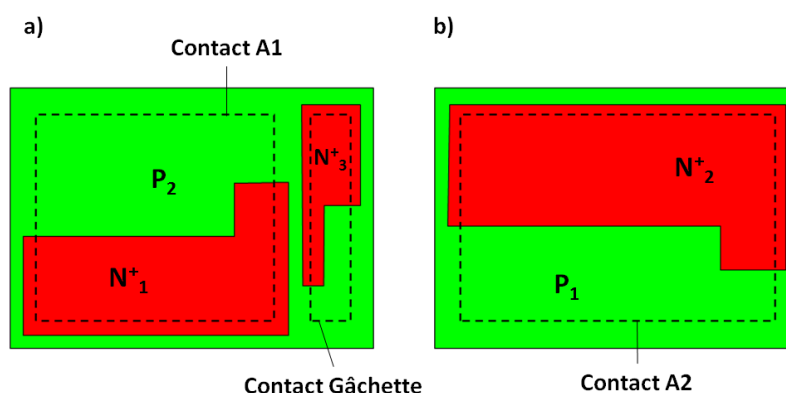


Figure 222 : Dessin de TRIAC à gâchette rectangulaire : a) vue de dessus b) vue de dessous.

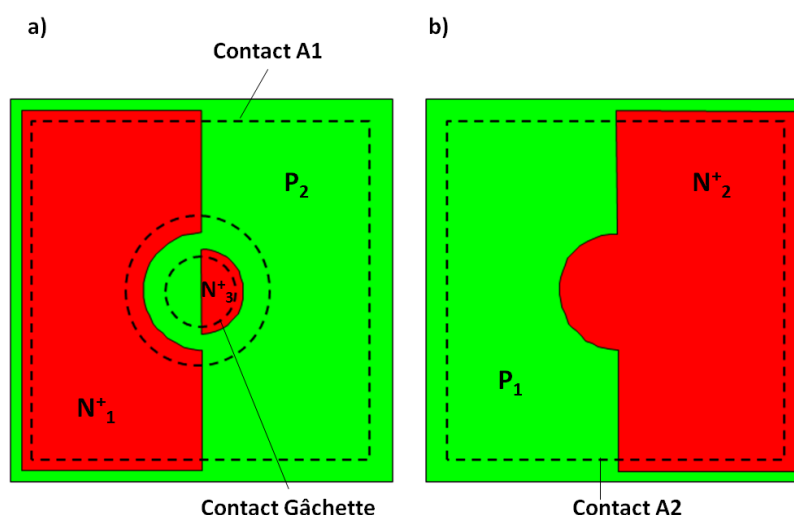


Figure 223 : Dessin de TRIAC à gâchette circulaire : a) vue de dessus b) vue de dessous.

La Figure 223 représente le cas où la gâchette est circulaire. Ce type de conception est plus approprié pour des calibres en courant plus élevés où l'on recherche de la performance en dI_T/dt à l'amorçage. Le coefficient k (Equation A, paragraphe B.1) est en effet plus proche de 2, limitant ainsi l'apparition de points chauds lors de montées rapides du courant de puissance. Par ailleurs, il est plus difficile d'ajuster correctement des résistances R_{GK} vers des valeurs hautes synonymes de sensibilité. De fait, ces TRIACs disposent en règle générale de très bons résultats en commutation et dv/dt . Ajoutons également que la position de la gâchette dans le centre de la puce limite l'impact du courant de déplacement souvent exacerbé dans les courbures de jonction 2D et/ou 3D. L'assemblage de telles puces reste tout de même compliqué. On utilise en règle générale des connectiques en cuivre (clip),

préformées selon la forme du contact. Ces dernières sont ensuite soudées sur la puce (Cf. chapitre 1, paragraphe 5.2.2).

La troisième solution constitue finalement un compromis entre le désir de sensibilité, de robustesse en dI_T/dt et d'immunité (dv/dt et di/dt_c). Comme le montre la Figure 224, la gâchette est positionnée dans un coin de la puce. Elle offre également une certaine liberté au niveau de l'assemblage. Ainsi, cette configuration est aujourd'hui la plus pratiquée dans le domaine des TRIACs à faible puissance.

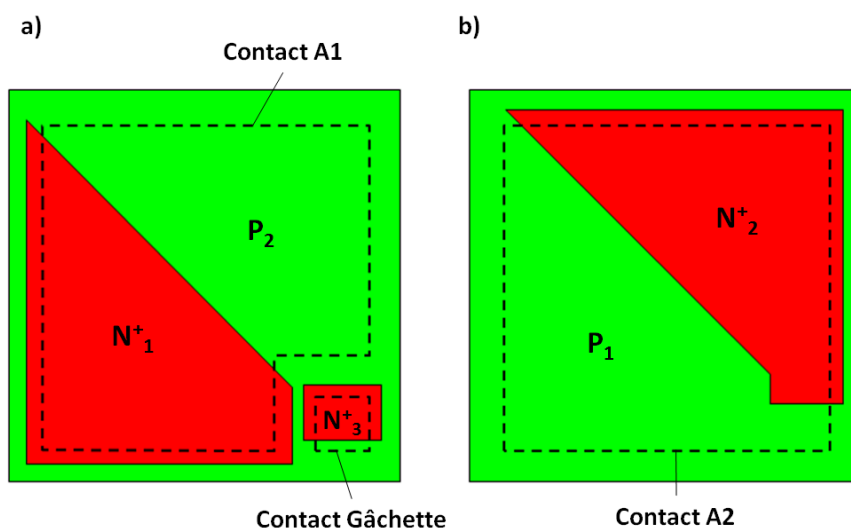


Figure 224 : Dessin de TRIAC à gâchette en coin : a) vue de dessus b) vue de dessous.

ANNEXE H : Dessins du TRIAC P_{iso}-PS et des motifs de caractérisation

Que ce soient le TRIAC ou les motifs de caractérisation, toutes les puces présentaient une géométrie carrée de côté 4 mm. Ce choix a permis de faciliter le remplissage du wafer et de l'équilibrer vis-à-vis des problématiques de voile des plaquettes.

Huit masques ont été utilisés (Cf. chapitre 4, Tableau 13):

- P_{iso} supérieur,
- P_{iso} inférieur,
- P⁺ supérieur,
- N⁺ supérieur,
- N⁺ inférieur,
- PS supérieur,
- Passivation supérieure,
- Métallisation supérieure.

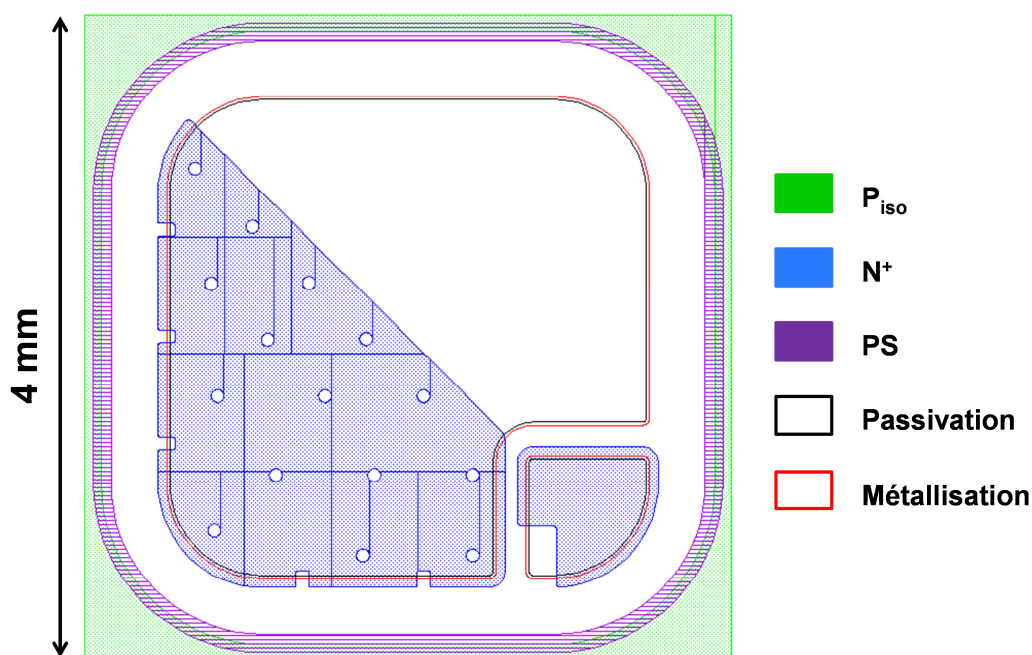


Figure 225: Dessin de la face avant du TRIAC. Cinq masques sont nécessaires : P_{iso}, N⁺, PS, Passivation et Métallisation.

En ce qui concerne les niveaux P^+ , passivation et métallisation inférieurs, des protections ont été utilisées lors du traitement de la face supérieure, aucun masque n'est requis. Le dopage P^+ inférieur est en effet réparti sur la totalité du wafer. De plus, aucune passivation n'est nécessaire sur la face arrière et la métallisation y est également déposée et maintenue sur toute la surface.

Les dessins du TRIAC, respectivement sur les faces avant et arrière sont donnés en Figure 225 et 226. Un positionnement de la gâchette dans le coin de la ZA a été choisi (Cf. annexe G, paragraphe B.2).

La surface de contact (zone active) du TRIAC vaut $7,6 \text{ mm}^2$.

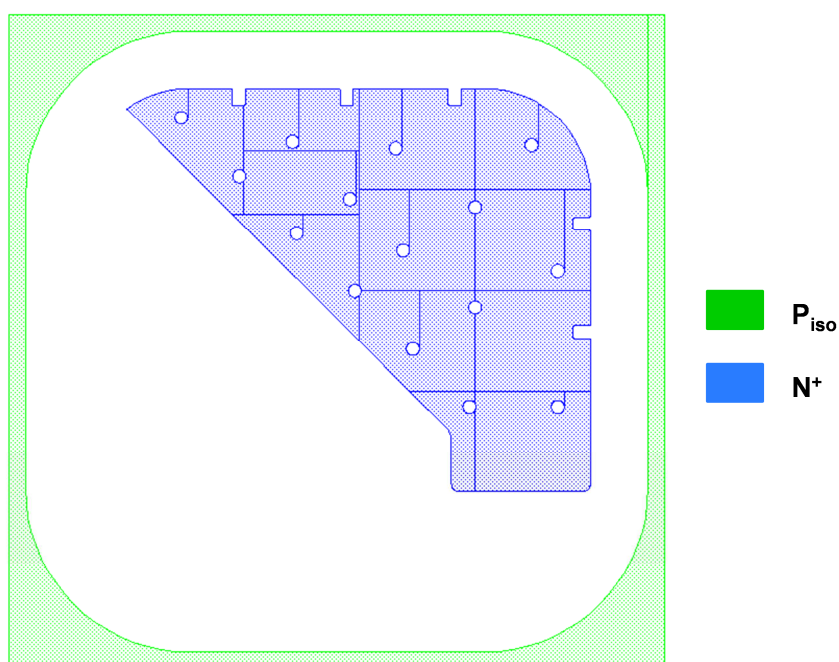


Figure 226 : Dessin de la face arrière du TRIAC. Deux masques sont nécessaires : P_{iso} et N^+ .

Le dessin des trois motifs de caractérisation Int_1 , Int_2 et Int_3 sont respectivement représentés sur les Figures 227, 228 et 229. Sur ces motifs, la surface de contact du PS a fait l'objet d'expérimentations. Cinq surfaces de l'anneau de passivation recouvrant le Ca_{PS} ont en effet été considérées : $0,014$; $0,04$; $0,09$; $0,14$ et $0,18 \text{ mm}^2$. En ce qui concerne les dispositifs Int_1 et Int_2 , la surface de contact P^+ (pour Int_1) ou N^+ (pour Int_2) a été dans tous les cas maintenue constante et égale à 2 mm^2 .

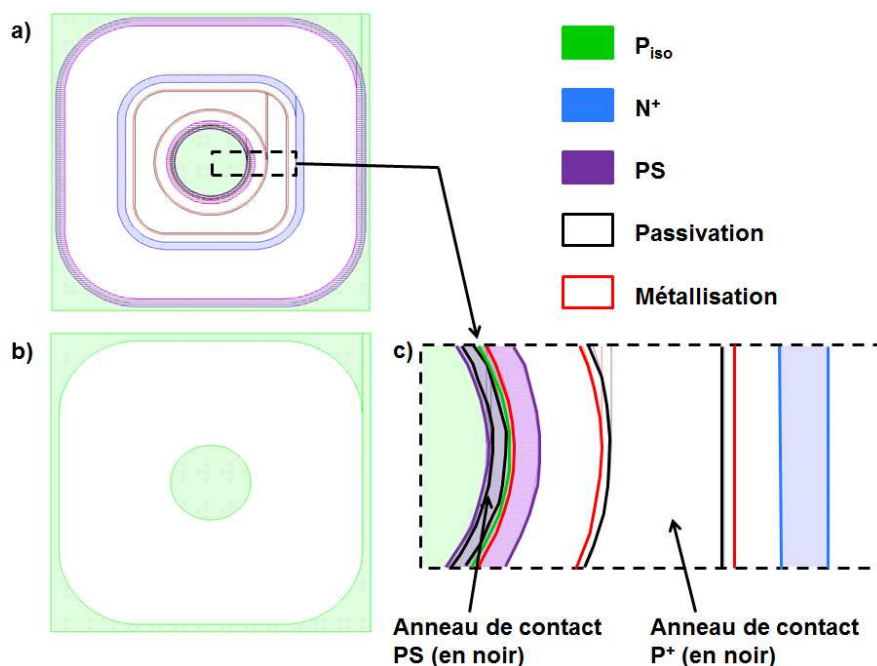


Figure 227 : Dessin du motif de caractérisation Int₁ : a) face avant b) face arrière c) zoom sur la zone de contact PS (face avant). Cinq masques sont nécessaires pour la face supérieure: P_{iso}, N⁺, PS, Passivation et Métallisation. Un masque est nécessaire pour la face inférieure: P_{iso}. Les dopages P⁺ supérieur et inférieur sont disposés sur la totalité des deux faces de la puce.

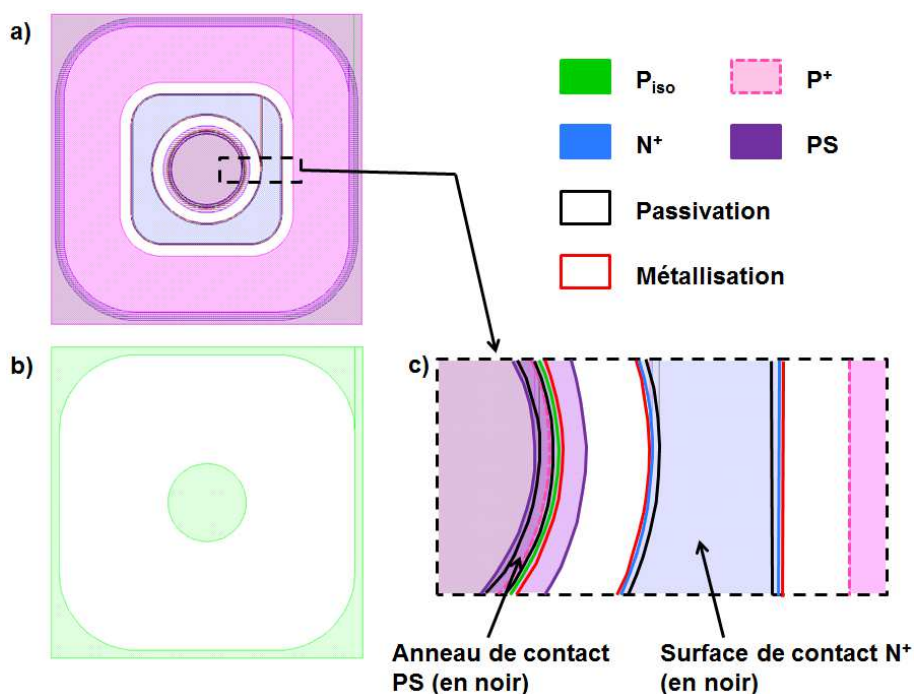


Figure 228 : Dessin du motif de caractérisation Int₂ : a) face avant b) face arrière c) zoom sur la zone de contact PS (face avant). Six masques sont nécessaires pour la face supérieure: P_{iso}, P⁺, N⁺, PS, Passivation et Métallisation. Un masque est nécessaire pour la face inférieure: P_{iso}. Le dopage P⁺ inférieur est disposé sur la totalité de la surface de la puce.

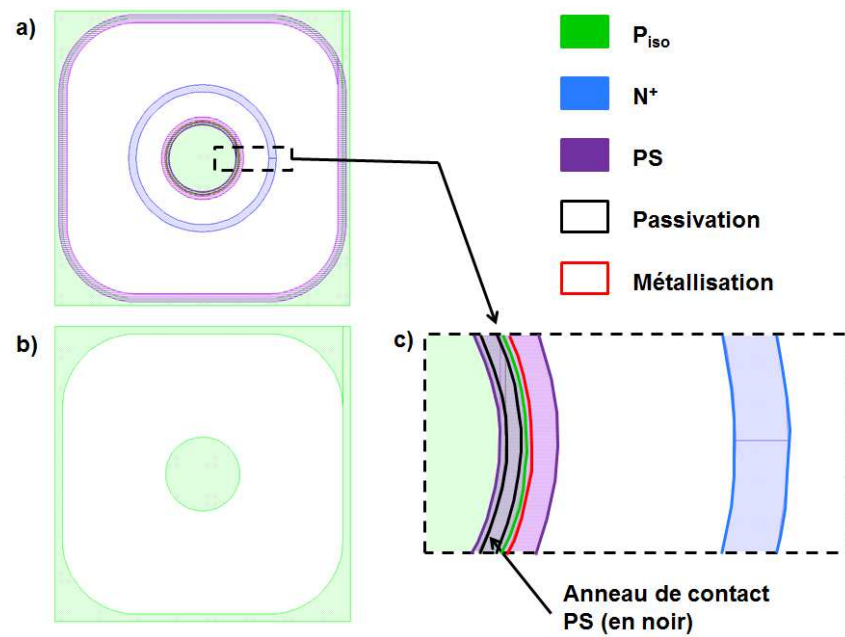


Figure 229 : Dessin du motif de caractérisation Int₃ : a) face avant b) face arrière c) zoom sur la zone de contact PS (face avant). Cinq masques sont nécessaires pour la face supérieure: P_{iso} , N^+ , PS, Passivation et Métallisation. Un masque est nécessaire pour la face inférieure: P_{iso} . Les dopages P^+ supérieur et inférieur sont disposés sur la totalité des deux faces de la puce.

ANNEXE I : Fichiers de simulations SENTAURUS

(Synopsys)

A. Construction de la périphérie PS : outil « sde »

```
;; DEFINITION VARIABLES ET PARAMETRES (@PARAM@)
(define ep_sub 210)
(define large_sub 1100)
(define Bulk 1.2e14)
(define Dop_poreux 1e12)

(define Xj_P 20)
(define Cs_P 5e18)
(define Intercept_P Bulk)
(define P_lat 0.8)
(define Pos_P 0)

(define Xj_Piso 115)
(define Cs_Piso 5e17)
(define Intercept_Piso Bulk)
(define Piso_lat 0.8)
(define Pos_Piso 0)

(define ouverturePISO @OVPIISO@)
(define miPISO (/ ouverturePISO 2))

(define Middle 553.89474)
(define X1_Piso (- Middle miPISO))
(define X2_Piso (+ Middle miPISO))

;; DEFINITION SUBSTRAT
(sdegeo:create-rectangle (position 0 0 0) (position large_sub ep_sub 0) "Silicon"
"region_substrat" )
(sdedr:define-constant-profile "Profile_Bulk" "PhosphorusActiveConcentration" Bulk)
(sdedr:define-constant-profile-material "Placement_Bulk" "Profile_Bulk" "Silicon")

;; DEFINITION DIFFUSION
(sdedr:define-refeval-window "Position_Psup" "Line" (position 0 0 0) (position large_sub 0
0) )
(sdedr:define-refeval-window "Position_Pinf" "Line" (position 0 ep_sub 0) (position
large_sub ep_sub 0) )
(sdedr:define-refeval-window "Position_Pisosup" "Line" (position X1_Piso 0 0) (position
X2_Piso 0 0) )
(sdedr:define-refeval-window "Position_Pisoinf" "Line" (position X2_Piso ep_sub 0) (position
X1_Piso ep_sub 0) )

(sdedr:define-gaussian-profile "Profile_P" "BoronActiveConcentration" "PeakPos" Pos_P
"PeakVal" Cs_P "ValueAtDepth" Intercept_P "Depth" Xj_P "Gauss" "Factor" P_lat)
(sdedr:define-gaussian-profile "Profile_Piso" "BoronActiveConcentration" "PeakPos" Pos_Piso
"PeakVal" Cs_Piso "ValueAtDepth" Intercept_Piso "Depth" Xj_Piso "Gauss" "Factor" Piso_lat)

(sdedr:define-analytical-profile-placement "Placement_Psup" "Profile_P" "Position_Psup" "Both"
"NoReplace" "Eval" "Silicon" 0 "material")
(sdedr:define-analytical-profile-placement "Placement_Pinf" "Profile_P" "Position_Pinf" "Both"
"NoReplace" "Eval" "Silicon" 0 "material")
(sdedr:define-analytical-profile-placement "Placement_Pisosup" "Profile_Piso"
"Position_Pisosup" "Both" "NoReplace" "Eval" "Silicon" 0 "material")
(sdedr:define-analytical-profile-placement "Placement_Pisoinf" "Profile_Piso"
"Position_Pisoinf" "Both" "NoReplace" "Eval" "Silicon" 0 "material")

;; DEFINITION CAISSON PS
(sdegeo:create-polygon
(list
( position 300 0 0 )
( position 300.7578947 5.305263158 0 )
)
```

```

(      position      303.7894737      8.336842105      0      )
(      position      308.3368421      11.36842105      0      )
(      position      315.9157895      13.64210526      0      )
(      position      327.2842105      15.15789474      0      )
(      position      342.4421053      18.18947368      0      )
(      position      353.0526316      20.46315789      0      )
(      position      360.6315789      24.25263158      0      )
(      position      369.7263158      28.8      0      )
(      position      381.8526316      36.37894737      0      )
(      position      393.9789474      43.2      0      )
(      position      412.1684211      53.05263158      0      )
(      position      429.6      61.38947368      0      )
(      position      444.7578947      66.69473684      0      )
(      position      458.4      68.96842105      0      )
(      position      469.7684211      69.72631579      0      )
(      position      484.9263158      69.72631579      0      )
(      position      498.5684211      68.21052632      0      )
(      position      515.2421053      64.42105263      0      )
(      position      528.1263158      60.63157895      0      )
(      position      541.7684211      53.81052632      0      )
(      position      549.3473684      49.26315789      0      )
(      position      553.8947368      44.71578947      0      )
(      position      558.4421053      48.50526316      0      )
(      position      565.2631579      53.05263158      0      )
(      position      574.3578947      57.6      0      )
(      position      584.9684211      62.14736842      0      )
(      position      593.3052632      64.42105263      0      )
(      position      606.1894737      67.45263158      0      )
(      position      619.8315789      68.96842105      0      )
(      position      634.9894737      68.96842105      0      )
(      position      647.8736842      67.45263158      0      )
(      position      663.0315789      64.42105263      0      )
(      position      678.1894737      59.87368421      0      )
(      position      695.6210526      52.29473684      0      )
(      position      710.7789474      43.95789474      0      )
(      position      722.1473684      37.13684211      0      )
(      position      735.7894737      29.55789474      0      )
(      position      746.4      23.49473684      0      )
(      position      757.0105263      19.70526316      0      )
(      position      771.4105263      17.43157895      0      )
(      position      785.8105263      14.4      0      )
(      position      797.1789474      10.61052632      0      )
(      position      801.7263158      7.578947368      0      )
(      position      806.2736842      4.547368421      0      )
(      position      807.7894737      0      0      )
(      position      300      0      0      )
)
"Si_poreux" "region_top_iso")

(sdedr:define-constant-profile "Profile_Poreux" "BoronActiveConcentration" Dop_poreux)
(sdedr:define-constant-profile-material "Placement_Poreux" "Profile_Poreux" "Si_poreux")

;; DEFINITION MAILLAGE
(sdedr:define-refinement-size "Maillage_Global" 5 5 0 0.05 0.05 0 )
(sdedr:define-refinement-material "Placement_Maillage_Global" "Maillage_Global" "Silicon" )
(sdedr:define-refinement-function "Maillage_Global" "DopingConcentration" "MaxTransDiff" 1)

(sdedr:define-refinement-size "Maillage_ISO" 5 5 0 5 5 0 )
(sdedr:define-refinement-material "Placement_Maillage_ISO" "Maillage_ISO" "Si_poreux" )

;; DEFINITION CONTACT
(sdegeo:define-contact-set "Anode" 4 (color:rgb 1 0 0 ) "##" )
(sdegeo:define-contact-set "Cathode1" 4 (color:rgb 0 1 0 ) "##" )
(sdegeo:define-contact-set "Cathode2" 4 (color:rgb 0 1 0 ) "##" )

(sdegeo:insert-vertex (position 200 0 0))
(sdegeo:define-2d-contact (car (find-edge-id (position 100 0 0))) "Cathode1")

(sdegeo:insert-vertex (position 900 0 0))
(sdegeo:define-2d-contact (car (find-edge-id (position 1000 0 0))) "Cathode2")

(sdegeo:define-2d-contact (car (find-edge-id (position 100 ep_sub 0))) "Anode")

;; COMMANDES DE GENERATION DU MAILLAGE
(sde:set-meshing-command "snmesh -a -c boxmethod")
(sdedr:append-cmd-file "")
(sde:build-mesh "snmesh" "-a -c boxmethod" "n@node@msh")

```

B. Simulation électrique de la caractéristique direct de la périphérie PS: outil « sdevice »

```

Math {
    NoAutomaticCircuitContact
    DirectCurrentComputationAtContact
    Transient = BE
    Method = ParDiSo
    NotDamped=50
    Extrapolate
    RelErrControl
    Digits=5
    ErrRef(electron)=1.e8
    ErrRef(hole)=1.e8
    Iterations=40
    -CheckUndefinedModels
}

Plot
{
    CondCurrent/Vector Current/Vector
    eCurrent/Vector hCurrent/Vector
    eCurrent hCurrent
    eDensity hDensity
    ElectricField/Vector
    eQuasiFermi hQuasiFermi
    eGradQuasiFermi/Vector hGradQuasiFermi/Vector
    eEparallel hEparallel
    Potential Doping SpaceCharge
    SRH Auger Avalanche
    eMobility hMobility
    TotalRecombination
    DonorConcentration AcceptorConcentration
    DisplacementCurrent
}

File
{
    output = "VDv1_@log@"
    current = "VDv1_@plot@"
    plot = "VDv1_@dat@"
    Param = "@parameter@"
}

Physics (Material="Silicon")
{
    Recombination (
        SRH(DopingDependence)
        Auger
        Avalanche (UniBo)
    )
    Mobility ( CarrierCarrierScattering( ConwellWeisskopf )
        HighFieldSaturation )

    EffectiveIntrinsicDensity ( Slotboom NoFermi)

    Temperature=300
}

Physics (Material="Si_poreux")
{
    Temperature=300
}

Physics(MaterialInterface="Si_poreux/Silicon")
{
    Charge(Conc=@Cinter@)
}

```

```

dessis "TRIACPS"
{
  Electrode {
    { name="Anode" voltage= 0.0 areafactor=38000}
    { name="Cathode1" voltage= 0.0 areafactor=38000}
    { name="Cathode2" voltage= 0.0 areafactor=38000}
  }
  File {
    grid = "@tdr@"
  }
}

System
{
  "TRIACPS" "TRI1" (
    Anode=TAn
    Cathode1=TCa
    Cathode2=Tfloat
  )

  Resistor_pset rpol (a TAn) { resistance=5000 }
  Vsource_pset vAK (a 0) { pw1=(0,0,5e-3,500) }

  set(TCa=0)
  Initialize ( TAn=0 Tfloat=0)
}

solve {
  poisson
  Coupled { Poisson Electron Hole contact circuit}
  transient (
    InitialTime=0 FinalTime=5e-3
    InitialStep=1e-10 Minstep=1e-18 MaxStep = 1e-4
    Increment=1.6 Decrement=3
  )
  { coupled (iterations=15) { Poisson Electron Hole contact circuit}
  }
}

```

C. Fichier de paramètres associés aux simulations « sdevice »

```

Material = « Si_poreux » {
  Bandgap {Eg0 = 1.1696}
  Epsilon = @epsilon@
  ConstantMobility : { mumax = 0 , @μps_moy@}
}

```

PÉRIPHÉRIE TRIAC À BASE DE SILICIUM POREUX

Résumé

Ces travaux de thèse portent sur le développement d'une périphérie innovante de TRIAC exploitant le caractère semi-isolant du silicium poreux (PS). L'intégration de caissons PS type P à partir des profils de dopage du TRIAC est en effet accessible. Une revue des propriétés électriques du PS type P réalisée à partir de nos propres échantillons méso voire micro-poreux a donc été entreprise. Des mesures de capacités et des relevés I-V ont ainsi permis de déterminer l'évolution de la constante diélectrique relative du PS ainsi que sa résistivité en fonction de la porosité. Plus cette dernière est élevée et plus les propriétés diélectriques du PS se rapprochent de celles d'un isolant. L'analyse des résultats a également permis de clarifier les mécanismes de transport des porteurs au sein de la couche de PS.

Des prototypes de TRIACs avec une terminaison de jonction à base de PS ont ensuite été conçus, fabriqués et étudiés. La localisation du PS et la gestion des contraintes mécaniques résultant de la formation du PS sont apparus comme les principaux verrous technologiques à surmonter. Des solutions ont été proposées, néanmoins les tenues en blocage atteintes se sont avérées insuffisantes. Des courants de fuite supérieurs à la dizaine de milliampères ont en effet été mesurés et ce pour des tensions de polarisation de l'ordre de 100 V. La géométrie des caissons PS et/ou la présence de charges fixes à l'interface PS / Silicium sont jugées responsables des résultats. Enfin, en s'appuyant sur un modèle macroscopique du PS, une nouvelle structure plus optimisée a été suggérée.

Mots clefs : *silicium poreux, TRIAC, périphérie, anodisation, propriétés électriques du silicium poreux*

Résumé en anglais

This PhD thesis deals with the development of a novel TRIAC periphery, exploiting the semi-insulating nature of porous silicon (PS). It is namely accessible to integrate P type PS wells through the doping profiles encountered in the TRIAC. Thus, a review of the P type PS electrical properties was achieved through dedicated samples. In this context, capacitance measurements and I-V plots were used to determine the evolution of the PS relative dielectric constant and its resistivity with the porosity. Higher the latter is, more insulating the PS is. By analyzing all the results, it was also possible to clarify the carrier transport mechanisms in the PS.

Some TRIAC prototypes with a PS based junction termination were then designed, processed and studied. The stress coming from the PS formation and the PS masking were the main technological steps to solve. First solutions were proposed, nevertheless insufficient blocking performances were reached. Leakage currents higher than 10 mA were demonstrated while the bias voltage was only 100 V. The presence of fixed charges at the PS / Silicon interface and/or the geometry of the PS wells may explain these results. Finally, with the help of a macroscopic PS model, a more optimized structure was proposed.

Key words: *porous silicon, TRIAC, periphery, anodization, electrical properties of porous silicon*