

**ÉCOLE DOCTORALE EMSTU**

**Groupe de Recherche en Matériaux, Microélectronique, Acoustique,  
Nanotechnologies (GREMAN)**

**THÈSE** présentée par :  
**François IHUEL**

soutenue le : **19 Juin 2012**

pour obtenir le grade de : **Docteur de l'université François - Rabelais**

Discipline/ Spécialité : **Électronique**

**ÉTUDE ET RÉALISATION D'UN  
INTERRUPTEUR DE PUISSANCE  
MONOLITHIQUE BIDIRECTIONNEL  
SUR SUBSTRAT SOI**

**THÈSE dirigée par :**

**VENTURA Laurent**

Professeur, université François - Rabelais (Tours)

**RAPPORTEURS :**

**ANDREU Danielle  
SLAOUI Abdelilah**

Professeure, INP-ENSEEIH (Toulouse)  
Directeur de recherche, CNRS (Strasbourg)

**JURY :**

**ANDREU Danielle  
BATUT Nathalie  
CREBIER Jean-Christophe  
LETHIECQ Marc  
MORILLON Benjamin  
SLAOUI Abdelilah  
TOURNIER Dominique  
VENTURA Laurent**

Professeure, INP-ENSEEIH (Toulouse)  
Maître de conférences, université François - Rabelais (Tours)  
Chargé de recherche, CNRS (Grenoble)  
Professeur, université François - Rabelais (Tours)  
Ingénieur R&D, STMicroelectronics (Tours)  
Directeur de recherche, CNRS (Strasbourg)  
Maître de conférences, INSA (Lyon)  
Professeur, université François - Rabelais (Tours)



*A mes piliers.*

A ma famille,  
A Corinne.



# REMERCIEMENTS

Remerciements.



# RESUME

Ces travaux traitent de la réalisation d'un prototype d'interrupteur monolithique bidirectionnel à base de transistor bipolaire. A terme, l'objectif est de développer un interrupteur intelligent à faible perte, complètement intégrable dans l'habitat.

Nous nous intéressons d'abord aux composants bidirectionnels existants. Nous présentons ensuite deux transistors bipolaires bidirectionnels. Le premier à base large, de fabrication aisée. Le second, symétrique, latéral, sur substrat SOI, à base fine, verticale, autoprotégée, très novateur. Nous les comparons et optons pour le transistor latéral à base fine, puis discutons les différentes étapes de sa fabrication et montrons qu'elle constitue un véritable challenge.

Ensuite, nous détaillons une méthodologie analytique 1D permettant de déterminer les éléments clefs de fabrication de la partie active du transistor. L'étude est validée par des simulations 2D numériques par éléments finis.

Nous continuons par une réflexion sur la périphérie du composant et sa métallisation. Nous détaillons les variantes de réalisation envisagées et montrons que ce composant est robuste vis-à-vis des désalignements entre les masques lors de la fabrication.

Finalement, nous caractérisons les transistors fabriqués. Initialement le dispositif est parasité par des effets de ségrégation des dopants aux interfaces  $\text{SiO}_2 / \text{Si}$ . Nous expliquons qu'il est possible de contrecarrer ces effets, pour finalement valider le concept de transistor bipolaire symétrique latéral sur substrat SOI, à base fine, verticale, autoprotégée.

# ABSTRACT

This study deals with the realization of a prototype of a low losses monolithic bidirectional switch. It is based on a SOI symmetrical and lateral bipolar transistor with a thin, vertical and shielded base. The goal is to produce a switch which can be integrated to smart electronics functions.

First, we compare the existing bidirectional solutions. We then introduce two bidirectional bipolar transistors: one with a wide base, easy to realize, and the other one, patented, symmetrical and lateral, using a SOI substrate, with a thin, vertical and shielded base. We compare these two devices and choose the novel and patented lateral bipolar transistor. We then discuss the challenge of its fabrication.

We then detail a 1D analytical methodology allowing to define rapidly the key steps of the active area transistor realization. The study is then confirmed by finite element 2D numerical simulations (Sentaurus).

Next, we discuss the periphery and metallization of the device. We detail the variant of process introduced. We finally show that this component is robust to masks misaligning during its fabrication.

To the end, the transistors are realized and analyzed. We show that, initially, the segregation of dopants at  $\text{SiO}_2 / \text{Si}$  interfaces implies a parasiting canal in parallel of the transistor. We then explain how to reduce these parasiting effects, to finally validate the concept of a symmetrical and lateral bipolar transistor on a SOI substrate, with a thin, vertical, shielded base.

# TABLE DES MATIERES

Résumé.....	7
Abstract.....	8
Table des matières.....	9
Liste des tableaux.....	13
Liste des figures.....	14
Introduction générale.....	21
<b>I. STRUCTURES BIDIRECTIONNELLES ET CONCEPT DE TRANSISTOR ISIS02</b>	
<b>I.1 Introduction.....</b>	<b>29</b>
<b>I.2 Structures bidirectionnelles en courant et en tension existantes.....</b>	<b>30</b>
I.2.1 TRIAC.....	30
I.2.2 Structure bidirectionnelle blocable à base de MOS-thyristors.....	31
I.2.3 La structure « Planar MOS – Gated AC Switch ».....	33
<b>I.3 Structures imaginées dans le cadre du projet SESAME-ISIS.....</b>	<b>34</b>
I.3.1 Le transistor bipolaire à base large : « Biswitch ».....	34
I.3.2 Structure latérale ISIS02.....	36
I.3.3 Performances électriques.....	45
<b>I.4 Tableau récapitulatif et choix de la structure.....</b>	<b>49</b>
<b>I.5 Technologies disponibles pour la réalisation du composant latéral ISIS02... </b>	<b>52</b>
I.5.1 Techniques d’obtention de l’oxyde de surface.....	52
I.5.2 Techniques de dopages de la zone de base fine.....	55
I.5.3 Choix des technologies.....	64
<b>I.6 Conclusion.....</b>	<b>68</b>

## **II. DETERMINATION ANALYTIQUE DES MASQUES DU VLD ET DE LA BASE FINE – VALIDATION PAR LA SIMULATION**

<b>II.1 Diffusion verticale homogène .....</b>	<b>74</b>
II.1.1 Dopage vertical et bilan thermique associé.....	74
II.1.2 Profils des zones P <sup>+</sup> et N <sup>+</sup> et implications sur la fabrication du dispositif .....	76
<b>II.2 Présentation du procédé de fabrication retenu .....</b>	<b>77</b>
<b>II.3 Mécanismes de ségrégation et d'accumulation des dopants dans le SOI.....</b>	<b>80</b>
II.3.1 La ségrégation et l'accumulation des dopants aux interfaces.....	80
II.3.2 Application au transistor ISIS02 .....	84
II.3.3 Modélisation électrique de la présence d'un canal au niveau de la base .....	86
<b>II.4 Zone de drift .....</b>	<b>88</b>
II.4.1 Présentation de la méthodologie de calcul analytique et limitations .....	88
II.4.2 Calibration des profils Matlab.....	90
II.4.3 Détermination des ouvertures du masque d'implantation VLD par la méthode de calcul analytique.....	93
II.4.4 Validation des calculs par simulations physiques.....	98
II.4.5 Simulation électrique de l'effet RESURF.....	100
II.4.6 Conclusion.....	102
<b>II.5 Zone de Base .....</b>	<b>102</b>
II.5.1 Principe de la compensation .....	103
II.5.2 Calculs analytiques permettant d'obtenir la base fine.....	104
II.5.3 Validation des calculs par la simulation physique .....	105
II.5.4 Simulations électriques.....	107
II.5.5 Conclusion.....	113
<b>II.6 Impact du désalignement entre les masques d'implantations .....</b>	<b>114</b>
II.6.1 Présentation des principaux désalignements .....	114
II.6.2 Impact du désalignement sur la base fine .....	114

II.6.3	Impact du désalignement sur l'effet RESURF .....	117
<b>II.7</b>	<b>Conclusion .....</b>	<b>120</b>
<b>III.</b>	<b>PERIPHERIE ET METALLISATION DU COMPOSANT – VARIATIONS SUR SA FABRICATION</b>	
<b>III.1</b>	<b>Périphérie de puce .....</b>	<b>126</b>
<b>III.2</b>	<b>Limitations liées à la photolithographie et implications sur la fabrication du composant .....</b>	<b>127</b>
III.2.1	Techniques de photolithographie.....	127
III.2.2	Contacts des zones P <sup>+</sup> et N <sup>+</sup> .....	129
<b>III.3</b>	<b>Choix des motifs de base fine.....</b>	<b>132</b>
III.3.1	Motifs de la base.....	132
III.3.2	Ecartements des caissons P <sup>+</sup> .....	134
<b>III.4</b>	<b>Métallisation et considérations sur la dépolarisation.....</b>	<b>136</b>
III.4.1	Résistances de métallisation.....	136
III.4.2	Symétrie de la dépolarisation émetteur - collecteur .....	138
III.4.3	Topologies de métallisation retenues .....	139
<b>III.5</b>	<b>Plan d'expériences .....</b>	<b>143</b>
<b>III.6</b>	<b>Conclusion .....</b>	<b>146</b>
<b>IV.</b>	<b>ANALYSE DES PERFORMANCES DES PROTOTYPES DE TRANSISTORS ISIS02</b>	
<b>IV.1</b>	<b>Caractérisation des transistors ISIS02 réalisés .....</b>	<b>150</b>
IV.1.1	Réalisation des puces .....	150
IV.1.2	Analyses physiques du transistor .....	151
IV.1.3	Autoblindage.....	161
IV.1.4	Tenue en tension par effet RESURF .....	166
IV.1.5	Gain du transistor .....	168

IV.1.6	Conclusion .....	169
<b>IV.2</b>	<b>Effet d'un recuit de neutralisation.....</b>	<b>170</b>
IV.2.1	Intérêt d'un recuit de neutralisation et réalisation de transistors de test.....	170
IV.2.2	Caractérisation de l'autoblindage et du courant de fuite des transistors après traitement de neutralisation .....	172
IV.2.3	Gain des transistors avec traitement de récupération.....	174
IV.2.4	Conclusion .....	175
<b>IV.3</b>	<b>Perspectives .....</b>	<b>176</b>
<b>IV.4</b>	<b>Conclusion .....</b>	<b>179</b>
Conclusion Générale.....		183
Bibliographie .....		191

# LISTE DES TABLEAUX

Tableau I-1 : Récapitulatif des caractéristiques des solutions bidirectionnelles citées. ....	51
Tableau I-2 : Coefficients pour différentes températures d'oxydation sous atmosphère humide (substrat plan <111>, type Bore, $1,45 \cdot 10^{16} \text{ cm}^{-3}$ ) selon [18]. ....	53
Tableau I-3 : Coefficients pour différentes températures d'oxydation sous atmosphère sèche (substrat plan <111>, type Bore, $1,45 \cdot 10^{16} \text{ cm}^{-3}$ ) selon [18]. ....	53
Tableau I-4 : Récapitulatif des technologies disponibles avec leurs principaux avantages et inconvénients respectifs. ....	67
Tableau II-1 : Résumé des étapes de fabrication du composant bidirectionnel. ....	78
Tableau II-2 : Valeur des coefficients de transports d'interface, de piégeage, d'émission pour le phosphore [71]. Valeur des coefficients de ségrégation du phosphore et du bore. ....	82
Tableau II-3 : Bilans thermiques des recuits d'homogénéisation et d'oxydation. Équivalences pour un recuit unique à $1200^\circ\text{C}$ . ....	91
Tableau II-4 : Récapitulatif des positions et demi-largeur des ouvertures d'implantation obtenues par la méthode Lai [80] et par la suite adaptés. ....	95
Tableau II-5 : Évolution de l'autoblindage en fonction des désalignements et pour deux jeux de masques : (a) dose $P_{\text{Base}} 7 \cdot 10^{12} \text{ cm}^{-2}$ - E25 et (b) dose $P_{\text{Base}} 10 \cdot 10^{12} \text{ cm}^{-2}$ - E30. ....	117
Tableau III-1 : Récapitulatif des expériences de fabrication des transistors ISIS02 réalisés. ....	144
Tableau III-2 : Récapitulatif des motifs d'implantation retenus pour l'élaboration de la base, des caissons $P^+$ et des niveaux de métallisation, pour chacune des puces apparaissant sur le réticule. ....	145
Tableau III-3 : Résumé des étapes de fabrication du transistor ISIS02. ....	145
Tableau IV-1 : Résumé des étapes de fabrication du composant bidirectionnel, avec introduction d'un recuit de neutralisation. ....	171
Tableau IV-2 : Résumé des deux axes de fabrication. (a) Procédé incluant une oxydation suivie d'un traitement de neutralisation. (b) Procédé limitant le recours aux recuits de diffusion sous atmosphère oxydante. ....	177

# LISTE DES FIGURES

Figure I-1 : Interrupteur commandable et communicant avec son environnement, tel que défini dans le projet ISIS. ....	29
Figure I-2 : Représentation schématique d'un TRIAC. ....	31
Figure I-3 : Vue en coupe schématique de la structure bidirectionnelle blocable. ....	32
Figure I-4 : Représentation schématique du dispositif « planar MOS – gated AC switch ». ....	33
Figure I-5 : Représentation schématique du transistor bipolaire bidirectionnel à base large, « Biswitch ». ....	34
Figure I-6 : Vue 3D schématisée du transistor bipolaire symétrique ISIS02. ....	36
Figure I-7 : (a) Représentation schématique du champ électrique dans une diode RESURF [7] et avec une désertion complète de la couche $N_{epi}$ . (b) Représentation des lignes équipotentielles dans une diode RESURF sur substrat SOI. ....	37
Figure I-8 : Évolution de la tension d'avalanche en fonction de l'épaisseur de SOI et ce pour différentes épaisseurs d'oxyde enterré [8]. ....	37
Figure I-9 : Évolution de la tenue en tension en fonction de la dose de la région $N_{epi}$ . ....	38
Figure I-10 : (a) Exemple de transistor bipolaire à base autoprotégée. (b) Représentation de l'extension de la zone de charge d'espace à l'état bloqué dans le transistor. ....	39
Figure I-11 : (a) Rappel de la vue 3D du transistor bipolaire symétrique sur substrat SOI. (b) Vue en coupe du dispositif au niveau de la ligne (AB). ....	41
Figure I-12 : (a) Coupe 2D d'un substrat SOI. (b) Méthodes d'obtention de substrats SOI à couches épaisses. ....	42
Figure I-13 : (a) Représentation de la zone de drift. (b) Coupe horizontale du dopage dans la couche active de silicium. ....	43
Figure I-14 : Méthode d'obtention d'un dopage linéaire par variation des ouvertures de masque lors de l'implantation. ....	43
Figure I-15 : (a) Représentation de la base fine traversante. (b) Coupe horizontale du dopage dans la couche active de silicium (SOI). ....	45
Figure I-16 : Vue de dessus (sans oxyde ni métallisation) du transistor bipolaire. ....	45

Figure I-17 : Schématisation de la mesure de tenue en tension (a) avec la base à la masse, et (b) avec la base flottante. Les flèches vertes indiquent l'extension de la ZCE.....	46
Figure I-18 : Représentation 3D (a) du champ électrique et (b) du potentiel électrique dans la structure à l'état bloqué. (Crédit : L.V. Phung) .....	46
Figure I-19 : (a) Champ électrique dans le plan de coupe (AB). (b) Tenues en tension du transistor bipolaire symétrique. ....	47
Figure I-20 : Courbes de gains des structures ISIS02 et Biswitch (en direct et en inverse), en fonction de la densité de courant (respectivement collecteur et émetteur). Pour le transistor ISIS02, les gains directs et inverses sont les mêmes.....	49
Figure I-21 : Caractéristiques de sortie du transistor Biswitch. ....	49
Figure I-22 : Epaisseur d'oxyde thermique en fonction du temps, de la température et du type de recuit (humide / sec).....	54
Figure I-23 : Exemple de transistors unilatéraux MOSFET. (a) Structure classique. (b) Transistor à superjonctions selon [28].....	56
Figure I-24 : (a) Étapes de réalisation d'un VLD et d'une base fine par implantations et épitaxies successives. (b) Forme finale de la base fine. ....	57
Figure I-25 : Exemples d'implantations successives de la base avec désalignements de l'ordre de grandeur de $x_b$ (a), et bien inférieurs à $x_b$ (b). (c) Exemple avec augmentation des ouvertures et désalignements modérés. ....	58
Figure I-26 : Réalisation d'une base fine par tranchée et reprise d'épithaxie.....	59
Figure I-27 : Schéma d'une implantation à haute énergie, selon [55]. ....	61
Figure I-28 : Coefficients de diffusion de l'aluminium, du phosphore, du bore, de l'antimoine et de l'arsenic en fonction de la température, selon [63-64].....	64
Figure II-1 : Evolution du profil de dopage vertical dans la couche active SOI en fonction de la température et du temps de recuit d'homogénéisation, pour le bore (a) et le phosphore (b) (simulations physiques sous SENTAURUS). ....	75
Figure II-2 : Schématisation d'un caisson de protection de la base fine dans le cas idéal (a), traversant (b), et non-traversant (c). ....	76
Figure II-3 : Présentation schématique des étapes de fabrication du composant ISIS02.....	79

Figure II-4 : Illustration de l'accumulation de phosphore (a) et de la ségrégation du bore (b) à l'interface SiO <sub>2</sub> / Si. ....	80
Figure II-5 : Illustration de l'interface Oxyde – Silicium selon le modèle « trois régions » de F. Lau [69]. ....	81
Figure II-6 : Profils de concentration de bore normalisés en fonction de la distance dans le substrat suite à une oxydation sèche permettant d'obtenir un oxyde de 0,2 µm, pour différentes températures [76]. ....	83
Figure II-7 : Évolution de la concentration normalisée en surface en fonction du taux $A.D^{1/2}$ , pour le bore (a) et le phosphore (b), selon [77]. $A$ : taux d'oxydation, $D$ : coefficient de diffusion du dopant. ....	84
Figure II-8 : Illustration d'une base amincie en surface (a) et de l'apparition d'un canal au niveau de la partie supérieure de la base fine en cas d'inversion (b), du fait des phénomènes de ségrégation et d'accumulation aux interfaces Si / SiO <sub>2</sub> . ....	85
Figure II-9 : Modèle équivalent d'un transistor latéral ISIS02 en présence d'un canal au niveau de la base fine. Une résistance court-circuite les émetteurs / collecteurs. ....	87
Figure II-10 : (a) Simulation physique 2D du dopage résultant d'une ouverture phosphore de 3 µm et d'un recuit de 100 minutes. (b) Coupes 1D latérales du dopage. ....	89
Figure II-11 : Profils de dopage latéral de phosphore, analytiques et simulés par éléments finis, pour différentes ouvertures. ....	92
Figure II-12 : Profils de dopage latéral de bore, analytiques et simulés par éléments finis, pour différentes ouvertures. ....	93
Figure II-13 : Illustration des ouvertures VLD et dimensions géométriques associées. ....	94
Figure II-14 : Illustration des ouvertures des VLD analytiques et simulés. ....	96
Figure II-15 : Profil latéral de dopage selon une échelle linéaire (a) et logarithmique (b) du VLD obtenu par la méthode de M.L. Lai ; profil linéaire (c) et logarithmique (d) du VLD analytique adapté (avec les données du tableau III-3). ....	97
Figure II-16 : (a) Vue 2D du dopage actif dans la zone de drift obtenue par simulation physiques ; (b) et (c) : coupes 1D latérales linéaires du VLD obtenues pour 150 et 300 minutes de recuit d'homogénéisation. ....	99
Figure II-17 : Vue 2D du champ électrique dans la structure à l'état bloqué, pour deux durées de recuit d'homogénéisation à 1200°C. ....	101

Figure II-18 : Coupe latérale du champ électrique et du potentiel dans le volume de la couche active de silicium, pour deux durées de recuit d'homogénéisation à 1200°C.....	101
Figure II-19 : (a) illustration de la compensation au niveau de la base fine. (b) Profil de dopage latéral résultant.....	103
Figure II-20 : Exemples de profils de dopage latéral de base compensée, calculés analytiquement, pour différentes doses d'implantation de bore. ....	104
Figure II-21 : Coupes latérales de profils de dopage analytiques et simulés dans la zone de base fine, pour un jeu de masques donné et 3 doses de bore.....	105
Figure II-22 : Simulation physique 2D de la base fine avant et après le recuit d'oxydation. ....	106
Figure II-23 : (a) Schéma du transistor en vue de dessus nécessaire à la réalisation de simulations de gains et d'autoblindage. (b) Structure 2D obtenue par reconstruction pour un écartement inter-caissons $L_T$ d'environ 10 $\mu\text{m}$ .....	108
Figure II-24 : Courbes de gains du transistor en fonction de la densité de courant collecteur ou émetteur et pour différents espacements inter-caissons.....	109
Figure II-25 : Évolution de la tenue en tension (sans effet RESURF) en fonction de l'écartement des caissons $P^+$ et des doses d'implantations. Profils de dopage prélevés en milieu de couche SOI (simulation 2D). ....	111
Figure II-26 : Évolution du champ électrique sans effet RESURF autour de la base fine pour 2 doses d'implantations de base et pour différents écartements de caissons. ....	111
Figure II-27 : Évolution de la tenue en tension (sans effet RESURF) en fonction de l'écartement des caissons $P^+$ , pour un profil de base en surface.....	112
Figure II-28 : Évolution du champ électrique autour d'une base relativement épaisse, non-sujette à perçage. ....	112
Figure II-29 : Schéma récapitulatif des désalignements entre implantations.....	114
Figure II-30 : Profils analytiques de dopage latéral au niveau de la base pour 3 doses de bore, avec et sans désalignement du masque $P_{\text{Base}}$ par rapport au masque $N_{\text{VLD}}$ . ....	115
Figure II-31 : Évolution du gain en fonction des désalignements $P^+$ <i>versus</i> $P_{\text{Base}}$ , pour deux dispositifs : (a) dose $P_{\text{Base}} = 7.10^{12} \text{ cm}^{-2} - \text{E25}$ ; (b) dose $P_{\text{Base}} = 10.10^{12} \text{ cm}^{-2} - \text{E30}$ .....	116

Figure II-32 : Évolution de la tenue en tension par effet RESUEF en fonction des désalignements des masques P <sup>+</sup> et N <sup>+</sup> par rapport à la zone de drift, pour deux doses d'implantation N <sub>VLD</sub> .	119
Figure II-33 : Évolution du dopage et du champ électrique dans la couche active de SOI avec et sans désalignement, et pour une dose N <sub>VLD</sub> élevée (9.10 <sup>12</sup> cm <sup>-2</sup> ).	119
Figure III-1 : Exemples de diodes sans périphérie (a), et avec une périphérie type plaque de champ (b). (c) Topologie vue de dessus du transistor avec la périphérie de protection vis-à-vis des zones à fort potentiel/champ électrique.	127
Figure III-2 : Schéma illustrant les techniques de photolithographie par contact, proximité et projection.	128
Figure III-3 : Illustration de la gravure isotrope (a), anisotrope (b) et isotrope/anisotrope (c) de l'oxyde face avant.	129
Figure III-4 : (a) Vue de dessus d'un transistor ISIS02, obtenue via la parallélisation de la cellule élémentaire. (b) Illustration de la métallisation de la base.	130
Figure III-5 : Illustration d'une ouverture sur une topologie non-plane (a), et de deux cas de gravures (b) et (c) viables.	131
Figure III-6 : Illustration de la topologie au niveau des contacts P <sup>+</sup> (a) et N <sup>+</sup> (b).	132
Figure III-7 : Schéma des implantations de bore (traits pleins) et de phosphore (traits pointillés) pour les trois motifs de base B1, B2 et B3, respectivement (a), (b) et (c).	133
Figure III-8 : (a) Profils analytiques de dopage de la base pour les motifs B1, B2 et B3, dans le cas d'implantations bore de 1.10 <sup>13</sup> cm <sup>-2</sup> et phosphore de 6.10 <sup>12</sup> cm <sup>-2</sup> . (b) Profils analytiques dans le cas d'un désalignement maximal.	135
Figure III-9 : Illustration des métallisations, et résistances associées.	137
Figure III-10 : Résistance de contact en fonction du dopage pour l'aluminium. Dopage de type N (a) et de type P (b) [67].	137
Figure III-11 : Illustration de la symétrie des métallisations collecteurs et émetteurs et des variations de potentiel.	139
Figure III-12 : Schématisation d'une zone de fragilité (a) et d'un crack (b) dans la couche isolante inter-métallisation.	140

Figure III-13 : (a) Premier niveau de métallisation, commun aux deux topologies retenues. Deuxième niveau de métallisation pour la topologie « sécurisée » (b) et la topologie haute densité en courant (c).....	141
Figure III-14 : Plan de coupe au niveau d'un chevauchement entre les deux niveaux de métallisations pour la topologie minimaliste. ....	143
Figure IV-1 : (a) Cliché d'une plaquette « produit ». (b) Boîtiers TO247 obtenus, (c) exemple d'interconnexion entre la puce et le boîtier, et (d) coupe schématique d'une puce mise en boîtier selon la ligne (AA'). ....	151
Figure IV-2 : Résistances carrées des régions d'implantations $P_{\text{Base}}$ (a), $N_{\text{VLD}}$ (b) $P^+$ (c) et $N^+$ (d). Les étoiles indiquent les valeurs obtenues par simulation.....	152
Figure IV-3 : Schéma de principe de la mesure SRP [85].....	153
Figure IV-4 : Schéma de principe du confinement des lignes de courant en présence d'une région isolante. ....	154
Figure IV-5 : Profil de résistance (a), de résistivité (b) et de dopage (c) via une mesure SRP sur un profil de dopage bore vertical plat, avec et sans correction de la mesure. (d) Évolution du facteur correctif en fonction de la profondeur. ....	155
Figure IV-6 : Profils de dopages actifs verticaux mesurés en SRP des régions $P_{\text{Base}}$ (a), $N_{\text{VLD}}$ (b), $P^+$ (c) et $N^+$ (d), et profils simulés correspondants. ....	157
Figure IV-7 : (a) Profil latéral simulé et mesuré. (b) Zoom sur la zone de drift des profils simulés et mesurés (pour deux niveaux de lissages différents). ....	159
Figure IV-8 : Gravure sélective du silicium et vue MEB au niveau de la base fine du transistor ISIS02, pour le lot 1 ( $N_{\text{VLD}} = 6.10^{12} \text{ cm}^{-2}$ , $P_{\text{Base}} = 15.10^{12} \text{ cm}^{-2}$ , 150 min).....	160
Figure IV-9 : Tenue en tension $V_{\text{CBO}}$ et $V_{\text{CEO}}$ du transistor ISIS02, avec le motif de base B1, en fonction des lots du tableau III-1, pour trois écartements : 25 $\mu\text{m}$ (E25 - a), 30 $\mu\text{m}$ (E30 - b) et 90 $\mu\text{m}$ (E90 - c). Le seuil de 200 V correspond à une limite de performance du banc de test automatisé. ....	163
Figure IV-10 : Tenues en tension $V_{\text{CBO}}$ , $V_{\text{EBO}}$ , $V_{\text{CEO}}$ , $V_{\text{ECO}}$ en fonction des lots, pour le motif de base B1 et un écartement E30.....	164
Figure IV-11 : Courants de fuite des transistors ( $V_{\text{CE}} = 10 \text{ V}$ ), en fonction des conditions de fabrication et des motifs de base, dans le cas E25 (écartement caissons de 25 $\mu\text{m}$ ). Le seuil de 0.01 A.mm <sup>-2</sup> est lié aux limitations du banc de test automatisé.....	165

Figure IV-12 : Illustration du confinement du champ électrique à la périphérie du transistor. ...	167
Figure IV-13 : Courbes de Kellog en direct (a) et en inverse (b) pour un cas de fabrication (lot 7, motif B2, E25), et différentes densités de courant de base. (c) Courbes de gains (bruts et corrigés) pour ce même transistor ( $V_{CE} V_{EC} = 0,5 \text{ V}$ ).....	169
Figure IV-14 : (a) Tenue en tension Base – Émetteur/Collecteur pour deux transistors issus du lot 7 et ayant subi le traitement de neutralisation (1050°C / 120 min / N <sub>2</sub> ). (b) Tenue en tension de 3 transistors B2 réalisés avec la base flottante, en fonction de l'écartement des caissons (25, 30 et 90 µm). .....	173
Figure IV-15 : Réseau de Kellog en polarisation « directe » (a) et « inverse » (b) pour un motif de base B2 et un écartement E25. (c) Gains directs et inverses du transistor pour trois écartements de caissons : 25, 30 et 90 µm ( $V_{CE EC} = 0,5 \text{ V}$ ). .....	174
Figure IV-16 : Utilisation de tranchées d'isolation électrique en périphérie de dispositif. ....	179

# **INTRODUCTION GENERALE**



En octobre 1973, le monde occidental, et la France en particulier, subissaient de plein fouet le « premier choc pétrolier ». Ce premier choc sera suivi 6 ans plus tard du « second choc pétrolier ». A l'époque, ces deux évènements ont sonné comme une première alarme envers les pays développés : le pétrole, source de nos sociétés développées, n'est pas illimité ; l'énergie est un bien précieux, elle doit-être un sujet d'attention de première ampleur. Trente ans plus tard, il est assez communément admis que nous sommes entrés, vers 2008, dans le troisième choc pétrolier, avec une production de pétrole probablement en déclin<sup>1</sup>. Face à cela, les pays occidentaux, ont changé leur mode de production et de consommation de l'énergie, en plaçant l'électricité comme premier vecteur de consommation (45% de l'énergie consommée en 2008 en France, contre 31% pour le pétrole).

L'électricité est donc l'un des vecteurs d'énergie de notre avenir. La gestion de la production, de l'acheminement et enfin de la consommation de l'électricité sont ainsi devenues des sujets de préoccupation et de réflexion majeurs. Jusqu'à présent, le stockage et la production de l'électricité furent les deux sujets de préoccupation. Pour le moment, nous ne savons pas stocker massivement l'énergie électrique, ou de manière extrêmement limitée. Concernant la production, elle est très centralisée, majoritairement basée au niveau mondial sur le charbon (39% en 2004), le gaz naturel (20% en 2004), l'hydraulique et le nucléaire (16%). Viennent enfin le pétrole (7% en 2004) et les énergies renouvelables hors hydraulique (2% en 2004). En France, la situation est unique : 75% de nucléaire, 12% d'hydroélectrique, 1,5% de renouvelable (hors hydraulique).

Le changement climatique, la fin du pétrole bon marché et les problèmes liés au nucléaire poussent actuellement les pays occidentaux vers une production d'électricité basée sur les énergies de flux, renouvelables, comme le solaire, l'éolien ou l'hydraulique, qui voient leur développement s'accélérer. Or, la production d'électricité *via* les énergies de flux suppose des unités très localisées, multiples, de capacités très variables, et de production variable. A l'autre bout de la chaîne, l'électricité est consommée en majorité par les secteurs du résidentiel et du tertiaire (50% en 2008), pour le chauffage, l'électroménager, l'éclairage, l'informatique, etc. Les modes de consommation actuels impliquent alors de très grandes variabilités sur l'utilisation de l'énergie électrique au cours de la journée, posant régulièrement des difficultés de production (en hiver par grand froid par exemple). On suggère alors aux citoyens de différer le départ du lave-linge, sèche-linge, d'éteindre les appareils inutiles ou en « veille », etc.

---

<sup>1</sup> Le pic de Hubbert, théorisé dans les années 1950. Il faut noter que le terme « probablement » n'est pas choisi au hasard. Si tout porte à penser que la production décroît (prix du pétrole en augmentation « lente » et constante, faibles découvertes de nouveaux gisements, énergie nécessaire à la production d'un baril de pétrole de plus en plus élevée, etc.), en revanche les statistiques officielles fournies par les pays producteurs sont toujours mirifiques.

Finalement, au premier bout de la chaîne, « l'offre » (la production d'électricité) tend à devenir de plus en plus variable en fonction des conditions météorologiques. A l'autre bout, la « demande » (consommation) est elle aussi très variable en fonction cette fois-ci du rythme de vie des citoyens, ces deux variabilités n'étant évidemment pas synchrones. C'est l'un des aspects que tente de traiter la fonctionnalité « *smart grid* ». Ce concept utilise la puissance informatique du traitement de l'information et la communication entre appareils pour lisser de manière automatisée la courbe de demande et la faire correspondre à la variabilité des offres, afin de faire fonctionner au mieux l'appareil de production et de consommation de l'électricité en France.

Un système *smart grid* doit donc être capable de gérer, dans le temps, une multitude de sources d'énergie et de consommations différentes. Il s'appuie sur l'intégration microélectronique de systèmes de conversion d'énergie « intelligents » (communiquants), au plus près de l'électronique de puissance, pour aboutir à des interrupteurs de puissance intégrés et intelligents, en semiconducteur. On retrouve déjà ce type d'interrupteurs dans l'électroménager, en traction ferroviaire, ou bien encore dans un chargeur de batterie d'un téléphone mobile par exemple. Petit à petit, ces interrupteurs électroniques remplacent aussi les interrupteurs mécaniques (pour contrôler la lumière dans l'habitat par exemple). Ces composants semiconducteurs doivent donc être contrôlables par une interface homme-machine intelligente. D'autre part, puisque l'énergie est un bien précieux, ils doivent dissiper le moins d'énergie possible. En effet, les composants électroniques actuels, d'un point de vue des performances électriques, ne sont pas encore aussi performants que l'interrupteur mécanique, quasiment parfait (il ne dissipe aucune puissance, ni ouvert, ni fermé).

Actuellement, les interrupteurs en technologie semiconducteur sont majoritairement unidirectionnels en tension et en courant, les limitant d'une manière générale au fonctionnement en régime continu. De fait, il existe assez peu de solutions bidirectionnelles en tension et en courant, alors que celles-ci peuvent fonctionner directement sur un réseau alternatif.

En termes de conduction, ces interrupteurs se divisent en deux catégories. Les composants unipolaires (comme le MOSFET, « *Metal Oxide Semiconductor Field Effect Transistor* », ou Transistor métal oxyde semiconducteur à effet de champ) fonctionnent par circulation d'un courant de porteurs majoritaires. Ils consomment peu d'énergie de commande, et peuvent fonctionner à haute fréquence. A l'inverse, les composants bipolaires impliquent une circulation des porteurs majoritaires et minoritaires. Leurs fréquences de commutation sont faibles, et ils consomment une énergie de commande plus importante.

Ces travaux de thèse s'inscrivent dans le cadre du projet de recherche collaboratif ISIS (« *Integrated Switch for Information Society* »), du programme SESAME démarré en 2006, soutenu par le pôle de compétitivité « Sciences et Systèmes de l'Énergie Électrique » (S2E2). Le but du projet était de développer un interrupteur électronique, communiquant, assurant la gestion de l'énergie électrique dans l'habitat, directement connecté au réseau 230 V – 50 Hz. Cet interrupteur, à semiconducteur, devait donc être bidirectionnel en courant et en tension, commandable, laissant passer plusieurs ampères à l'état passant, et présentant de faibles pertes (moins de  $1 \text{ W.A}^{-1}$ , à l'état ouvert ou fermé), afin qu'il remplace l'interrupteur mécanique. Ce projet était porté par le LMP (Laboratoire de Microélectronique de Puissance, aujourd'hui GREMAN UMR 7347) de l'université de Tours, et les entreprises STMicroelectronics, Legrand, Thermor Industrie (groupe ATLANTIC) et Agilicom.

Les précédents travaux, menés par L.V. Phung, avaient permis de déterminer une structure théorique permettant de satisfaire les conditions de bidirectionnalité, commandabilité et faibles pertes. Cette thèse finalise le projet ISIS et a pour objectif la réalisation d'un prototype de ce composant bidirectionnel novateur, à partir de choix de technologies de fabrication.

Nous entamerons la présentation de ces travaux de thèse par l'étude des solutions bidirectionnelles existantes, afin d'évaluer les performances et les problématiques de fabrication de chacun de ces composants. Nous verrons alors qu'il n'existe pas de solution viable pour notre application. Aussi nous proposerons deux structures répondant à la problématique, dont celle proposée par L.V. Phung. Nous détaillerons le fonctionnement de ces composants théoriques, et les comparerons aux précédentes structures bidirectionnelles, ce qui permettra de déterminer la solution la plus intéressante. Nous verrons que le composant retenu nécessite d'obtenir des jonctions métallurgiques très novatrices, basées sur le concept de transistor bipolaire symétrique latéral à base « fine, verticale, autoprotégée », le tout sur substrat SOI (Silicium sur Isolant), traduisant un challenge technologique important. Aussi, nous détaillerons les différentes technologies permettant la fabrication du composant choisi – en particulier l'obtention de la base fine et verticale –, les comparerons, et effectuerons un choix préliminaire, ce qui nous permettra de tracer les grandes lignes d'un procédé de fabrication de cet interrupteur, appelé « ISIS02 ».

Le second chapitre présentera dans un premier temps les étapes permettant de réaliser la partie « active » du composant (c'est-à-dire excluant les problématiques d'isolation périphérique, de métallisation et de mise en boîtier). Nous détaillerons alors les mécanismes de ségrégation et d'accumulation des dopants aux interfaces silicium / oxyde, avec un *focus* particulier sur ce qu'impliquent ces mécanismes pour notre application. Puis, nous développerons une méthode analytique d'évaluation de la redistribution des profils de dopage après implantation et diffusion,

ce qui permettra de déterminer la géométrie des ouvertures de certains niveaux de masquage. Nous validerons ensuite la méthode et affinerons les résultats *via* des simulations de fabrication par éléments finis. Dans un dernier temps, nous testerons la structure obtenue par des simulations électriques. Finalement, nous comparerons ces performances à celles initialement obtenues par L.V. Phung, à partir de profils théoriques.

Le troisième chapitre sera dédié à l'étude des étapes de fabrications hors « partie active » du transistor, en commençant par une réflexion sur la périphérie de protection du dispositif. Ensuite, nous présenterons une méthode permettant de réduire la surface de contact du silicium, dans le but de limiter la surface consommée de puce, et d'assurer l'intégrité des couches de métallisations. Dans un troisième temps, nous évaluerons l'impact des désalignements entre les différentes étapes de fabrication sur le fonctionnement du composant. Par la suite, nous détaillerons la problématique de la métallisation du composant en évaluant les dépolarisations dues au parcours du courant dans les doigts de métallisation. Enfin, nous finirons par résumer les différentes variations sur la fabrication du composant.

Le quatrième et dernier chapitre présentera les performances des prototypes de transistors ISIS02. Nous mettrons en évidence un comportement des composants plus ou moins résistif, dû à un effet parasite. Cet effet parasite est la conséquence du mécanisme de ségrégation des dopants à l'interface silicium / oxyde de silicium en surface, créant un canal court-circuitant la base du transistor. Nous verrons ensuite qu'en modifiant légèrement le processus de fabrication du composant, nous réduirons drastiquement cet effet parasite. Le dispositif ainsi réalisé montrera un comportement de transistor bidirectionnel, pouvant soutenir une tension relativement importante de l'ordre de 100 V, et à fort gain, ce qui permettra de valider le bon fonctionnement, jusqu'alors théorique, de ce transistor bipolaire latéral bidirectionnel à base fine, verticale, autoprotégée. Nous terminerons par une conclusion et des perspectives pouvant faire suite à ces travaux.

# **I. STRUCTURES BIDIRECTIONNELLES ET CONCEPT DE TRANSISTOR ISIS02**

<b>I.1</b>	<b>Introduction</b> .....	<b>29</b>
<b>I.2</b>	<b>Structures bidirectionnelles en courant et en tension existantes</b> .....	<b>30</b>
I.2.1	TRIAC.....	30
I.2.2	Structure bidirectionnelle blocable à base de MOS-thyristors.....	31
I.2.3	La structure « Planar MOS – Gated AC Switch ».....	33
<b>I.3</b>	<b>Structures imaginées dans le cadre du projet SESAME-ISIS</b> .....	<b>34</b>
I.3.1	Le transistor bipolaire à base large : « Biswitch ».....	34
I.3.2	Structure latérale ISIS02 .....	36
I.3.3	Performances électriques.....	45
<b>I.4</b>	<b>Tableau récapitulatif et choix de la structure</b> .....	<b>49</b>
<b>I.5</b>	<b>Technologies disponibles pour la réalisation du composant latéral ISIS02</b> ...	<b>52</b>
I.5.1	Techniques d’obtention de l’oxyde de surface .....	52
I.5.2	Techniques de dopages de la zone de base fine.....	55
I.5.3	Choix des technologies .....	64
<b>I.6</b>	<b>Conclusion</b> .....	<b>68</b>

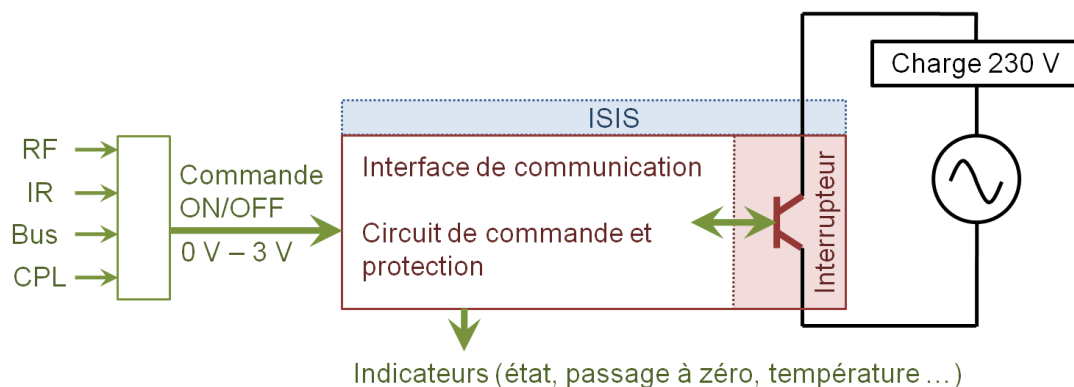
## I.1 Introduction

Les interrupteurs, auparavant mécaniques, sont aujourd'hui progressivement remplacés par des interrupteurs intégrés sur semiconducteur. Pour pouvoir être directement utilisés sur le secteur, ces interrupteurs doivent être :

- bidirectionnels, c'est-à-dire qu'ils doivent supporter la tension dans les deux sens, et laisser passer le courant dans les deux sens,
- commandables, c'est-à-dire pouvoir être mis en conduction et bloqués « à la demande », permettant ainsi de contrôler tout type de charges (résistives, capacitives ...),
- supporter plusieurs centaines de volts environ pour être applicables au secteur.

Par ailleurs, ils doivent être faiblement dissipatifs, d'une part pour être intégrables dans des murs par exemple, et d'autre part pour suivre la tendance à la faible consommation. Leur fabrication doit être viable industriellement si l'on souhaite les implanter massivement dans l'écosystème actuel. L'interrupteur mécanique, s'il satisfait les demandes, reste cher, et surtout n'est pas « intelligent », en ce sens qu'il ne communique pas.

Le projet SESAME-ISIS a pour objectif le développement d'un tel interrupteur électronique et de sa commande intégrée, comme illustré en figure I-1. Celui-ci peut alors communiquer avec son environnement extérieur, et être commandé par un large panel de signaux faibles tensions.



**Figure I-1 : Interrupteur commandable et communicant avec son environnement, tel que défini dans le projet ISIS.**

Les travaux récemment menés par L.V. Phung [1] ont permis de simuler et démontrer la viabilité d'un concept d'interrupteur répondant aux spécifications précédentes. Cet interrupteur à base de transistors bipolaires est théoriquement capable de supporter jusqu'à 600 V, avec un gain d'ordre 2 ( $> 100$ ) à faible densité de courant (de l'ordre du milliampère), et relativement élevé ( $> 20$ ) à forte densité de courant (quelques ampères), le rendant ainsi aisément commandable.

L'objet de ce chapitre est de succinctement présenter et comparer certaines structures bidirectionnelles existantes. Puis l'on présentera deux structures imaginées dans le cadre du projet ISIS, et l'on détaillera le choix du composant qui sera par la suite réalisé. Pour terminer, on comparera les technologies envisageables pour sa fabrication.

## I.2 Structures bidirectionnelles en courant et en tension existantes

Cette section ne saurait être une liste exhaustive des solutions bidirectionnelles actuelles. Pour cela, et pour obtenir le détail du fonctionnement électrique de ces composants, le manuscrit de thèse de L.V. Phung fera un excellent support [1].

Le but ici est de lister quelques composants bidirectionnels existants, de discuter de leurs technologies de fabrication et de résumer leurs avantages et inconvénients (performances électriques, manufacturabilité...) afin de mieux cerner l'intérêt des structures alternatives qui seront présentées en §I.3.

### I.2.1 TRIAC

Le TRIAC (*TRI*ode for *Al*ternative *C*urrent) [2] est basé sur l'association monolithique et antiparallèle de deux thyristors, comme illustré en figure I-2. Il est pourvu de deux anodes et d'une gâchette de commande. Ce composant, grâce à une large zone de substrat peu dopé en son milieu, est capable de tenir plusieurs centaines de volts entre ses anodes (indépendamment du sens de la polarisation). Par une légère impulsion de courant appliquée sur la gâchette (du mA à quelques centaines de mA), le composant devient passant et le reste tant que la tension et le courant entre les anodes ne s'annulent pas : il n'est donc pas commandable à la fermeture, le rendant de fait inapte au contrôle de charges non résistives. Sa densité de courant nominale est particulièrement élevée puisque d'environ 3 à 4 A.mm<sup>-2</sup>. Cependant, sa chute de tension à l'état passant est relativement élevée, à environ 1,5 V, ce qui impose donc une dissipation de puissance tout aussi élevée d'environ 1,5 W.A<sup>-1</sup>.

L'indéniable avantage du TRIAC est sa relativement grande simplicité de fabrication. En effet, il demande peu de niveaux de masquage (moins d'une dizaine en totalité), il n'y a pas besoin d'un oxyde de grille de qualité, comme pour un MOS, et enfin le contrôle sur la profondeur des jonctions n'est globalement pas critique (la profondeur intervient plutôt sur des paramètres dynamiques). De plus, la surface consommée de silicium par un TRIAC est faible (quelques  $\text{mm}^2$ ), réduisant ainsi son coût de fabrication. Il faut tout de même noter que les puits  $\text{P}^+$  atteignent plusieurs dizaines de micromètres de profondeur, ce qui implique des bilans thermiques lourds (quelques dizaines d'heures à  $1200^\circ\text{C}$ ). Il est également nécessaire d'effectuer des photolithographies double-faces pour les diffusions des zones  $\text{P}^+$  et  $\text{N}^+$  en face arrière.

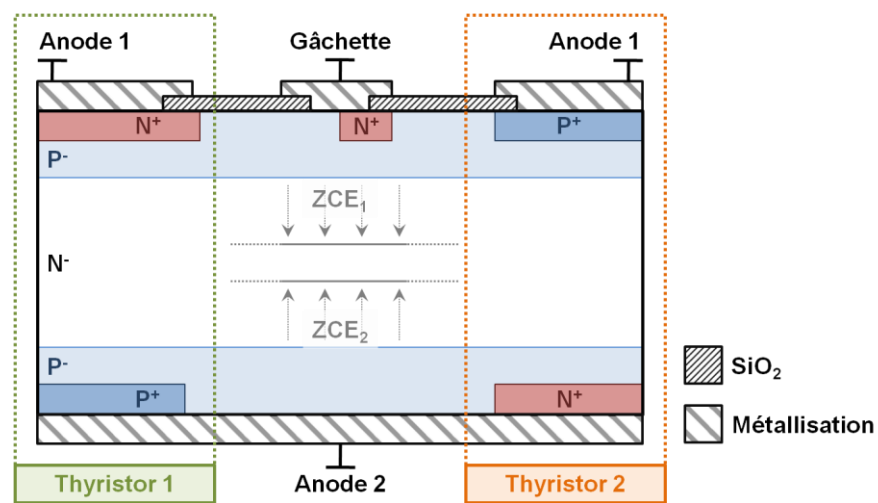


Figure I-2 : Représentation schématique d'un TRIAC.

### I.2.2 Structure bidirectionnelle blocable à base de MOS-thyristors

F. Bauer *et al.* a développé et breveté une structure bidirectionnelle commandable à base de deux MOS-thyristors en antiparallèle [3], dont on trouvera une représentation schématique en figure I-3. Puisqu'à base de thyristors, la structure est capable de supporter d'importantes densités de courant, et à contrario du TRIAC, elle est commandable à l'ouverture grâce à une deuxième grille en face arrière. Malgré les différents modes de fonctionnement possibles à l'état passant [1], la chute de tension reste globalement élevée, pour une dissipation de puissance minimale de  $1 \text{ W.A}^{-1}$ .

Les nombreux avantages en termes de performances électriques de cette structure (densité de courant, commandabilité, tenue en tension élevée) sont fortement contrebalancés par sa grande difficulté de fabrication.

Voici une liste détaillant les points bloquants :

- présence de zones à triple diffusion  $P^+ / N / P$  dans le substrat  $N^-$ . Evidemment il est nécessaire de bien contrôler ces diffusions, puisque celles-ci délimitent les zones de canal sous les grilles,
- présence de zones à gradient de concentration latéral (notamment les caissons  $P_i / P_i^+$ ), pour lesquelles il faut recourir soit à des multi-implantations dans ces zones, soit à des ouvertures de masquage variables, introduisant alors une variation latérale de la profondeur des caissons. Notons que ces dopages variables ne sont pas nécessaires au bon fonctionnement du composant, mais l'améliorent,
- nécessité d'un oxyde de grille de qualité, dont la réalisation est toujours une opération critique. L'interface, pour être de très bonne qualité, doit minimiser au maximum les états d'interfaces,
- photolithographies double-faces afin d'obtenir la bidirectionnalité. De plus, en face arrière, le contrôle et la qualité de la surface doit être identique à celui de la face avant afin d'obtenir une métallisation et un oxyde de grille de qualité, ce qui représente un challenge important,
- la mise en boîtier de la puce (*packaging*) représente une difficulté particulière, puisqu'il est nécessaire de connecter deux électrodes en face arrière, à la différence du TRIAC pour lequel il suffit simplement de métalliser entièrement la face arrière et de le coller au boîtier.

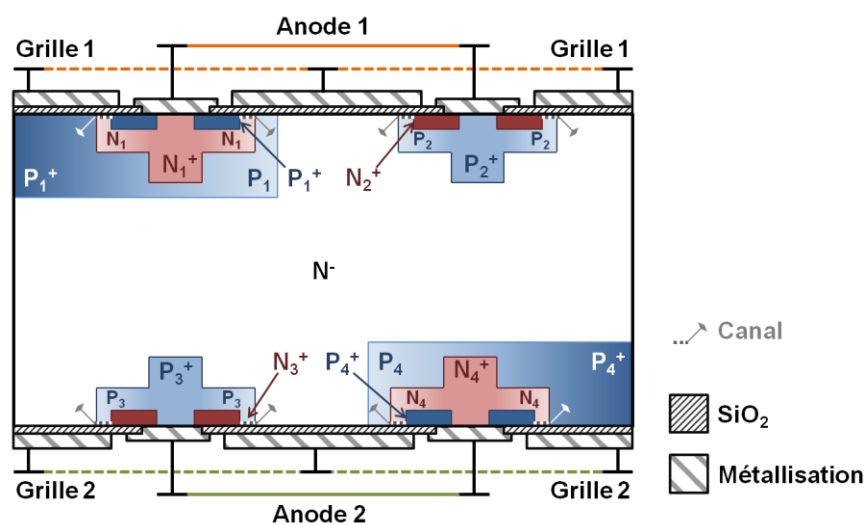


Figure I-3 : Vue en coupe schématique de la structure bidirectionnelle bloquée.

Finalement, la réalisation d'une telle structure, aussi intéressante soit-elle électriquement, n'est pas chose aisée, en particulier dans un cadre industriel. Ainsi les vulnérabilités du dispositif vis-à-vis des variations de fabrication (*process*) induisent un rendement de production plus faible.

### I.2.3 La structure « Planar MOS – Gated AC Switch »

Afin d'éviter de recourir à l'utilisation d'une grille en face arrière de dispositif, M. Mehrotra et B.J. Baliga ont proposé un composant bidirectionnel commandable à l'ouverture et à la fermeture dont les deux électrodes de grille sont disposées en face avant, la face arrière étant entièrement dédiée à l'anode [4]. La figure I-4 présente schématiquement cette structure.

Globalement, ce dispositif est moins complexe que le précédent (*cf.* §I.2.2). D'évidence, l'absence de grille en face arrière facilite grandement la mise en boîtier. Néanmoins, cette structure nécessite toujours une photolithographie double-face, un très bon contrôle des étapes de diffusions - particulièrement en face avant -, ainsi qu'un oxyde de grille et une interface de bonne qualité.

La simplification de la structure apporte son lot d'inconvénients électriques. En particulier, les deux thyristors en antiparallèle, formant partiellement la structure, ne sont pas strictement identiques. Aussi, la symétrie de la bidirectionnalité est difficilement atteignable. De plus, la tenue en tension inverse dépend directement de la distance entre les deux caissons P en face arrière.

Enfin, puisque la structure est à base de thyristor, sa chute de tension à l'état passant reste globalement élevée, aux alentours de 1,5 V.

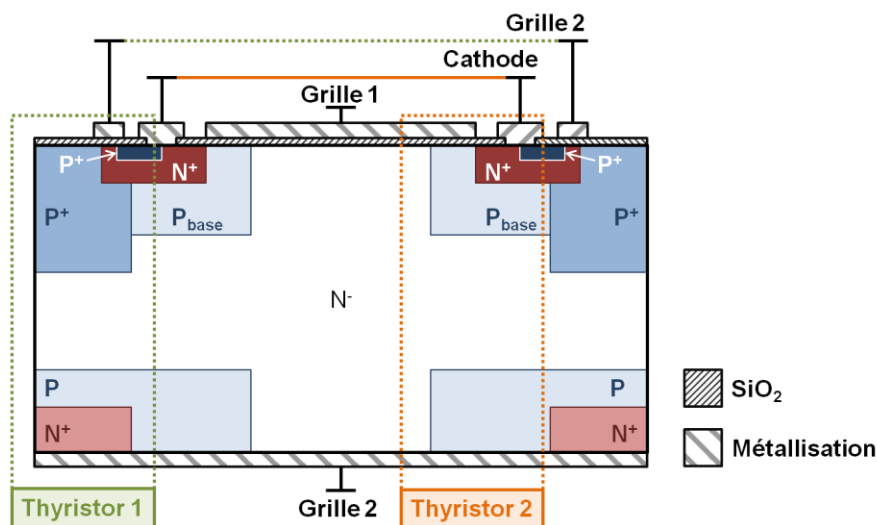


Figure I-4 : Représentation schématique du dispositif « planar MOS – gated AC switch ».

### I.3 Structures imaginées dans le cadre du projet SESAME-ISIS

Le projet SESAME-ISIS a pour objectif de développer un nouvel interrupteur bidirectionnel courant / tension commandable à faible perte, puisqu'aucune des structures existantes ne répond aux spécifications. Durant ce projet, deux structures bipolaires ont émergées : le transistor à base large « Biswitch », et le transistor latéral « ISIS02 ». Ces deux structures sont détaillées dans la suite de ce paragraphe.

#### I.3.1 Le transistor bipolaire à base large : « Biswitch »

Cette structure est construite autour d'un transistor bipolaire NPN symétrique à base très large, à l'inverse de ce qui est recherché dans les transistors actuels.

La figure I-5 illustre la structure bipolaire en question. On peut visualiser quatre régions importantes. La zone *A* correspond à la base large, formée par le substrat P<sup>-</sup>. Les zones *B* et *C* correspondent respectivement à l'émetteur et au collecteur du transistor, et sont réalisées par des diffusions N<sup>+</sup> de profondeur  $d_{N^+}$ . Notons que  $d_{N^+}$  et l'épaisseur du substrat fixent la largeur de la base. Ajoutons que la zone « active » et de longueur  $L_{ext}$  du transistor, à droite de la ligne (AB), est extensible. Enfin, la région *D* intègre une diffusion P<sup>+</sup> de faible profondeur  $d_{P^+}$ , éloignée de l'émetteur d'une distance  $L_{BE}$ . Cette diffusion, relativement peu profonde, est importante pour deux raisons : premièrement, elle permet un bon contact ohmique d'accès à la base. Deuxièmement, elle injecte des trous à l'état passant, augmentant ainsi le gain du transistor.

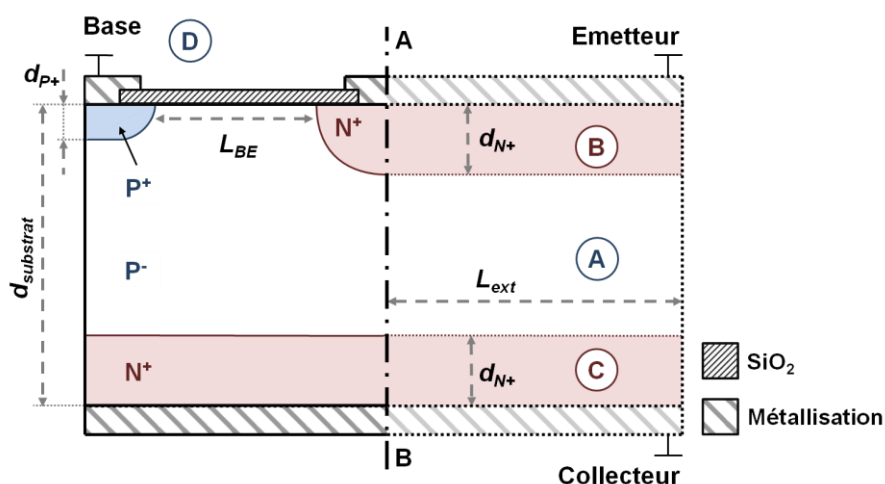


Figure I-5 : Représentation schématique du transistor bipolaire bidirectionnel à base large, « Biswitch ».

L'introduction d'une base large est la clef dans l'obtention de la symétrie des performances du transistor. En effet, cette base sera le lieu de la tenue en tension, rôle normalement réservé au collecteur. Il est alors possible de modifier sa topologie et de le rendre quasiment identique à l'émetteur, alors qu'il est habituellement large et peu dopé. En procédant ainsi, on symétrise le gain du transistor.

- *Réflexion sur sa fabrication*

La topologie du Biswitch se rapprochant de celle du TRIAC, sa fabrication est équivalente, et donc relativement aisée :

- le composant ne nécessite pas d'oxyde de grille en face avant, ni d'opérations complexes comme une épitaxie ou une tranchée. Une mauvaise qualité de l'interface entre la zone P<sup>+</sup> de la base et la zone N<sup>+</sup> d'émetteur n'est pas rédhibitoire pour le transistor,
- les zones d'émetteur et de collecteur peuvent être réalisées par diffusions profondes, impliquant des bilans thermiques lourds. Cette technique est déjà maîtrisée pour la fabrication des TRIACs. Notons de plus qu'il n'y a pas de diffusions multiples interdépendantes ; seules deux diffusions, topologiquement indépendantes l'une de l'autre, sont nécessaires. Enfin, le composant doit être réalisé sur substrat mince (entre 200 et 300 μm), type de substrats d'ores et déjà utilisés pour les TRIACs,
- enfin, la photolithographie double-face n'est pas obligatoire pour la cellule élémentaire. Seule la périphérie du composant pourrait nécessiter une photolithographie en face arrière.

Finalement, la fabrication d'un tel composant est relativement aisée, de coût comparable, voire moindre que celui d'un TRIAC. Ses performances électriques seront détaillées en §I.3.3.

### I.3.2 Structure latérale ISIS02

Les travaux menés dans le cadre du projet SESAME-ISIS ont permis de développer et breveter une structure originale [5-6], nommée « ISIS02 », et présentée schématiquement sur la figure I-6. Cette structure s'appuie sur plusieurs concepts validés par L.V. Phung [1] et rappelés dans les paragraphes suivants.

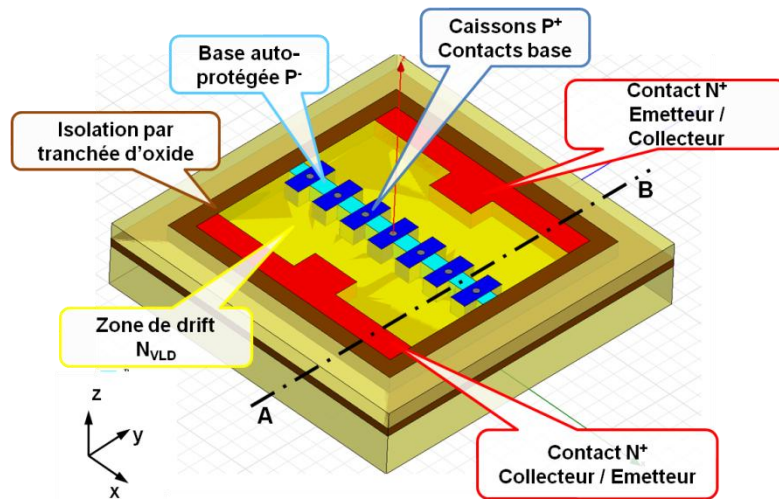


Figure I-6 : Vue 3D schématisée du transistor bipolaire symétrique ISIS02.

#### I.3.2.1 Introduction au concept de RESURF

L'effet RESURF (*REduced SURface Field*) permet, à l'état bloqué d'un composant, de désertir uniformément la zone de tenue en tension, permettant ainsi d'augmenter la tension de claquage par rapport à une jonction PN classique [7].

Dans l'exemple de la figure I-7.a, la désertion des porteurs libres se fait latéralement dans la zone  $N_{epi}$  (ou « zone de drift »), grâce à la présence du substrat P, jusqu'à la désertion totale de la zone de drift. Aussi, la tenue en tension n'est plus seulement régie par la jonction  $P^+ / N_{epi}$ , mais aussi par la zone de déplétion entre l'anode et la cathode, avec une distribution du champ électrique quasiment uniforme. Plus cette zone est étendue, plus la tenue en tension est potentiellement élevée. Ainsi, pour une diode sans effet RESURF de 470 V, il est possible d'augmenter la tension de claquage jusqu'à 1100 V, grâce à l'effet RESURF et un bon dimensionnement de la structure [1]. Le corollaire de ceci est que pour une même tenue en tension de la diode, il est possible, soit de réduire la distance Anode – Cathode, soit d'augmenter le dopage de la zone de drift, voire les deux.

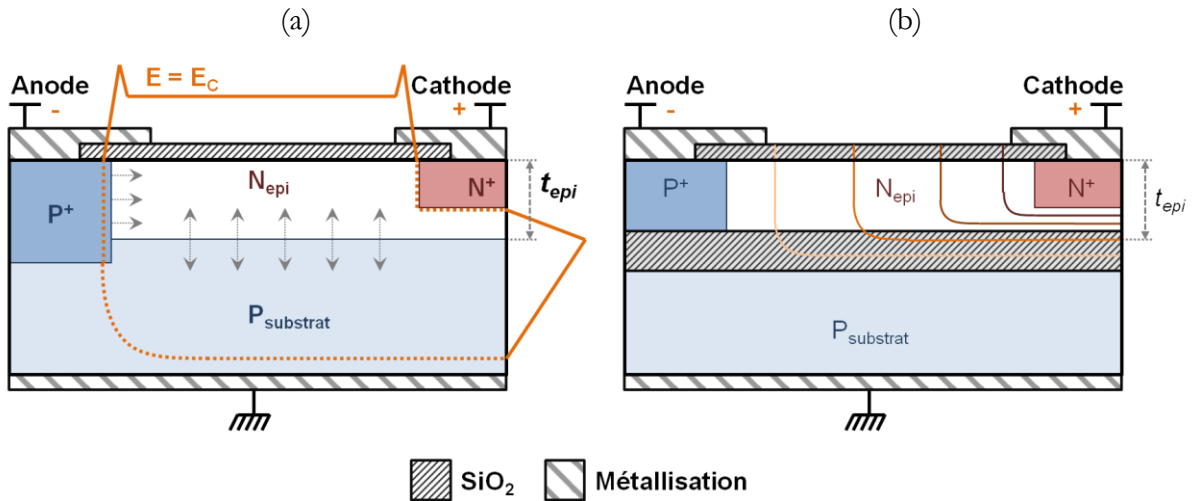


Figure I-7 : (a) Représentation schématique du champ électrique dans une diode RESURF [7] et avec une désertion complète de la couche N<sub>epi</sub>. (b) Représentation des lignes équipotentielles dans une diode RESURF sur substrat SOI.

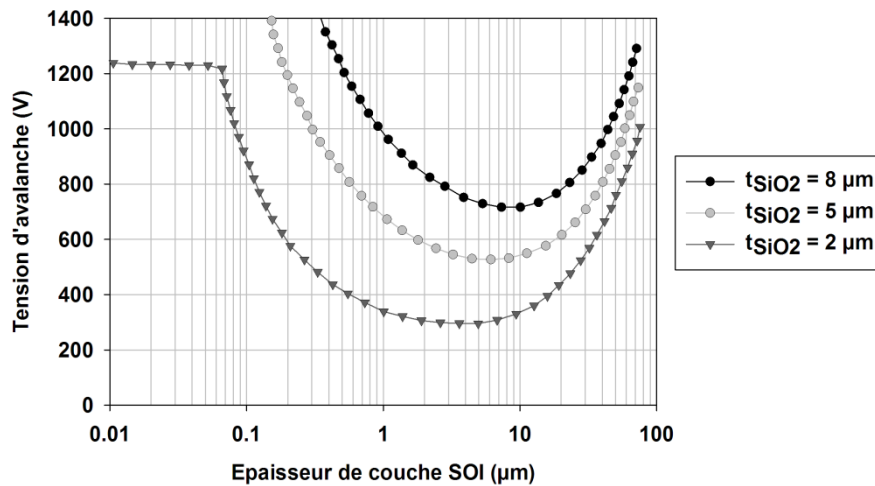


Figure I-8 : Évolution de la tension d'avalanche en fonction de l'épaisseur de SOI et ce pour différentes épaisseurs d'oxyde enterré [8].

Notons que pour obtenir une tension de claquage optimale, le couple  $(N_{epi}, t_{epi})$  doit obéir à la relation I-1 [8], dérivant de l'équation de Poisson pour un champ électrique uniforme. De manière remarquable, on constate que la dose donnée par le produit  $N_{epi} \cdot t_{epi}$  est égale à une constante.

$$\frac{E_C}{t_{epi}} = \frac{q \cdot n}{\epsilon_{Si}} \Leftrightarrow n \cdot t_{epi} = \frac{\epsilon_{Si} \cdot E_C}{q} \quad \text{Équation I-1}$$

$$n \cdot t_{epi} = 10^{12} \text{ cm}^{-2}$$

La figure I-9 présente l'évolution de la tension d'avalanche en fonction de cette dose. On constate qu'il existe une valeur optimale, avec des performances proches de la théorie sur l'effet RESURF en une dimension. A plus faible dose, l'avalanche intervient prématurément. En effet, même si la désertion de la couche SOI est complète, cela ne compense pas la faible valeur du champ électrique, puisque le champ électrique critique est limité par les dopages insuffisants. Apparaît de plus un effet de confinement (*crowding*) du champ électrique dans certaines zones. Au final, l'aire du champ électrique dans la zone  $N_{epi}$  est faible. A l'inverse, si l'on dépasse cette dose optimale, le dopage résultant dans la zone de drift devient très important, et ne permet plus la désertion totale de la zone de drift, d'où la diminution brutale de la tension d'avalanche, rejoignant celle d'une simple jonction P/N.

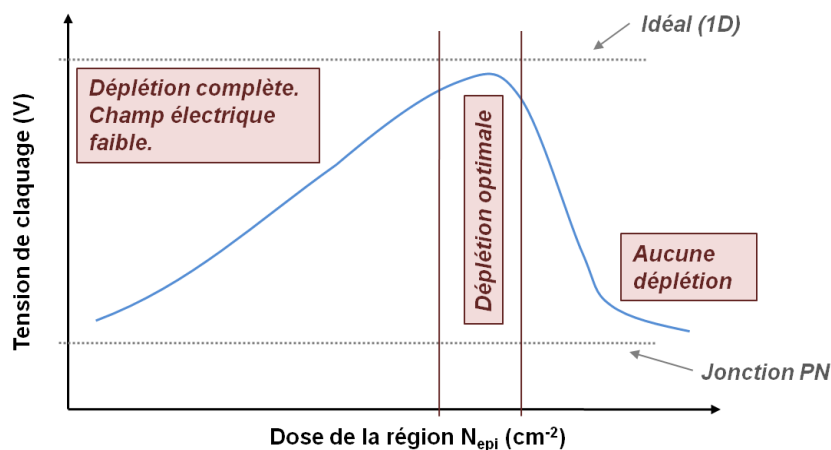


Figure I-9 : Évolution de la tenue en tension en fonction de la dose de la région  $N_{epi}$ .

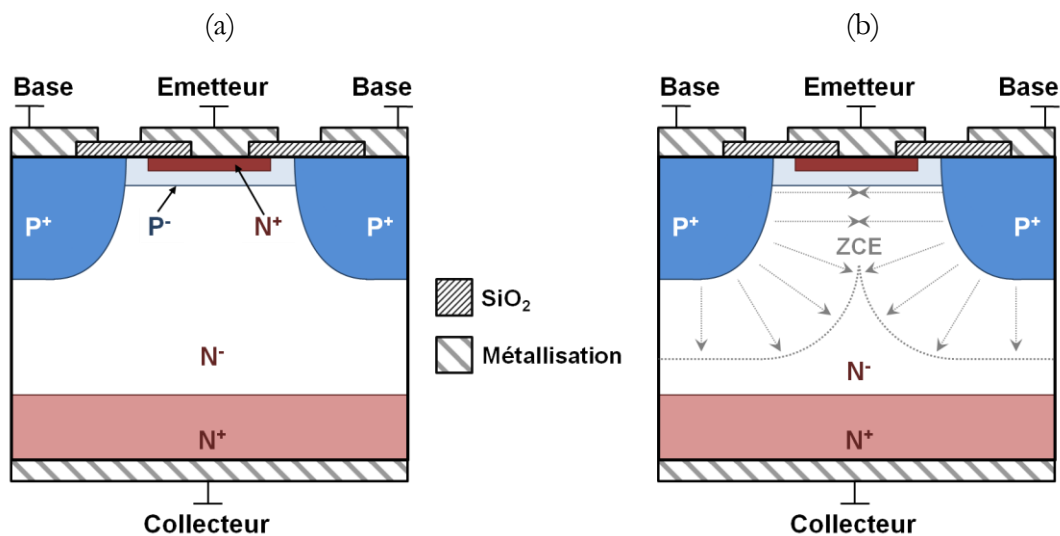
### I.3.2.2 Introduction au concept d'autoblindage

Le concept de transistor à base autoprotégée, ou à « autoblindage », a été proposé par H. Kondo en 1980 [9] (figure I-10.a). La base d'un tel transistor peut-être décomposée en deux

régions : d'une part une base fine et « active »,  $P^-$ , à travers laquelle circule le courant à l'état passant, et d'autre part des caissons  $P^+$  situés de part et d'autre de la base, formant un transistor JFET.

A l'état bloqué, une zone de charge d'espace (ZCE) s'étend sur les flans des caissons  $P^+$ , dans la zone  $N^-$ , comme illustré sur la figure I-10.b. Sous l'émetteur, une zone vierge de champ électrique se crée, par superposition de deux champs vectoriels égaux et opposés. La base est donc protégée du perçage, de sorte qu'il est possible de la rendre plus fine et/ou moins dopée pour augmenter son gain à l'état passant. Finalement, l'autoblindage permet de découpler les paramètres physiques d'une part de la tenue en tension et d'autre part du gain.

Il est à noter que l'espacement des caissons, et leur profondeur, doivent être judicieusement choisis pour obtenir un autoblindage correct. De manière simple, on peut dire que moins les caissons seront profonds, plus il faudra les rapprocher pour assurer l'autoblindage. Ajoutons que le dopage de la zone  $N^-$  joue un rôle important puisqu'il influence la progression de la ZCE. Plus ce dopage sera faible, plus l'autoblindage se fera facilement, rendant ainsi possible l'éloignement des caissons par exemple.



**Figure I-10 : (a) Exemple de transistor bipolaire à base autoprotégée. (b) Représentation de l'extension de la zone de charge d'espace à l'état bloqué dans le transistor.**

### I.3.2.3 La structure ISIS02

La structure bidirectionnelle ISIS02, développée par L.V. Phung, est basée sur un transistor bipolaire symétrique. La figure I-11.b est une vue en coupe selon la ligne (AB) de la représentation 3D schématisée du dispositif (rappelée sur la figure I-11.a).

Le transistor utilise un substrat SOI. Sur cette vue en coupe, on peut voir la base fine du transistor, permettant des gains élevés, entourée par deux zones de drift  $N_{VLD}$  identiques correspondant à l'émetteur et au collecteur, rendant ainsi les performances du transistor symétriques. La base fine est protégée du perçage par des peignes de caissons  $P^+$  (ici non-représentés) aux fonctions multiples : autoblindage de la base à l'état bloqué, injection de porteurs à l'état passant, reprise de contact pour éviter la dépoliarisation de la base. L'oxyde enterré, avec l'oxyde face avant, permettent à l'effet RESURF de s'étendre dans les zones de drift.

Chacune de ces zones (zone de drift, base fine, caissons  $P^+$ ) est détaillée dans la suite de ce chapitre.

La conjugaison de l'effet RESURF sur un substrat SOI et de l'autoblindage de la base permet d'obtenir un transistor bipolaire à gain important ( $> 100$  à faible densité de courant, inférieure à  $10 \text{ mA.mm}^{-2}$ ) et capable de supporter des tensions élevées ( $> 500 \text{ V}$ ).

Pour la bonne compréhension de la suite de l'étude, il convient de rappeler que le gain d'un transistor bipolaire est principalement fonction de 3 paramètres :

- $\gamma_E$ , coefficient d'injection de l'émetteur, représente la capacité de l'émetteur à injecter des porteurs dans la base. Augmenter  $\gamma_E$  revient essentiellement à augmenter le rapport dopage émetteur / dopage base,
- $a_T$ , facteur de transport, représente la capacité des électrons à traverser la base et éviter la recombinaison avec des trous. Une base fine et faiblement dopée améliore ce facteur,
- $R_{drift}$  représente la résistance du chemin de drift dans le collecteur.

Puisque le transistor ISIS02 est symétrique, le collecteur et l'émetteur sont interchangeables. Ce qui revient à dire que  $\gamma_E$  et  $R_{drift}$  sont identiques pour le collecteur et l'émetteur.

#### I.3.2.4 Substrat SOI et oxyde face avant

Le substrat SOI, représenté en figure I-12.a, est composé d'un substrat mécanique, d'un oxyde enterré d'épaisseur  $t_{SiO_2}$ , et enfin d'une couche dite « active », ou SOI, en face supérieure, d'épaisseur  $t_{SiO_1}$ . En technologie VLSI (*Very Large Scale Integration*), où les efforts se dirigent vers la réduction des profondeurs de jonctions, les composants sur substrats SOI se limitent généralement à des épaisseurs  $t_{SiO_2}$  et  $t_{SiO_1}$  inférieures à 100 nm. L'obtention de couches minces rentre alors directement dans le champ de la technologie SmartCut™ [10-11], développée par le CEA-LETI et SOITEC.

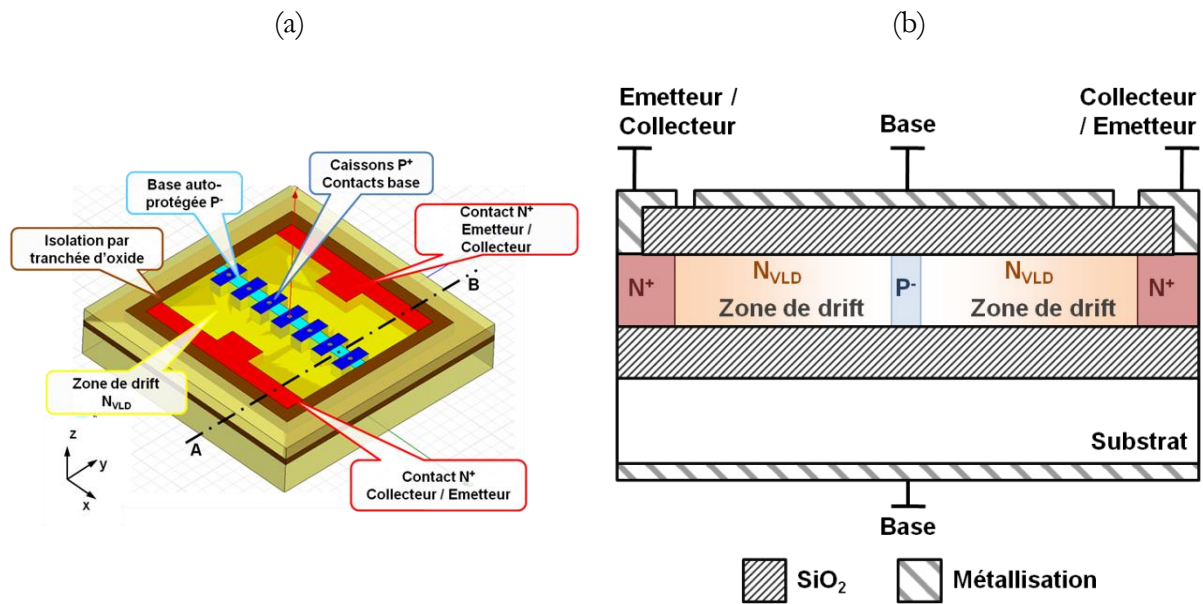
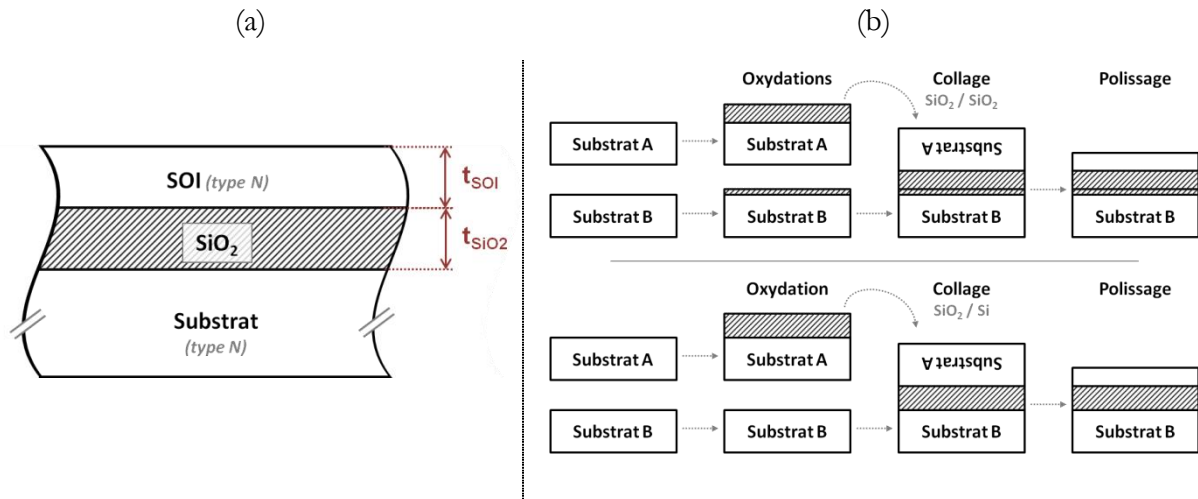


Figure I-11 : (a) Rappel de la vue 3D du transistor bipolaire symétrique sur substrat SOI. (b) Vue en coupe du dispositif au niveau de la ligne (AB).

Dans notre contexte, nous devons avoir une épaisseur  $t_{SiO_2}$  à  $3\ \mu\text{m}$ , ainsi que l'épaisseur  $t_{SOI}$  également de  $3\ \mu\text{m}$  – à la fin de la fabrication du composant, donc en incluant les possibles pertes d'épaisseurs lors d'oxydations par exemple. Ces couches relativement épaisses éliminent *de facto* l'utilisation exclusive de la technologie SmartCut™. Une alternative pourrait consister à partir d'une plaquette avec les caractéristiques  $t_{SiO_2} = 3\ \mu\text{m}$  et  $t_{SOI}$  très fin ( $< 100\ \text{nm}$ ), puis d'épitaxier la couche de SOI jusqu'à  $3\ \mu\text{m}$ , voire plus pour compenser les pertes ultérieures. L'intérêt d'une telle technique réside dans la bonne uniformité ( $\pm 5\%$ ) de l'épaisseur  $t_{SOI}$ . Cependant, SOITEC n'était pas en mesure de nous fournir de telles plaquettes en diamètre 6".

Ainsi, les plaquettes répondant aux caractéristiques demandées ont été fabriquées selon l'un des procédés présentés en figure I-12.b. D'une manière générale, le substrat A subit une oxydation très importante afin de créer un oxyde épais, de  $2,5\ \mu\text{m}$  pour la première méthode, ou de  $3\ \mu\text{m}$  pour la seconde. Dans la première méthode, le substrat B subit lui aussi une oxydation relativement légère, créant un oxyde de  $0,5\ \mu\text{m}$ . On procède alors au collage du substrat A sur le substrat B, ce qui formera l'oxyde enterré de  $3\ \mu\text{m}$ . Enfin, la couche supérieure de silicium est amincie par polissage – on perd donc la quasi-totalité du substrat A pour obtenir la couche superficielle. Par ailleurs, le recours au polissage implique de manière générale une mauvaise uniformité dans l'épaisseur de la couche de SOI ( $\pm 0,25$  à  $\pm 1\ \mu\text{m}$  sur une épaisseur finale de  $3\ \mu\text{m}$  suivant le fournisseur).

La majeure partie de la structure est recouverte d'un oxyde en face avant, qui n'est ouvert qu'au niveau des caissons P<sup>+</sup> et des zones de dopage N<sup>+</sup> émetteur / collecteur. Cet oxyde, non-représenté en figure I-11.a, visible en figure I-11.b, doit être de la même épaisseur [1] que l'oxyde enterré, soit  $t_{SiO_2} = 3 \mu\text{m}$ .



**Figure I-12 : (a) Coupe 2D d'un substrat SOI. (b) Méthodes d'obtention de substrats SOI à couches épaisses.**

### I.3.2.5 Zone de drift

La zone de drift, entre la base et le contact N<sup>+</sup> de l'émetteur / collecteur, permet la tenue en tension du composant ; elle est représentée en figure I-13.a. L'effet RESURF, ici, est assuré d'une part via la plaque de champ en face avant, et d'autre part grâce à la pseudo plaque de champ que constitue l'ensemble oxyde enterré / substrat mécanique (polarisé à la base), créant finalement un « double effet RESURF ». Avec le VLD (*Variation of Lateral Doping* ou Variation Latérale de Dopage), il permet de diminuer la longueur de la zone de drift et d'augmenter ainsi le niveau de dopage moyen [1]. Ainsi, à l'état passant, la résistance de collecteur  $R_{drift}$  est diminuée et  $\gamma_E$  augmenté.

La figure I-13.b représente la vue en coupe horizontale du dopage dans la couche active de silicium. Entre les zones P<sup>+</sup> et N<sup>+</sup> fortement dopées, on peut voir l'évolution du dopage dans la zone de drift, variant *linéairement* entre  $5 \cdot 10^{15}$  et  $5 \cdot 10^{16} \text{ cm}^{-3}$ , sur une longueur  $L_{drift}$  déterminée à  $35 \mu\text{m}$  [1].

Verticalement, le dopage de cette zone doit être constant. S'il ne l'est pas, la désertion par effet RESURF pourrait ne pas se faire correctement, compromettant ainsi la tension de claquage élevée du composant.

Une méthode courante pour obtenir une variation (qu'elle soit linéaire ou logarithmique) de dopage repose sur la variation des ouvertures du masque d'implantation [12–14], représentée en figure I-14. Le recuit post-implantation se chargera ensuite d'homogénéiser la variation du dopage : le profil sera d'autant plus plat que le bilan thermique sera important.

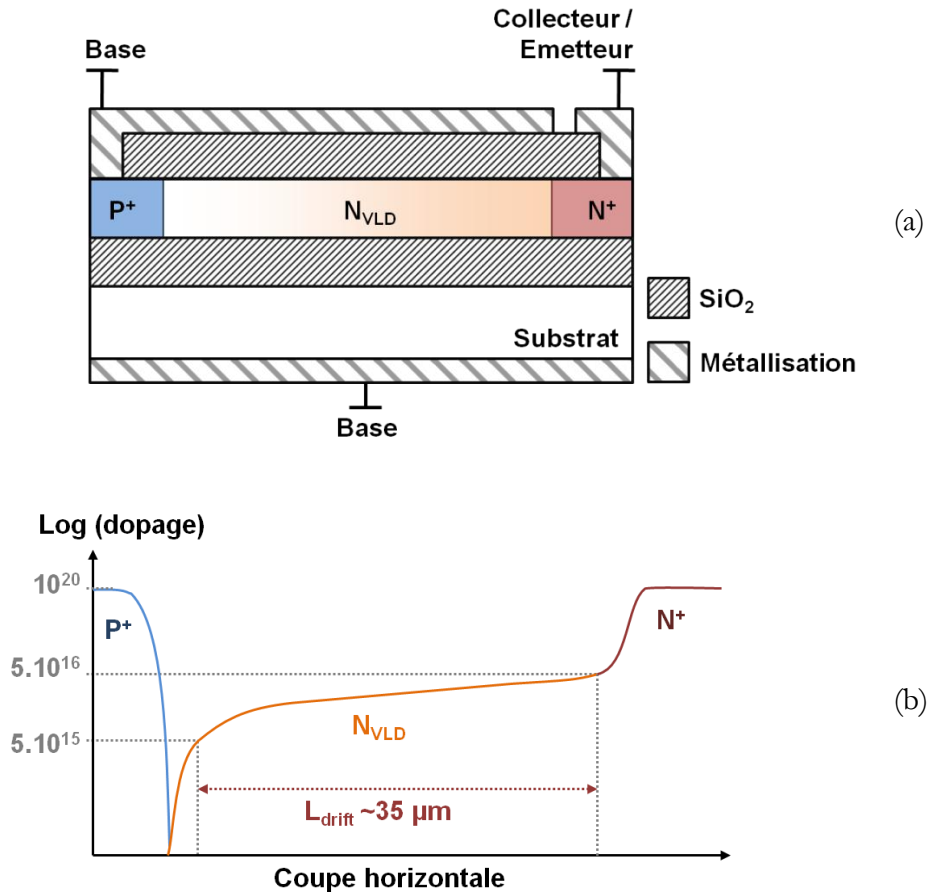


Figure I-13 : (a) Représentation de la zone de drift. (b) Coupe horizontale du dopage dans la couche active de silicium.

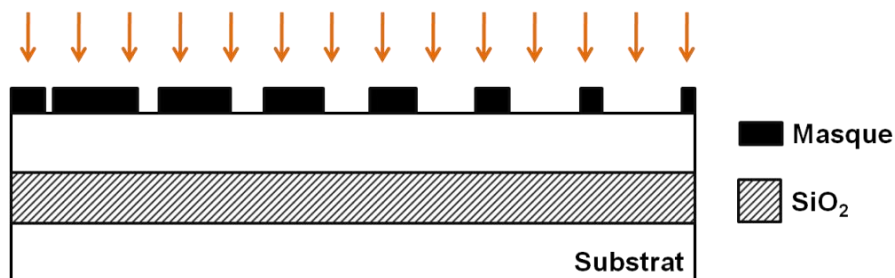


Figure I-14 : Méthode d'obtention d'un dopage linéaire par variation des ouvertures de masque lors de l'implantation.

### I.3.2.6 Zone de base

Dans le but d'obtenir un gain élevé du transistor à faible densité de courant, il est nécessaire d'avoir une base fine et faiblement dopée afin d'augmenter le coefficient  $a_T$  et donc le gain du transistor (cf. §I.3.2.3).

Les travaux cités précédemment [1] ont permis de fixer l'épaisseur de la base  $x_B$  à 1  $\mu\text{m}$ , pour un dopage maximal aux alentours de  $5 \cdot 10^{15} \text{ cm}^{-3}$ . Le challenge est important puisque cela revient à obtenir une base, d'une part, dont le dopage n'excède pas le dopage voisin  $N_{VLD}$ , et d'autre part de largeur inférieure à l'épaisseur  $t_{SOI}$  de la couche active. L'obtention d'une telle base reste la condition *sine qua non* d'obtention d'un gain élevé.

Le dopage de la base doit idéalement être verticalement constant. S'il ne l'était pas, dans le pire des cas, il pourrait se former un canal N, qui court-circuiterait la base. Enfin, une base trop « évasée » (large en surface, fine en profondeur) pourrait être plus facilement sujette au perçage. D'autre part, le courant passerait préférentiellement dans cette zone de largeur réduite. Le reste de la base deviendrait relativement « inactive ».

La figure I-15.a présente la base fine. La figure I-15.b présente la coupe latérale du dopage dans la couche active de silicium.

### I.3.2.7 Peigne de caissons de protection P<sup>+</sup>

La figure I-16 présente une vue de dessus de la structure (sans oxyde ni métallisation face avant). Les caissons P<sup>+</sup> jouent un rôle particulièrement important pour le transistor :

- ils injectent des porteurs à l'état passant, suppléant ainsi la base faiblement dopée qui n'est pas capable d'injecter seule des porteurs en quantité suffisante, limitant le gain,
- ils permettent une prise de contact plus aisée de la base. En effet, contacter la zone P<sup>+</sup> d'un micron de large serait compliqué, et la résistance élevée d'un tel contact serait désastreuse,
- ils protègent la base à l'état bloqué, via l'effet d'autoblindage, présenté en §I.3.2.2. A cet effet, leur espacement  $L_T$  et longueur  $L_p$  doivent être correctement choisis. Ajoutons que l'espacement  $L_T$  entre les caissons ne doit pas être trop grand afin de limiter l'effet de dépolarisation de la base P<sup>+</sup>, qui entraînerait une diminution de la densité de courant d'injection (par exemple, environ 10  $\mu\text{m}$  pour une base de  $1 \cdot 10^{15} \text{ cm}^{-3}$ ). Ici,  $L_T$ , aura pour valeur de référence 5  $\mu\text{m}$ , et  $L_p$  10  $\mu\text{m}$  [1].

Enfin, ces caissons doivent être traversants, c'est-à-dire qu'ils doivent atteindre l'oxyde enterré. Leur profil de dopage vertical ne doit pas nécessairement être constant, mais simplement être suffisamment important en regard du niveau de dopage  $N_{VLD}$  voisin (au moins deux ordres de grandeur supérieur), pour que les caissons  $P^+$  jouent pleinement leur rôle de protection de la base.

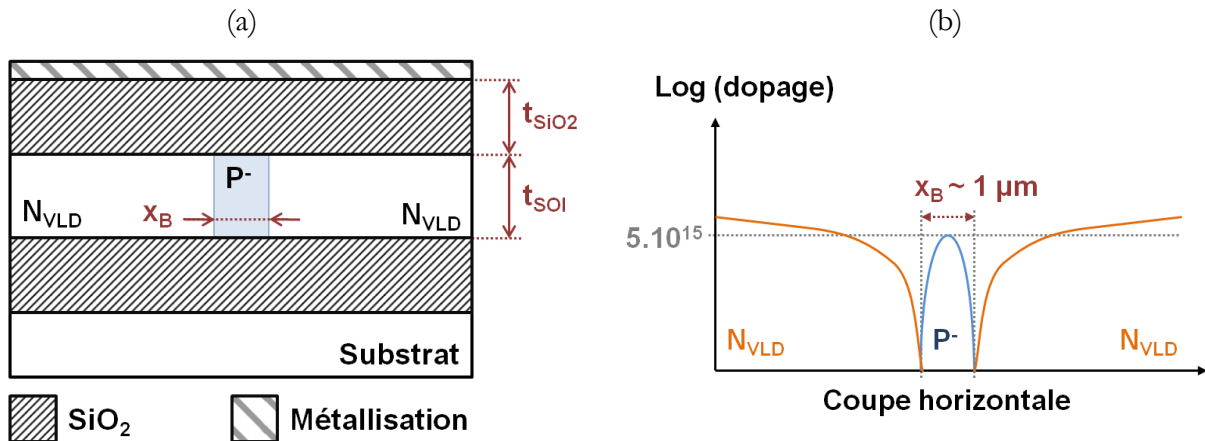


Figure I-15 : (a) Représentation de la base fine traversante. (b) Coupe horizontale du dopage dans la couche active de silicium (SOI).

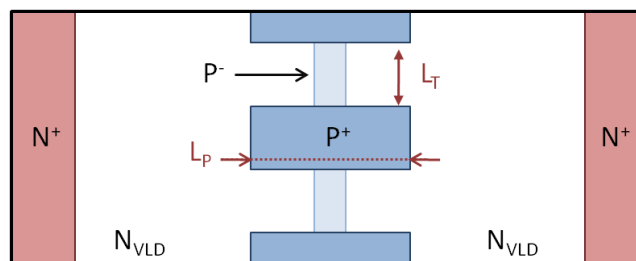


Figure I-16 : Vue de dessus (sans oxyde ni métallisation) du transistor bipolaire.

### I.3.3 Performances électriques

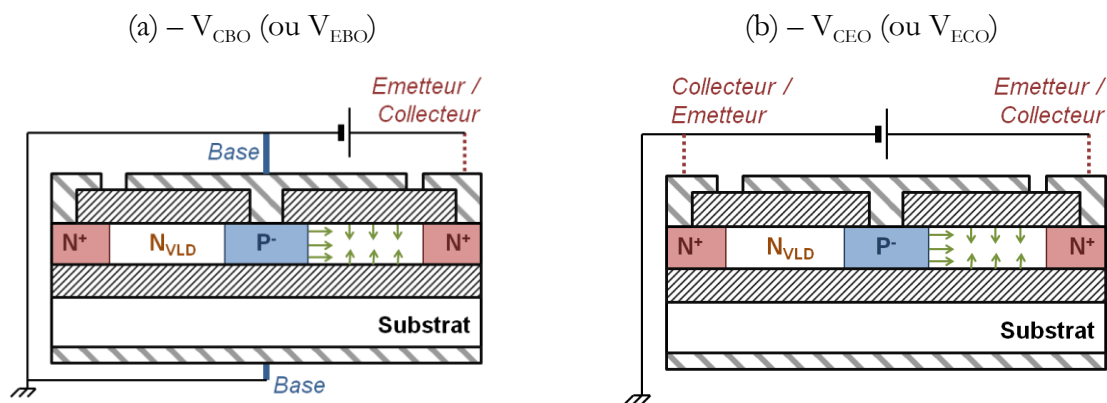
#### I.3.3.1 Tenue en tension

- Cas du transistor ISIO2

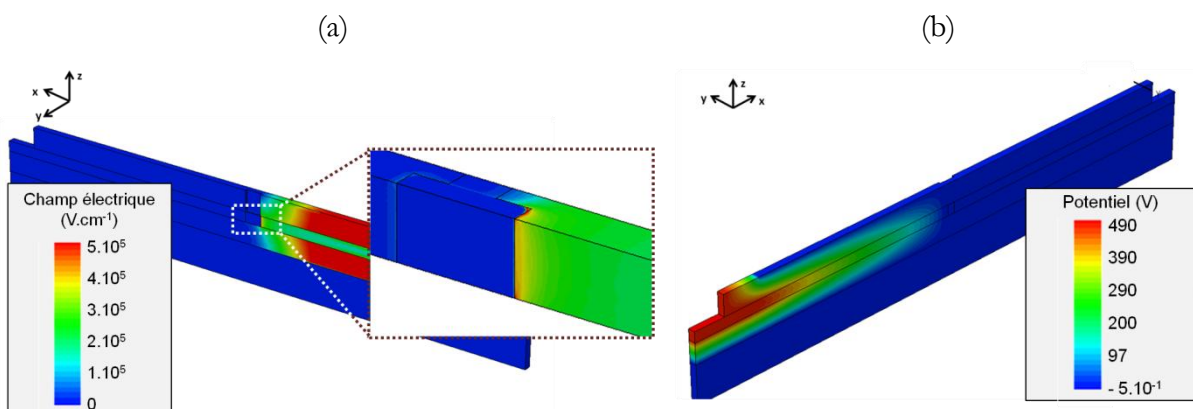
Les travaux menés par L.V. Phung ont abouti à la validation de la théorie (RESURF, autoblindage, base fine) via des simulations électriques (*device*) en 3 dimensions. Les figures I-18.a et I-18.b présentent respectivement la répartition du champ électrique et du potentiel électrique

dans la structure ISIS02 « typique » à l'état bloqué, pour un dispositif ayant les dimensions suivantes :  $t_{SiO_2} = 3 \mu\text{m}$ ,  $t_{SOI} = 1.5 \mu\text{m}$ ,  $x_B = 1 \mu\text{m}$ ,  $L_T = 1 \mu\text{m}$ ,  $L_p = 3 \mu\text{m}$ .

Première constatation : l'autoblindage fonctionne correctement. En effet, la base fine est totalement protégée du champ électrique par les caissons, de sorte qu'aucun perçage de la base n'intervient. Cet autoblindage permet donc à l'effet RESURF de prendre le relai, ainsi la zone de drift est désertée en totalité. Cela se traduit par une répartition des lignes de potentiel électrique le long de la zone de drift. Finalement, malgré une base fine, le transistor est capable de tenir 500 V à l'état bloqué. Grâce à l'autoblindage de la base, les tensions d'avalanche  $V_{CBO}$  (base connectée à la référence, cf. schéma de la figure I-17.a) et  $V_{CEO}$  (base flottante, cf. figure I-17.a) sont très proches. Notons de plus que la topologie de la structure étant complètement symétrique, les performances (tenue en tension, gain) le sont elles aussi.



**Figure I-17 : Schématisation de la mesure de tenue en tension (a) avec la base à la masse, et (b) avec la base flottante. Les flèches vertes indiquent l'extension de la ZCE.**



**Figure I-18 : Représentation 3D (a) du champ électrique et (b) du potentiel électrique dans la structure à l'état bloqué. (Crédit : L.V. Phung)**

- Cas du transistor à base large « Biswitch »

D'un point de vue strictement topologique (cf. figure I-5, page 34) le transistor n'est pas complètement symétrique (du fait notamment du contact  $P^+$  en face avant). Ses performances électriques (en tension et en courant) peuvent néanmoins être contrôlées de manière à les rendre identiques en direct comme en inverse. Cela apparaît clairement sur la figure I-19.a présentant la distribution du champ électrique dans le plan de coupe (AB) de la figure I-5 (page 34). On voit ainsi que l'étalement du champ électrique est équivalent en direct et en inverse, dans la base large. Le graphe I-19.b résume les tensions de claquage, en base commune, directe ou inverse (respectivement  $V_{CBO}$  et  $V_{EBO}$ ), et en base flottante, directe ou inverse (respectivement  $V_{CEO}$  et  $V_{ECO}$ ). La symétrie des performances est très bien respectée. Les différences entre  $V_{CBO}$  et  $V_{EBO}$  proviennent de la courbure du champ électrique en bordure d'émetteur. Lorsque la base est court-circuitée (avec l'émetteur ou le collecteur) l'avalanche se situe au-delà de 600 V. Une fois la base en circuit ouvert, la tension chute de moitié, résultat classique selon la littérature pour des bases non-protégées [15].

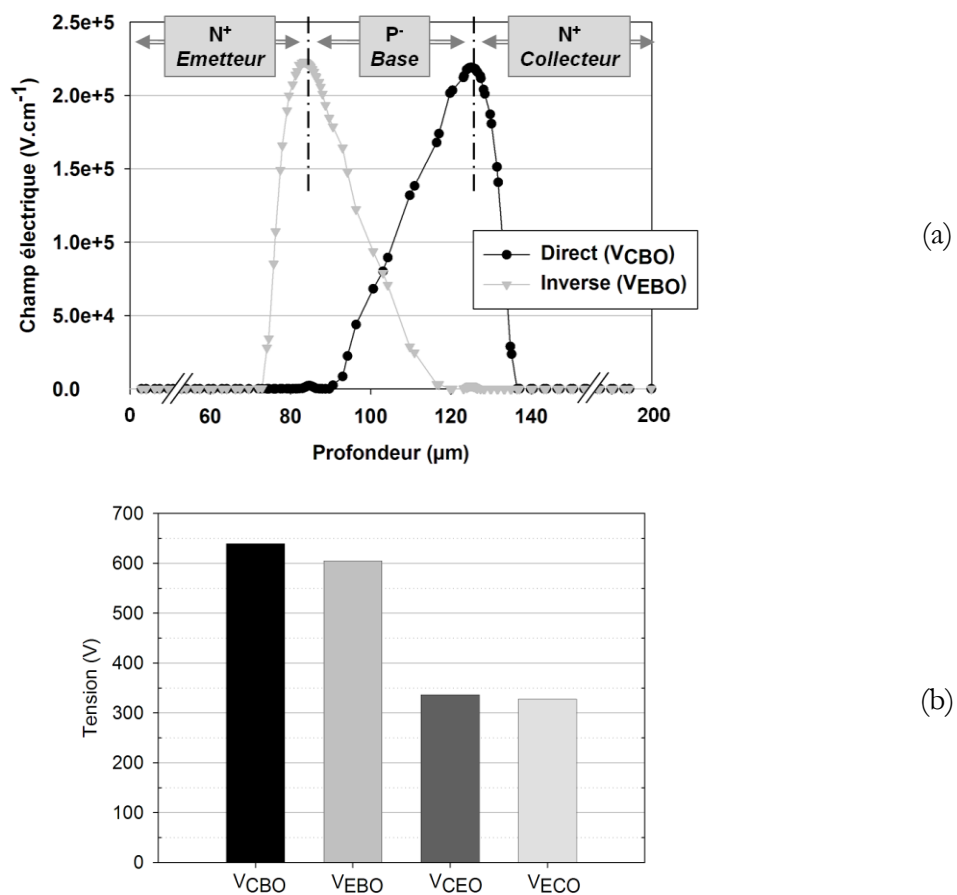


Figure I-19 : (a) Champ électrique dans le plan de coupe (AB).

(b) Tenues en tension du transistor bipolaire symétrique.

### I.3.3.2 Gains

- *Cas du transistor ISIS02*

La figure I-20 présente les gains des transistors ISIS02 et Biswitch (en direct et en inverse), en fonction de la densité de courant (respectivement collecteur et émetteur), et ce pour une chute de tension à l'état passant  $V_{CE|EC} = 0,5$  V. Dans le cas de la structure ISIS02, les gains directs et inverses se confondent, grâce à la symétrie parfaite de la topologie.

A faible densité de courant, le gain du transistor est très élevé ( $> 100$ ). Ceci est la conséquence directe de la présence d'une base fine et faiblement dopée : la recombinaison est réduite, permettant ainsi d'augmenter le facteur de transport des électrons dans la base. Pour des densités en courant plus importantes, autour de  $1 \text{ A.cm}^{-2}$ , le gain du transistor reste élevé, mais chute très rapidement pour atteindre un gain unitaire. A ces densités de courant, la base est saturée de minoritaires et sujette à l'effet Rittner [15], alors que l'efficacité d'injection de l'émetteur est prépondérante.

- *Cas du transistor à base large « Biswitch »*

A faible densité de courant, le gain du transistor Biswitch est très faible, du fait de la présence de la base large : les électrons sont majoritairement recombinés dans la base, conséquence du trajet extrêmement long à parcourir. A forte densité de courant cependant, et parce qu'il y a modulation de la base, le gain augmente pour dépasser 10 jusqu'à  $7 \text{ A.cm}^{-2}$ . Un intérêt de ce transistor pourra donc résider dans son gain relativement élevé à haute densité de courant, a contrario du transistor latéral ISIS02 qui, lui, est limité par son faible volume de conduction (le volume de la couche active de silicium SOI).

Ces transistors bipolaires ont tous deux la capacité de travailler avec une très faible chute de tension à l'état passant. Pour le transistor Biswitch, ceci est validé par sa caractéristique de sortie, illustrée en figure I-21. Ainsi ce composant peut fonctionner à 0,3 V de chute en tension en régime de saturation, sans impacter le gain, permettant ainsi de réduire la puissance dissipée à l'état passant du transistor (même en tenant compte de la puissance dissipée dans la base). Le constat est le même concernant ISIS02, à ceci près que le courant de base (à densité de courant collecteur inférieure à environ  $3 \text{ A.cm}^{-1}$ ) est beaucoup plus faible, ce qui permet de négliger les pertes dans la base et de simplifier le circuit de commande.

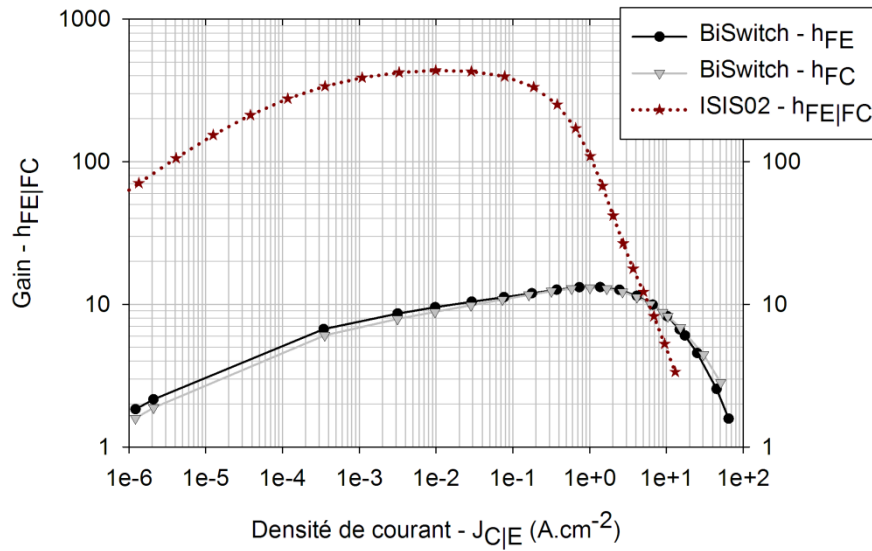


Figure I-20 : Courbes de gains des structures ISIS02 et Biswitch (en direct et en inverse), en fonction de la densité de courant (respectivement collecteur et émetteur).  
Pour le transistor ISIS02, les gains directs et inverses sont les mêmes.

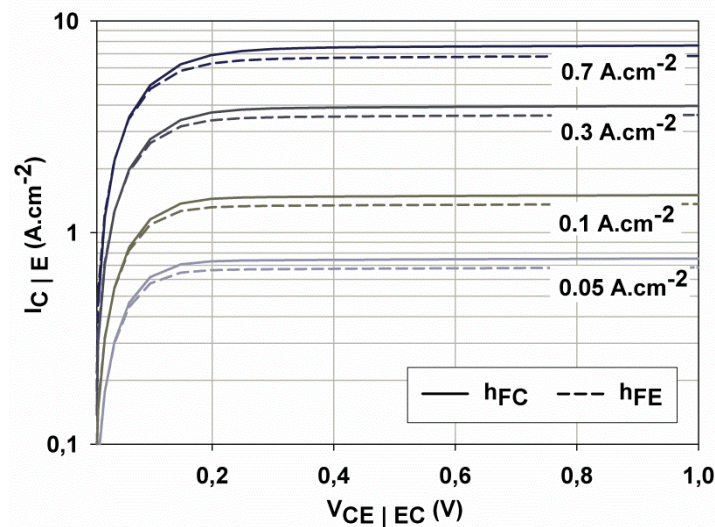


Figure I-21 : Caractéristiques de sortie du transistor Biswitch.

#### I.4 Tableau récapitulatif et choix de la structure

Le tableau I-1 suivant synthétise les performances des solutions bidirectionnelles présentées dans cette section et leurs particularités de fabrication.

Rappelons que le but est d'obtenir un composant bidirectionnel, pleinement commandable, et à faibles pertes à l'état passant. Le TRIAC est donc écarté à cause de sa non-commandabilité à l'ouverture. L'objectif de minimisation des pertes restreint de plus le choix à l'utilisation des technologies bipolaires, puisque la chute de tension à l'état passant des dispositifs MOS-thyristor et PLANAR-MOS est élevée, entraînant ainsi des puissances dissipées supérieures à  $1 \text{ W}\cdot\text{A}^{-1}$ .

Le Biswitch a pour lui l'avantage de sa facilité de fabrication. Comme expliqué en §I.3.1, sa réalisation est semblable à celle d'un TRIAC, pour lequel la technologie (bilan thermique lourd, substrats minces) est bien maîtrisée et le coût final faible. Cependant, pour des courants collecteur / émetteur de quelques ampères, comme voulus dans ce projet, ses performances en termes de gain sont globalement insuffisantes, ce qui induit une commande complexe devant débiter un courant important.

Le transistor ISIS02 a pour lui des performances élevées : tensions d'avalanche élevées, gain important réduisant ainsi le courant nécessaire à sa commande. Il réutilise deux concepts éprouvés (autoblindage par JFET, effet RESURF), qu'il combine de manière particulièrement novatrice dans un substrat SOI et ce avec des dopages verticalement constants ; il introduit par ailleurs le concept de base fine traversante. Puisque le substrat est de type SOI, il est envisageable d'intégrer la commande du transistor dans la puce, à côté de la partie « puissance », isolée par des tranchées oxydées.

La fabrication d'un tel dispositif est cependant plus complexe : nécessité d'obtenir un VLD, une base fine traversante, des caissons d'autoblindage servant de prise de contact, un oxyde face avant épais... Le coût global est élevé, premièrement parce que le nombre de niveaux de masquage est important, deuxièmement parce que l'on utilise un substrat SOI (plus cher), et troisièmement parce que la surface consommée (pour travailler aux alentours de  $5 \text{ A}$ ) sera importante ( $> 1 \text{ cm}^2$ ).

Finalement, dans l'optique de la réalisation de l'interrupteur bidirectionnel commandable à faibles pertes, le compromis performances / « intérêt technologique » / complexité de commande / coût de fabrication a écarté le transistor Biswitch, pour se tourner vers la solution de transistor bipolaire latéral à base fine et autoprotégée « ISIS02 », d'une part pour ses performances élevées, et d'autre part pour le challenge technologique que représente la réalisation de la base fine traversante.

Tableau I-1 : Récapitulatif des caractéristiques des solutions bidirectionnelles citées.

Structure	TRIAC	MOS-thyristor double face	PLANAR MOS gated AC Switch	Transistor à base large « BiSwitch »	Structure latérale « ISIS02 »
<b>Bidirectionnalité</b>	Oui	Oui	Imparfaite	Oui	Oui
<b>Tenue en tension</b>	Élevée	Élevée	Moyenne	Moyenne	Élevée
<b>Densité de puissance dissipée</b>	Élevé ( $\geq 1 \text{ W.A}^{-1}$ )	Élevée ( $\geq 1 \text{ W.A}^{-1}$ )	Élevée ( $\geq 1 \text{ W.A}^{-1}$ )	Faible ( $< 0.5 \text{ W.A}^{-1}$ )	Faible ( $< 0.5 \text{ W.A}^{-1}$ )
<b>Densité de courant</b>	Élevée ( $> 1 \text{ A.mm}^2$ )	Élevée ( $> 1 \text{ A.mm}^2$ )	Élevée ( $> 1 \text{ A.mm}^2$ )	Moyenne ( $0,07 \text{ A.mm}^2$ )	Faible ( $0,01 \text{ A.mm}^2$ )
<b>Commandabilité à l'ouverture</b>	Non	Oui	Oui	Oui	Oui
<b>Photolithographie double-face</b>	Dépend de la périphérie	Impérative	Impérative	Dépend de la périphérie	Non
<b>Masques(*)</b>	$\geq 6$	14	8	4	$>8$
<b>Diffusions</b>	Simple	Complexes	Complexes	Simple	Complexes
<b>Connectique</b>	Simple	Complexe	Simple	Simple	Modérée
<b>Coût global</b>	Faible	Élevé	Moyen	Faible	Élevé

\* Le nombre de niveaux de masquage est donné à titre indicatif et ne tient compte ni de la réalisation de la périphérie du composant, ni des étapes suivant l' (les) ouverture(s) de métallisation. Si une implantation masquée se trouve sur deux faces, un niveau est compté par face, soit deux niveaux au total pour l'implantation en question.

## I.5 Technologies disponibles pour la réalisation du composant latéral ISIS02

Après avoir cerné la structure ISIS02 et sa complexité, il est nécessaire de faire un état des lieux des types de technologies de fabrication disponibles, leurs avantages et inconvénients, afin de n'en retenir que les plus pertinentes.

### I.5.1 Techniques d'obtention de l'oxyde de surface

#### I.5.1.1 Collage d'une couche d'oxyde

La première solution pour obtenir une couche d'oxyde de  $3\mu\text{m}$  en face avant serait simplement de la coller par une soudure directe [16]. Le principe est similaire à celui permettant l'obtention d'un substrat SOI (*cf.* figure I-12, p.42) : le substrat SOI subit un léger traitement thermique pour former un oxyde mince, tandis qu'une seconde plaquette subit un traitement thermique important pour former un oxyde épais de  $3\mu\text{m}$ . On procède alors au collage  $\text{SiO}_2$ - $\text{SiO}_2$  [17]. Une fois les deux couches d'oxyde collées, il faut supprimer l'intégralité du substrat de silicium supérieur, par attaque chimique, par exemple. Le bilan thermique d'une telle soudure directe est relativement faible, aux alentours de quelques heures à  $600^\circ\text{C}$ .

Cette technique conduit cependant à sacrifier une plaquette entière. De plus, le traitement est plaque à plaque, ce qui limite son introduction dans un environnement industriel. Enfin, l'interface de collage présentera une certaine densité d'états de charge [16]. Ceux-ci pourraient notamment induire des courants de fuites le long de l'interface de collage, entre les électrodes.

#### I.5.1.2 Oxydation humide

De manière évidente, une solution pour obtenir un oxyde épais en face avant serait d'oxyder le silicium durant un recuit thermique. Deal et Grove [18] ont depuis longtemps modélisé et mis en équation la croissance de l'oxyde sous la forme :

$$\frac{t_{ox}}{A/2} = \sqrt{1 + \frac{t + \tau}{A^2/4B}} - 1 \quad \text{Équation I-2}$$

avec  $t_{ox}$  l'épaisseur d'oxyde obtenu,  $t$  le temps,  $\tau$  un facteur de correction temporelle traduisant la présence ou non d'un oxyde initial, et des coefficients  $A$  et  $B$  dont les valeurs varient selon la nature du milieu oxydant et de l'orientation cristallographique (*cf.* tableaux I-2 et I-3,

respectivement pour une croissance en atmosphère humide et sèche). Succinctement, précisons que dans ce modèle,  $B$  représente le coefficient de croissance parabolique (prépondérant pour les oxydes épais), et  $B/A$  le coefficient de croissance linéaire (prépondérant pour les oxydes minces).

**Tableau I-2 : Coefficients pour différentes températures d'oxydation sous atmosphère humide (substrat plan <111>, type Bore,  $1,45 \cdot 10^{16} \text{ cm}^{-3}$ ) selon [18].**

Température d'oxydation (°C)	A ( $\mu\text{m}$ )	B ( $\mu\text{m}$ )	B/A ( $\mu\text{m}$ )	$\tau$ (heure)
920	0.50	0.203	0.406	0
1000	0.226	0.287	1.27	0
1100	0.11	0.510	4.64	0
1200	0.05	0.720	14.40	0

**Tableau I-3 : Coefficients pour différentes températures d'oxydation sous atmosphère sèche (substrat plan <111>, type Bore,  $1,45 \cdot 10^{16} \text{ cm}^{-3}$ ) selon [18].**

Température d'oxydation (°C)	A ( $\mu\text{m}$ )	B ( $\mu\text{m}$ )	B/A ( $\mu\text{m}$ )	$\tau$ (heure)
920	0.235	0.0049	0.0208	1.40
1000	0.165	0.0117	0.071	0.37
1100	0.090	0.027	0.30	0.076
1200	0.040	0.450	1.12	0.027

De l'équation I-2 et des valeurs tabulées ci-dessus, il est possible de tracer les courbes d'épaisseurs d'oxyde en fonction du type d'atmosphère oxydante, de la température, et du temps d'oxydation (figure I-22). La ligne horizontale en pointillés rouges marque la valeur de  $3 \mu\text{m}$  d'épaisseur d'oxyde nécessaire au bon fonctionnement de notre composant.

Comme l'a décrit la littérature, une atmosphère humide et des températures élevées accélèrent la croissance de l'oxyde. Cependant, le budget thermique permettant d'obtenir  $3 \mu\text{m}$

d'oxyde thermique est colossal, puisqu'il se situe aux alentours de 800 min @ 1200°C (plus de 13 h). Un tel budget thermique induirait une redistribution gargantuesque et rédhibitoire des dopants dans la couche active SOI. La croissance d'un oxyde aussi épais induirait également d'importantes contraintes mécaniques dans le substrat, avec des déformations de plaquettes et courbures supérieures à quelques centaines de microns, préjudiciables à la suite des opérations. Notons enfin que pour un tel recuit, l'oxyde enterré pourrait être influencé et s'épaissir durant le recuit [19-20]. Cela paraît cependant peu probable vu l'épaisseur de la couche active SOI. Cependant, même si l'oxyde devait s'épaissir, son augmentation serait infime en regard de l'épaisseur initiale (3 µm) et n'impacterait donc pas l'effet RESURF.

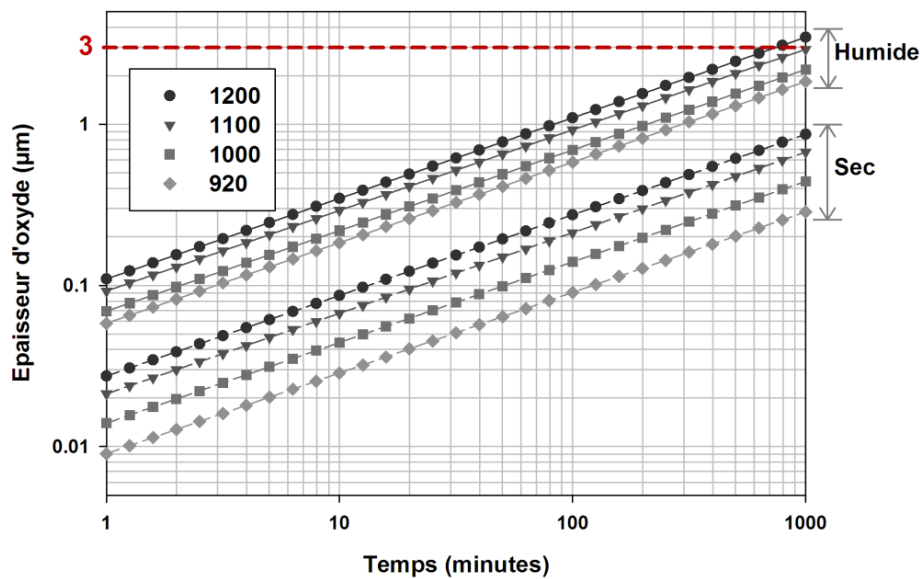
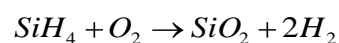


Figure I-22 : Épaisseur d'oxyde thermique en fonction du temps, de la température et du type de recuit (humide / sec).

### I.5.1.3 Dépôt CVD

Les techniques de dépôt d'oxyde par CVD (*Chemical Vapor Deposition* ou Dépôt en phase vapeur, dont il existe plus d'une dizaine de variantes comme le *Plasma Enhanced CVD*, *Low Pressure CVD*, etc.) sont couramment utilisées en microélectronique. Celles-ci consistent à exposer le substrat à des « précurseurs » en phase gazeuse qui réagiront entre eux et se déposeront sur sa surface. Pour le dioxyde de silicium, une possibilité est de faire réagir du silane avec du dioxygène selon la réaction :



Équation I-3

Cette technique permet de déposer un grand nombre de matériaux (polysilicium, métaux, nitrures), et en particulier du  $\text{SiO}_2$  (ou l'USG : *Undoped Silicon Glass*) sur des épaisseurs très variables, du nanomètre à quelques dizaines de microns. L'avantage indéniable de ce type de technique est que le bilan thermique associé au dépôt est faible : par exemple, pour un dépôt par PE-CVD de  $3\ \mu\text{m}$ , il faut compter une trentaine de minutes à  $200^\circ\text{C}$  (vitesse de dépôt de cent nanomètres par minute).

Si la technique CVD est intéressante, elle possède néanmoins deux inconvénients. Premièrement, le contrôle des épaisseurs déposées n'est pas franchement bon, puisqu'il est d'environ 10%. D'autre part, la qualité de l'interface Silicium /  $\text{SiO}_2$  déposé est moindre que celle d'un oxyde thermique (en termes de densité d'états d'interfaces). Or, l'interface en question recouvre entièrement la zone de drift, zone de conduction et de tenue en tension, ainsi que la base fine. Ces états d'interface pourraient donc induire un courant de fuite très élevé.

### I.5.2 Techniques de dopages de la zone de base fine

Il est intéressant de noter que les difficultés liées à la réalisation d'une base fine et à l'obtention de dopages à profils verticalement constants sont analogues à celles liées à la fabrication de structures à SuperJonctions (SJ) [21–25], comme les CoolMOS™ [26–27]. En effet, ces transistors s'appuient sur la réalisation de piliers verticaux N et/ou P de niveaux de dopage équivalents et relativement profonds (jusqu'à plusieurs dizaines de microns). Ces caissons favorisent la désertion de la zone de drift dans le substrat. Ainsi l'on peut augmenter le dopage de cette zone sans impacter la tension de claquage, et finalement diminuer la résistance  $r_{\text{ON}}$  [28] (l'effet obtenu est assez proche de l'effet RESURF présenté au §I.3.2.1). La figure I-23 présente le schéma d'un MOSFET classique avec sa zone faiblement dopée  $\text{N}^-$  (I-23.a), et sa version améliorée à superjonctions (I-23.b) selon [28], via l'ajout de piliers de type P.

T. Minato *et al.* [29] a étudié et comparé certains procédés de fabrication de superjonctions. Dans le cadre de ce travail de thèse, on s'attachera simplement à citer les procédés potentiels d'obtention de la structure ISIO2 et de ses différents profils de dopages verticaux et latéraux, et l'on discutera de leurs avantages et inconvénients. Ainsi l'on pourra définir un cadre global de fabrication du dispositif. Rappelons donc que l'on cherche à obtenir :

- une base fine, d'épaisseur latérale d'environ  $1\ \mu\text{m}$ ,
- des profils de dopage verticaux plats dans les zones  $\text{N}_{\text{VLD}}$  (zones de drift) et  $\text{P}^-$  (base),

- un dopage latéral à variation linéaire (VLD) dans les zones de drift,
- des zones fortement dopées et traversantes ( $N^+$  /  $P^+$ ).

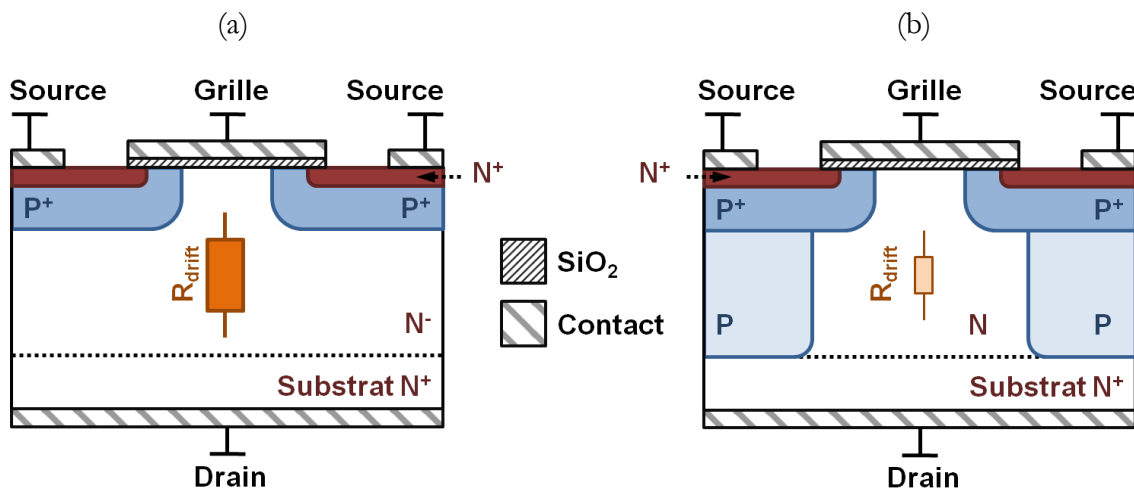


Figure I-23 : Exemple de transistors unilatéraux MOSFET.

(a) Structure classique. (b) Transistor à superjonctions selon [28].

#### I.5.2.1 Multi-épitaxies / Multi-implantations

Une première possibilité pour obtenir des profils de dopage verticaux constants ainsi qu'une base relativement fine serait de réaliser une succession d'implantations et d'épitaxies, comme l'illustre la figure I-24.a. Ce procédé a permis de réaliser des transistors unipolaires de puissance à faible  $r_{ON}$  [28]-[30-31], et est actuellement utilisé industriellement par la société STMicroelectronics pour la production de ses MOSFETs de puissance (technologie MDmesh<sup>TM</sup>).

Typiquement, il s'agit d'enchaîner alternativement : des étapes de dépôt de silicium par épitaxie de couches de silicium [32] (par exemple d'épaisseur  $0,5 \mu m$ ), puis des étapes d'implantations des zones de base  $P^-$ , de drift  $N_{VLD}$ , de caissons  $P^+$  et de contact  $N^+$ , et ce jusqu'à l'obtention d'une couche de silicium finale d'épaisseur  $3 \mu m$  (pour des épitaxies de  $0,5 \mu m$ , 6 phases d'implantations / épitaxies seraient nécessaires). La figure I-24.a illustre les différentes étapes de cette technique.

Un traitement thermique final est nécessaire pour activer et homogénéiser les profils de dopants. Plus le bilan thermique du recuit sera important, moins la base présentera un aspect « crénelé » (I-24.b) et plus son profil de dopage vertical sera plat. D'autre part, un budget thermique important permettra de lisser le profil de dopage latéral, pour se rapprocher d'une variation parfaitement linéaire. Néanmoins, augmenter le bilan thermique après les phases

d'épitaxies pourra nuire à la finesse de la base, aussi, un compromis entre la qualité des profils plats verticaux, l'épaisseur de la base, et la linéarité du VLD doit être envisagé.

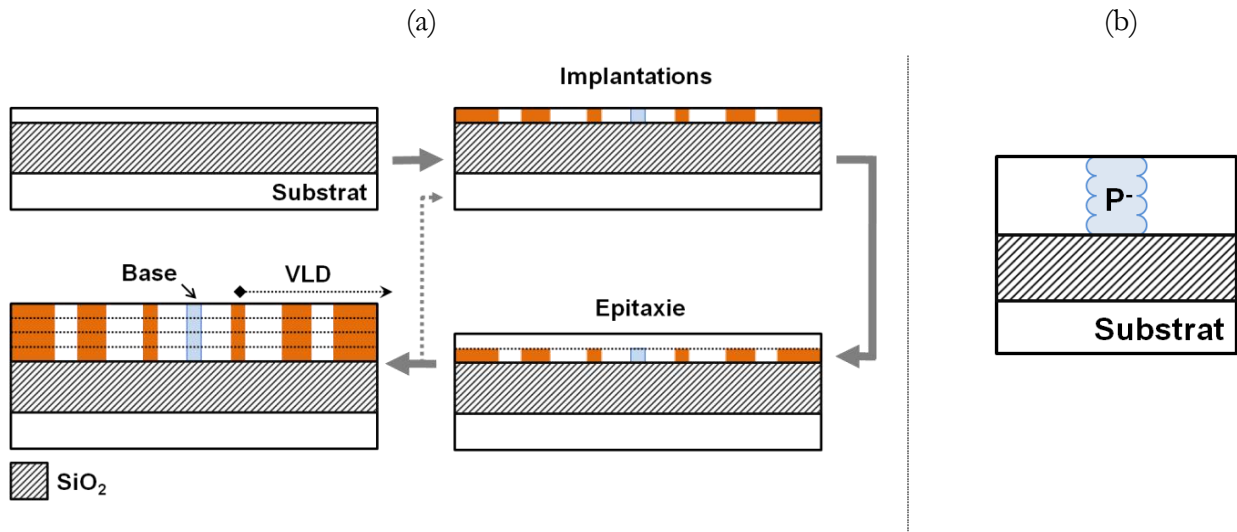
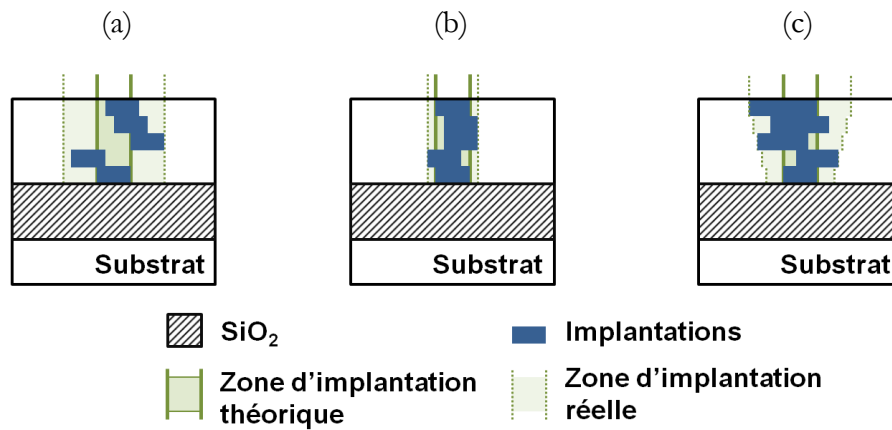


Figure I-24 : (a) Étapes de réalisation d'un VLD et d'une base fine par implantations et épitaxies successives. (b) Forme finale de la base fine.

Il est donc possible d'obtenir via cette méthode une base relativement fine (mais particulièrement dépendante de l'ouverture minimum des masques d'implantations et du budget thermique alloué) avec un dopage vertical relativement plat. Cependant, si la démarche peut sembler intéressante de prime abord, l'impact des désalignements entre les étapes d'implantations dans les couches successives, peut représenter un frein à l'obtention de la base fine.

La figure I-25.a présente un exemple d'implantations P<sup>-</sup> de formation de la base, tenant compte des désalignements (le désalignement maximal *entre couches* étant ici choisi égal à l'épaisseur de la base  $x_B$ , soit environ 1  $\mu\text{m}$ ). D'évidence, certaines configurations de désalignements peuvent engendrer la formation d'une base « coupée en deux », donc inexistante d'un point de vue fonctionnel, le transistor s'apparentant alors à une résistance. Si l'on peut bien sûr compter sur le recuit final d'activation pour rattraper les dommages, il faut cependant considérer qu'il devra également rester limité pour diminuer  $x_B$ . De plus, il est préférable d'éviter d'utiliser un recuit comme palliatif à un problème d'implantation. Pour des désalignements maximums supérieurs à  $x_B$ , le problème n'en deviendra que plus important. Ajoutons enfin que la multiplication des couches accroît également les chances d'obtenir des désalignements successifs importants, et donc la probabilité de former une base scindée.



**Figure I-25 : Exemples d'implantations successives de la base avec désalignements de l'ordre de grandeur de  $x_B$  (a), et bien inférieurs à  $x_B$  (b). (c) Exemple avec augmentation des ouvertures et désalignements modérés.**

Une solution triviale serait de limiter le désalignement maximum entre implantations de couches successives à quelques dixièmes de  $x_B$ , comme en figure I-25.b, ce qui nécessiterait une précision sur les alignements entre épitaxies successives de l'ordre de 100 nm. Dans le cas où la réduction du désalignement ne serait techniquement pas envisageable, une autre possibilité pourrait consister à augmenter progressivement les ouvertures d'implantations au fur et à mesure des épitaxies (figure I-25.b). Cette mesure n'est cependant pas aussi satisfaisante que la précédente en ce sens qu'elle ne favorise pas l'obtention d'une base fine.

Au-delà de cette difficulté technologique, la multiplication des épitaxies et des implantations est véritablement coûteuse, même à l'échelle industrielle, ce qui positionnerait l'utilisation de l'interrupteur ISIS02 loin des applications « grand public » à base de TRIAC par exemple.

#### I.5.2.2 Tranchée avec reprise d'épitaxie

Le problème majeur de la multi-épitaxie étant le désalignement des implantations entre les différentes couches, il est intéressant de se pencher sur des méthodes n'utilisant qu'une seule étape d'épitaxie. En l'occurrence pour le remplissage d'une tranchée, à l'instar d'exemples de fabrication de composants à superjonctions [33–38]. Le principe de réalisation d'une base fine par remplissage d'une tranchée via une épitaxie est schématisé en figure I-26. La première étape consiste à graver le silicium de manière anisotrope pour obtenir une base verticale, par exemple via une gravure RIE (*Reactive Ion Beam*) [39-40]. Une fois la gravure effectuée, vient ensuite le remplissage par épitaxie de silicium de type P, au niveau de dopage souhaité de la base fine. Enfin, dans notre cas, il est indispensable de terminer le procédé en supprimant la surcouche de

silicium, par exemple via un polissage mécano-chimique de type CMP (*Chemical Mechanical Polishing*) [41-42].

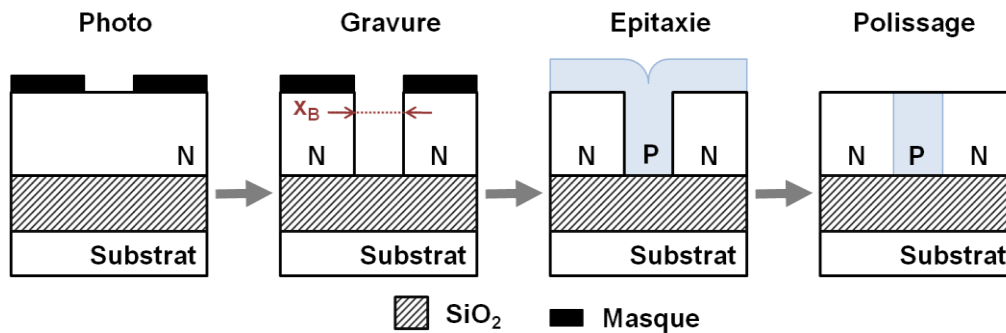


Figure I-26 : Réalisation d'une base fine par tranchée et reprise d'épitaxie.

La gravure, ici, ne serait pas aussi critique que pour les superjonctions, puisque le facteur de forme de la tranchée (inférieur à 10) et l'ouverture  $x_B$  (de l'ordre du micron) seraient de dimensions raisonnables en regard des précisions des gravures actuelles (de l'ordre de 30 pour le facteur de forme, et du dixième de micron pour l'ouverture). L'on peut ainsi éviter la formation de cavités dans la base fine [35].

Un dernier point reste à préciser : l'obtention des zones  $N^+$  et  $P^+$  ainsi que la couche d'oxyde en face avant, sans alourdir le bilan thermique de la base fine. De fait, il serait nécessaire de réaliser toutes les étapes d'obtention des zones  $N_{VLD}$ ,  $N^+$  et  $P^+$  ainsi que l'étape d'oxydation thermique *avant* de réaliser la base fine, et de terminer par le dépôt d'oxyde USG par CVD pour obtenir les 3  $\mu\text{m}$  d'oxyde nécessaires en face avant.

Le coût d'une telle technique est moindre que celui de la multi-épitaxie, néanmoins elle repose sur deux étapes industriellement coûteuses : la gravure de la tranchée et le dépôt par épitaxie, qui par ailleurs doit pouvoir être réalisée sur un substrat préalablement oxydé. D'autre part, l'épitaxie dans une tranchée, même si celle-ci a un facteur de forme relativement faible, reste une opération complexe.

### I.5.2.3 Tranchée avec remplissage de polysilicium

Une alternative au remplissage par épitaxie de silicium consiste à remplir la tranchée avec du polysilicium, selon le même principe que celui représenté sur la figure I-26. Tout comme la technique précédente, il est possible d'obtenir une base très fine, limitée par les capacités de gravure de la tranchée. Le polysilicium présente cependant un inconvénient majeur lié à sa nature polycristalline. En effet, avec des grains de diamètre largement inférieur au micron et donc à

$x_B$  [43], le polysilicium aura tendance à dégrader les propriétés électriques de la base fine, en favorisant notamment la recombinaison des électrons en son sein, réduisant de fait le facteur de transport  $a_T$  et finalement le gain du transistor.

Cette limitation propre au matériau polysilicium n'est pas récente. C'est ainsi que la littérature fait état de travaux visant à améliorer ses performances en permettant la recristallisation partielle du polysilicium, en particulier pour la fabrication de cellules solaires. Une première étude s'est penchée sur l'influence d'un traitement thermique du polysilicium déposé [44]. Il apparaît que l'obtention de grains d'une dizaine de microns de diamètre nécessite un bilan thermique de 30 minutes à plus de 1150°C. Un tel budget thermique contrarierait fortement l'obtention d'une base fine. D'autres techniques s'appuient sur l'utilisation des lasers pour faire fondre le polysilicium localement et le recristalliser [45]. Le diamètre des grains augmente alors considérablement.

#### I.5.2.4 Dopage / recuit laser

Dans l'optique de fabriquer une base fine avec un profil de dopage verticalement plat, le recuit laser apparaît comme un excellent candidat. Via l'utilisation du laser, il est possible de chauffer localement, voire de recristalliser, le silicium [46-47]. Ceci est généralement réalisé avec des lasers Excimer travaillant dans l'ultra-violet, avec lequel il est possible de localiser le recuit grâce à des masquages en matériaux absorbants (par exemple certaines épaisseurs de  $\text{SiO}_2$ ) ou via des matériaux réfléchissants (comme l'aluminium). Pour les dopants dans des zones non-exposées au faisceau laser, aucune diffusion n'est constatée. Par contre, dans les zones chauffées ou recristallisées, la diffusion des dopants est drastiquement accélérée. D'autre part, en modulant la puissance ou le nombre d'impulsion du laser, il est possible de contrôler précisément l'épaisseur de la couche de silicium subissant le traitement thermique [47]. Ainsi, il est possible de maîtriser précisément le lieu de la diffusion des dopants dans le silicium, que ce soit horizontalement (en fonction du masquage ou de la dimension du faisceau), ou en profondeur. Certaines méthodes, telle la technique GILD (*Gas Immersion Laser Doping*) permettent quant à elles de doper le silicium pendant le traitement thermique.

Le dopage par recuit laser est particulièrement utilisé en technologie CMOS / bipolaire avancée, car il permet d'obtenir des jonctions ultrafines (dizaines de nanomètres) en surface de silicium, avec des profils de dopage parfaitement maîtrisés et très abruptes [48-49].

Pour le transistor ISIS02, quelle que soit la technique de dopage utilisée (implantation préalable et/ou dopage laser en phase vapeur), l'intérêt serait de recuire le silicium localement (à l'endroit de l'implantation), pour chauffer, ou recristalliser le silicium sur les 3  $\mu\text{m}$  d'épaisseur de la couche SOI. Malheureusement, le recuit laser est un traitement thermique superficiel, qui n'est

efficace que sur des couches très peu profondes en surface de silicium, jusqu'à quelques centaines de nanomètres, ce qui est très inférieur au  $3\ \mu\text{m}$  nécessaires. Pour terminer, cette technique est peu compatible avec la fabrication de composants à l'échelle industrielle, de par le caractère localisé et le traitement « mono-plaquette » des recuits lasers.

#### I.5.2.5 Implantation à haute énergie

La recherche sur les superjonctions a débouché sur l'utilisation d'implantations à haute énergie pour la réalisation des piliers  $\text{N}^+$  et  $\text{P}^+$  [50–53]. D'une manière générale, en micro-électronique, les énergies d'implantation sont de l'ordre de 10 à 100 keV. L'implantation haute énergie implique des énergies de l'ordre de 500 keV à 20 MeV. Le choix du masque d'implantation devient donc primordial puisque celui-ci devra résister à un bombardement très énergétique et donc traversant, compliquant ainsi sa réalisation [54]. Pour pallier cette difficulté, certaines personnes ont développé des masques à base de couches SOI, collées sur le substrat à implanter [55], comme illustré sur la figure I-27.

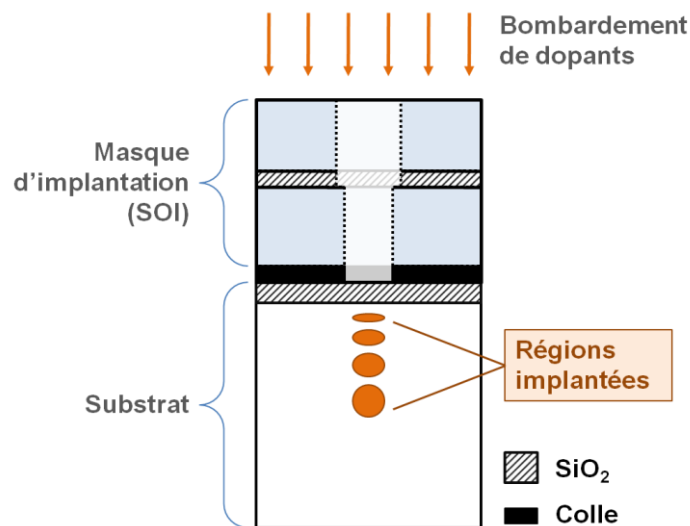


Figure I-27 : Schéma d'une implantation à haute énergie, selon [55].

Suivant le niveau d'énergie utilisé, les ions dopants seront implantés plus ou moins profondément [56-57]. En multipliant les implantations à différents niveaux d'énergie, il est donc possible d'obtenir des « bulles d'implantations » régulièrement espacées. Il est alors nécessaire de procéder à un recuit d'activation et de redistribution des dopants, afin d'interdiffuser les bulles d'implantations et d'homogénéiser la zone implantée. Le second intérêt de ce recuit est de réparer le cristal de silicium, particulièrement endommagé par les implantations [58-59].

Dans le cadre de l'obtention d'une base fine, cette technique pourrait se révéler intéressante. Afin de faire pénétrer du bore dans le silicium à quelques microns de profondeur, des énergies de 0,5 à 4 MeV seraient nécessaires [57]. L'obligation de recuire le silicium pour permettre sa recristallisation entraîne néanmoins une contrepartie sévère, puisque le bilan thermique nuirait à la conservation de la finesse initiale de la base.

#### I.5.2.6 Recuits RTA

Puisque nous cherchons à obtenir une base d'épaisseur la plus faible possible, la technique de recuit rapide ou RTA (*Rapid Thermal Annealing*) apparaît comme une alternative intéressante. Les rampes de montée et de descente en température de ces recuits peuvent être très élevées, de l'ordre de 1000°C/s, grâce à l'utilisation de lampes halogènes par exemple. Le traitement thermique global de la plaquette ne dure finalement que quelques secondes, ce qui permet des bilans thermiques faibles. Ces recuits sont particulièrement utilisés en technologie VLSI pour obtenir des diffusions très peu profondes, inférieures à 100 nm [60-61]. L'étude des recuits RTA a mis en évidence l'existence d'un effet de diffusion accélérée ou TED (*Transient Enhanced Diffusion*) dans le silicium, se caractérisant par une diffusion accrue des dopants pendant un laps de temps assez court, due à l'influence des défauts ponctuels (principalement créés lors de l'implantation) dans le cristal de silicium et présents dans les premiers instants du recuit [62].

Malheureusement, une implantation suivie d'un recuit RTA, accompagné de l'effet TED, ne sauraient suffire pour obtenir une diffusion profonde, et encore moins un profil de dopage vertical plat sur les quelques microns de la couche active de silicium dans notre application. En effet, les conditions d'accélération étant liées à la présence de défauts ponctuels en sursaturation pendant les premiers instants du recuit, leur influence s'estomperait rapidement pour se rapprocher des conditions de diffusion en fours conventionnels. En revanche, ce type de recuit semble particulièrement indiqué pour activer les dopants après un procédé multi-épitaxial (*cf.* §I.5.2.1).

### I.5.2.7 Recuit CTA

A l'opposé des recuits RTA, il faut envisager le recours à la technique de recuit classique ou conventionnel, dit CTA (*Conventional Thermal Annealing*). Ce type de recuit est particulièrement utilisé dans l'industrie de fabrication des composants semiconducteurs de puissance tels que le TRIAC, où il peut être nécessaire de réaliser des diffusions sur plus de 100  $\mu\text{m}$  de profondeur. De plus, les recuits CTA autorisent le traitement par lots des plaquettes.

Dans le contexte de la réalisation du transistor symétrique latéral sur SOI, tout l'intérêt du recuit à fort bilan thermique réside dans la possibilité de se servir de l'oxyde enterré comme d'une barrière de diffusion pour les dopants. Ainsi, via ces bilans thermiques élevés, il est envisageable d'obtenir des profils plats, du fait du confinement des dopants, favorisant leur redistribution homogène dans la couche SOI. Les recuits longs sont également propices à la réalisation d'un VLD parfaitement linéaire sur plusieurs dizaines de microns. Les recuits classiques favorisent donc la formation de jonctions étendues, à l'opposé des objectifs de formation d'une base fine.

### I.5.2.8 Dopage Aluminium

Outre le type de l'élément dopant, sa diffusivité peut également être un critère déterminant. Ainsi, l'aluminium est un dopant de type P présentant l'avantage majeur de posséder un coefficient de diffusion environ dix fois supérieur à celui du bore (ou du phosphore pour le type N), ce qu'illustre la figure I-28 [63-64].

A cet égard, il apparaît intéressant d'utiliser l'aluminium en lieu et place du bore pour former plus rapidement le profil vertical plat de la base fine, tout en réduisant de manière drastique le bilan thermique associé. L'aluminium présente cependant un défaut majeur puisqu'il est particulièrement susceptible d'exo-diffuser en quasi-totalité vers les surfaces oxydées du substrat pour former de l'alumine ( $\text{Al}_2\text{O}_3$ ), y compris avec une couche d'oxyde natif [65]. Il en ressort une dose difficilement contrôlable avec, à la suite d'un recuit de quelques heures à plus de 1000°C, une dose active d'aluminium restante ne représentant plus que quelques pourcents de la dose initiale [66]. Ajoutons qu'aucune étude à ce jour ne traite du comportement de l'aluminium avec un oxyde enterré dans un substrat SOI lors d'un recuit type CTA. Or, il est possible que le dopant puisse réagir avec l'oxyde enterré pour former de l'alumine, à l'instar de sa réaction connue avec l'oxyde natif en surface. Auquel cas, nous aurions alors une sorte de double « pompe à dopants », en face avant et dans le silicium à l'interface avec l'oxyde enterré. Le contrôle de la dose n'en serait alors que plus incertain, et l'obtention d'une base fine, même si celle-ci est peu dopée, serait fortement compromise.

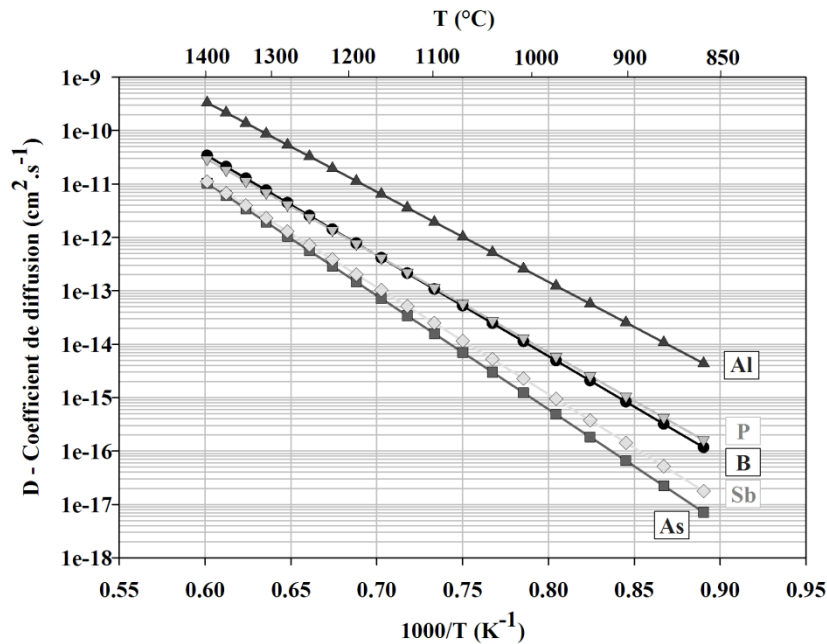


Figure I-28 : Coefficients de diffusion de l'aluminium, du phosphore, du bore, de l'antimoine et de l'arsenic en fonction de la température, selon [63-64].

### I.5.3 Choix des technologies

Notre choix des technologies de fabrication de la structure ISIS02 devait être compatible avec l'objectif de réalisation d'un prototype de transistor à la fin du projet ISIS, devant s'insérer dans les lignes de production de l'entreprise STMicroelectronics Tours. Ce cadre a donc exclu certaines des techniques présentées jusqu'ici. Néanmoins, nous avons tenu à comparer ces technologies, qu'elles soient compatibles ou non avec les lignes de fabrication du site en question.

- *Oxyde face avant*

Trois techniques sont envisageables pour former la couche d'oxyde en face avant, de  $3 \mu\text{m}$  d'épaisseur : le collage, la croissance thermique ou le dépôt CVD. Le collage, de part sa complexité dans un tel cadre, son coût en plaquettes, et de part la mauvaise qualité de l'interface de collage, n'apparaît pas approprié. La croissance thermique humide et le dépôt CVD présentent tous deux des avantages et inconvénients : la croissance humide permet d'obtenir un oxyde de qualité, mais le budget thermique inhérent est très lourd. Le dépôt CVD quant à lui est beaucoup plus souple en termes de bilan thermique, mais la qualité de l'interface peut être problématique.

Finalement, il paraît intéressant de coupler une oxydation thermique avec un dépôt CVD pour obtenir l'oxyde épais désiré, ce qui assurerait ainsi une bonne qualité d'interface et un bilan thermique moins important. Nous opterons donc pour la croissance d'un oxyde thermique épais d'un micron via un recuit humide d'environ 100 min @ 1150°C, suivi d'un dépôt de 2 µm d'oxyde par CVD. Si l'on s'assure ainsi de la bonne qualité de l'interface oxyde/SOI d'une manière générale, nous n'éviterons cependant pas les variations non-négligeables de l'épaisseur finale de l'oxyde, aux alentours de 3 µm +/- 10%.

- *Dopage de la base fine*

Le tableau I-4 résume les technologies potentiellement disponibles pour la formation de la base fine, avec leurs avantages et inconvénients respectifs, et présentées dans les paragraphes précédents. Ce tableau indique par ailleurs leurs disponibilités au sein du pôle de microélectronique de Tours. Rappelons en effet que cette étude vise à réaliser un interrupteur bidirectionnel dans le cadre d'un projet de recherche collaboratif intégrant l'environnement R&D de STMicroelectronics Tours et celui du CERTeM (*Centre d'Étude et de Recherche Technologiques en Microélectronique*).

Les techniques à base d'épitaxie, en particulier le procédé basé sur le remplissage d'une tranchée par épitaxie, sont des techniques particulièrement adaptées à la réalisation de la base fine du transistor. En revanche, ces techniques sont complexes et donc industriellement lourdes et coûteuses, et ne sont malheureusement pas disponibles localement.

Au lieu de remplir une tranchée par épitaxie, il est aussi possible de la remplir avec du polysilicium. Cependant, la base est alors extrêmement recombinaison, et il est indispensable de recristalliser les matériaux. Plusieurs options sont envisageables : un recuit du dispositif permettrait la recristallisation du polysilicium, mais augmenterait sensiblement l'épaisseur de la base. D'autres techniques permettent la recristallisation, mais ne sont pas industrielles, et ne sont pas disponibles localement.

La technique de dopage laser est particulièrement intéressante. Elle permet la formation de jonctions très courtes, aux profils de dopages abrupts et maîtrisés. Cependant, le laser n'est actuellement pas apte à traiter thermiquement le silicium à plus de quelques centaines de nanomètres de profondeur, loin des 3 µm nécessaires.

Toutes les techniques précédentes sont indépendantes de la réalisation du reste du dispositif, notamment de la formation du VLD.

L'implantation à haute énergie se rapproche de la technique de dopage par implantation et épitaxies alternées, en ce sens qu'elle permet de former des « bulles » de silicium dopées, qu'il suffit de recuire en une étape pour homogénéiser le profil de dopage. Cependant, cette technique est particulièrement endommageante pour le cristal de silicium, de sorte qu'après ces implantations, il est nécessaire d'avoir recours à un traitement thermique important pour réparer le cristal. Ce recuit complique la réalisation d'une base fine, mais peut favoriser la formation du VLD. Enfin, le procédé est complexe, en particulier au niveau de l'étape de masquage, peu industriel.

L'utilisation d'un recuit rapide RTA ne saurait suffire à lui seul à former une base fine et au profil verticalement plat. Bien que ce procédé soit industriellement mûr, il n'est pas indiqué pour la réalisation de notre dispositif.

L'utilisation de l'aluminium en lieu et place du bore représente une alternative intéressante. L'aluminium diffusant beaucoup plus rapidement que le bore, et étant attiré d'autre part par les oxydes, il est envisageable de l'utiliser pour former une base relativement fine et verticale. Mais sa forte propension à réagir avec l'oxygène pour former de l'alumine rend difficile le contrôle de la dose d'aluminium restante, et donc le contrôle de la dose de la base.

L'utilisation des recuits classiques, procédés complètement maîtrisés dans un cadre industriel, ne permet pas *a priori* de former une base fine. Cependant, cet objectif pourrait être atteint en coréalisant la base et le VLD, via respectivement du bore et du phosphore. En effet, la diffusion conjointe de la base fine et du VLD permet de compter sur une compensation du profil de bore par la diffusion latérale du phosphore depuis la zone de drift. Ainsi l'on peut limiter l'« évasement » de la base, du au bilan thermique des recuits classiques. Ceci sera détaillé en chapitre II.

Au vu des différents avantages, inconvénients et disponibilités locales des techniques citées précédemment, nous opterons pour des implantations classiques de dopants phosphore et bore, suivies de recuits CTA. Ces diffusions sont par ailleurs compatibles avec une oxydation partielle en face avant par recuit humide, comme présenté en §I.5.1.3.

Tableau I-4 : Récapitulatif des technologies disponibles avec leurs principaux avantages et inconvénients respectifs.

	Obtention VLD	Finesse de la base	Dopage base (qualité, profil vertical plat...)	Complexité	Industrialisation	Disponibilité
<b>Multi-épitaxies</b>	Indépendant	Limitation photo	Bon	Élevée	Possible, Complexe	Non
<b>Tranchées / Epitaxie</b>	Indépendant	Limitation photo	Excellent	Élevée	Possible, Complexe	Non
<b>Tranchée / PolySi</b>	Indépendant	Limitation photo	Mauvais (base recombinante)	Importante	Bonne	Oui
<b>Dopage / recuit laser</b>	Indépendant	Limitation photo	Dopage excellent. Uniquement pour les SOI fin.	Élevée	Complexe	Non
<b>Implantation haute énergie</b>	Relativement indépendant	Limitation photo et recuit	Bon. Nécessite recuit (recristallisation, homogénéisation).	Élevée	Complexe	Non
<b>RTA</b>	Relativement Indépendant	Un recuit RTA ne peut pas (seul) former une base traversante. Il faut l'allier (par ex.) avec une implantation haute énergie.		Faible	Bonne	Oui
<b>CTA</b>	« Co-réalisation » base /VLD	Mauvaise	Bon	Faible	Excellente	Oui
<b>Dopage Aluminium</b>	Relativement indépendant	Diffusion « verticale » du dopant ?	Mauvais (contrôle difficile de la dose restante)	Faible	Excellente	Oui

## I.6 Conclusion

Dans ce chapitre, nous avons présenté le contexte de l'étude des interrupteurs bidirectionnels à semiconducteurs.

Plusieurs interrupteurs bidirectionnels existent. Cependant, ils sont en général complexes à réaliser (multiples diffusions, oxyde de grille, connectiques...) et présentent des pertes élevées à l'état passant, ce qui est rédhibitoire pour notre application.

Dans ce contexte de recherche de solutions alternatives, deux dispositifs à base de transistor bipolaire ont émergé. Le premier dispositif, dit « Biswitch », est un transistor bipolaire à base très large. Cette base permet de symétriser les performances du composants, qui restent cependant moyennes : le gain du transistor ne devient relativement important que pour des densités de courant importantes (plusieurs ampères par centimètre carré). En revanche, la réalisation d'une telle structure est particulièrement aisée, car très proche de ce qui se fait pour les TRIACs, ce qui la rend peu chère.

Le second transistor, appelé ISIS02, s'appuie sur une structure symétrique latérale. Le transistor allie : substrat SOI et plaque de champ en face avant (favorisant l'effet RESURF), zone de drift à dopage linéaire (VLD), base fine autoprotégée par effet JFET. Cela lui permet d'avoir des tensions de claquages élevées et des gains très importants à faibles et moyennes densités de courant. Du fait de ses performances élevées et de son caractère très novateur, c'est ce dispositif qui a été retenu dans le cadre du projet collaboratif ISIS.

L'obtention de cette structure latérale, de par ses niveaux de dopage relativement faibles, sa géométrie complexe, les faibles dimensions de ses motifs, représente donc un challenge technologique majeur. Plusieurs technologies ont été envisagées, mais seules les technologies reposant sur les épitaxies ou les recuits classiques semblent à même de réaliser la base fine. Le choix s'est finalement porté vers l'utilisation de recuits de diffusion classiques, pour des raisons de simplicité, d'industrialisation et de disponibilité.

Les traitements thermiques nécessaires à l'obtention de la zone de drift avec VLD, des profils de dopage verticalement plats, et de l'oxyde épais en face avant sont relativement importants. Dans le même temps, il est primordial de réduire au maximum le bilan thermique dans l'optique de conserver une base la plus fine possible. Une solution pourra consister à mutualiser certains traitements thermiques, notamment en profitant de l'étape d'oxydation thermique en face avant, afin de limiter l'élargissement de la base causé par l'accumulation des budgets thermiques.

Nous avons vu que la réalisation d'une base latérale fine ne pourra se faire qu'en satisfaisant le compromis entre un bilan thermique faible, pour la réalisation de la base, et un bilan thermique élevé, pour la réalisation des VLD et des profils de dopage verticaux plats. Pour satisfaire ce compromis et déterminer les paramètres technologiques de chacune des étapes de fabrication de notre composant, nous nous sommes appuyés sur un ensemble modélisations et de simulations de fabrication (*process*), dont les résultats sont présentés dans le chapitre II.



**II. DETERMINATION ANALYTIQUE DES  
MASQUES DU VLD ET DE LA BASE FINE –  
VALIDATION PAR LA SIMULATION**

<b>II.1 Diffusion verticale homogène .....</b>	<b>74</b>
II.1.1 Dopage vertical et bilan thermique associé.....	74
II.1.2 Profils des zones P <sup>+</sup> et N <sup>+</sup> et implications sur la fabrication du dispositif .....	76
<b>II.2 Présentation du procédé de fabrication retenu .....</b>	<b>77</b>
<b>II.3 Mécanismes de ségrégation et d'accumulation des dopants dans le SOI.....</b>	<b>80</b>
II.3.1 La ségrégation et l'accumulation des dopants aux interfaces.....	80
II.3.2 Application au transistor ISIS02 .....	84
II.3.3 Modélisation électrique de la présence d'un canal au niveau de la base .....	86
<b>II.4 Zone de drift .....</b>	<b>88</b>
II.4.1 Présentation de la méthodologie de calcul analytique et limitations .....	88
II.4.2 Calibration des profils Matlab.....	90
II.4.3 Détermination des ouvertures du masque d'implantation VLD par la méthode de calcul analytique.....	93
II.4.4 Validation des calculs par simulations physiques.....	98
II.4.5 Simulation électrique de l'effet RESURF.....	100
II.4.6 Conclusion.....	102
<b>II.5 Zone de Base .....</b>	<b>102</b>
II.5.1 Principe de la compensation .....	103
II.5.2 Calculs analytiques permettant d'obtenir la base fine.....	104
II.5.3 Validation des calculs par la simulation physique .....	105
II.5.4 Simulations électriques.....	107
II.5.5 Conclusion.....	113
<b>II.6 Impact du désalignement entre les masques d'implantations .....</b>	<b>114</b>
II.6.1 Présentation des principaux désalignements .....	114
II.6.2 Impact du désalignement sur la base fine .....	114
II.6.3 Impact du désalignement sur l'effet RESURF.....	117
<b>II.7 Conclusion .....</b>	<b>120</b>

Le cadre général de fabrication du transistor latéral ISIS02 est dorénavant posé. Ce chapitre est consacré à l'étude détaillée des premières étapes de fabrication du composant, dédiées à l'obtention des différentes jonctions métallurgiques dans la couche active de silicium SOI : base fine, dopage VLD, caissons de protection P<sup>+</sup>, zone de contact N<sup>+</sup>.

Premièrement, nous évaluerons le bilan thermique nécessaire pour obtenir des dopages à profils verticaux plats. Ce bilan thermique servira de référence pour le reste de l'étude. Nous nous consacrerons ensuite à l'étude des mécanismes de ségrégation et d'accumulation aux interfaces oxyde / silicium, compte tenu du substrat particulier utilisé dans cette étude, le SOI. Cela permettra de mener une réflexion concernant les possibles implications de ces phénomènes sur le transistor et ses performances.

L'étude de la fabrication des zones de drift et de la base fine se fera d'abord via une étude analytique. En effet, pour accélérer la recherche de couples de masques / doses à implanter, il n'est pas envisageable de recourir tout de suite à des simulations numériques de fabrication, « physiques » (simulations par éléments finis type SENTAURUS ou SILVACO), généralement lourdes en temps de calculs. C'est donc seulement après avoir obtenu des résultats analytiques que l'on implémentera ces solutions dans des outils de simulations TCAD. Enfin, ces résultats de simulations physiques viendront alimenter des simulations numériques électriques, pour vérifier le bon fonctionnement du composant et le comparer à la théorie développée par L.V. Phung.

Enfin, nous étudierons l'impact des différents désalignements entre les niveaux de masquage sur l'allure de la base fine, ainsi que sur le comportement électrique du transistor.

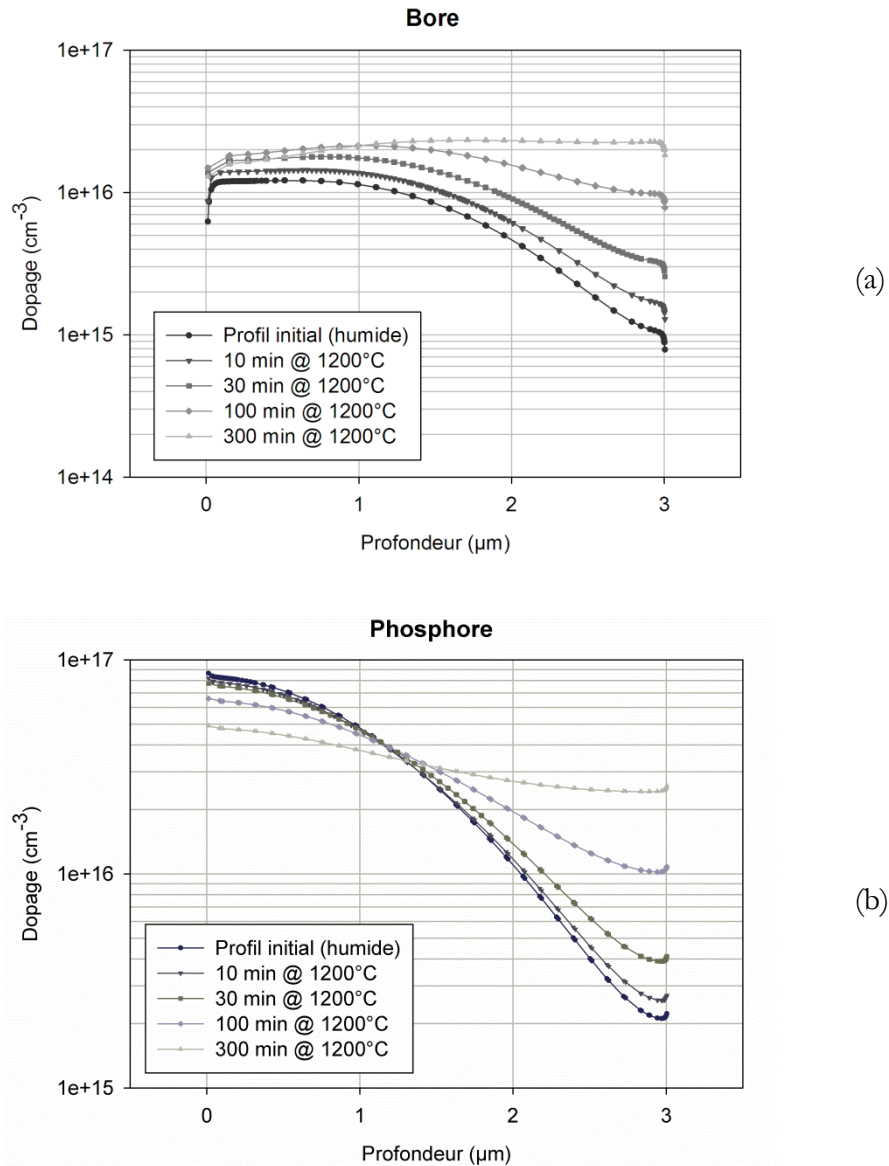
Par commodité pour la suite de ce travail, nous appellerons simulations « physiques » les simulations numériques par éléments finis de la fabrication d'un composant (simulation « *process* »), et simulation « électriques » les simulations numériques par éléments finis du comportement électrique d'un composant (simulations « *device* »).

## II.1 Diffusion verticale homogène

### II.1.1 Dopage vertical et bilan thermique associé

Rappelons que le bilan thermique d'un recuit humide permettant la croissance d'un oxyde de  $1\ \mu\text{m}$  d'épaisseur est d'environ  $100\ \text{min}$  @  $1150^\circ\text{C}$ . Ce bilan thermique n'est pas suffisant pour obtenir un dopage verticalement plat dans l'épaisseur de la couche active de silicium SOI, d'environ  $3\ \mu\text{m}$ . Aussi est-il nécessaire, au cours de la fabrication du composant, de procéder à un recuit dit « d'homogénéisation » (du profil de dopage vertical), en plus du recuit d'oxydation.

Des simulations physiques 1D (outil SENTAURUS, modèles et calibration par défaut) ont été menées, afin de déterminer le bilan thermique de ce recuit d'homogénéisation. Après implantation (bore ou phosphore, dose  $10^{13}\ \text{cm}^{-2}$ ), on simule un premier recuit d'homogénéisation ( $1200^\circ\text{C}$ , durée variable), que l'on poursuit par une oxydation. En figure II-1 sont représentés les profils verticaux de dopage de bore et de phosphore en fonction du temps de recuit à  $1200^\circ\text{C}$ . Le profil « initial » est celui obtenu sans recuit d'homogénéisation. Fort logiquement, plus le temps de recuit est élevé, plus le dopage est homogène dans la couche. Les simulations montrent que pour obtenir un dopage relativement constant, c'est-à-dire avec un ratio dopage maximum / dopage minimum inférieur à 3, il faut nécessairement un temps de recuit élevé, supérieur à 100 minutes.



**Figure II-1 : Evolution du profil de dopage vertical dans la couche active SOI en fonction de la température et du temps de recuit d’homogénéisation, pour le bore (a) et le phosphore (b) (simulations physiques sous SENTAUROS).**

## II.1.2 Profils des zones P<sup>+</sup> et N<sup>+</sup> et implications sur la fabrication du dispositif

Rappelons que les zones N<sup>+</sup> doivent permettre d'assurer un bon contact ohmique des collecteurs et émetteurs, tandis que les caissons P<sup>+</sup> assurent non seulement un bon contact ohmique de la base, mais lui servent aussi de caissons de protection.

Aussi, le profil de dopage vertical des zones N<sup>+</sup> n'a pas besoin d'être verticalement plat, ni même d'être traversant sur l'épaisseur de la couche SOI. La seule contrainte ici, est d'avoir un dopage en surface très élevé, supérieur à  $5.10^{19} \text{ cm}^{-3}$  afin d'éviter le risque d'un contact de type Schottky [67]. Ceci est rendu possible par une implantation à forte dose suivie d'un recuit d'activation de budget thermique le plus faible possible.

Les caissons P<sup>+</sup> sont quant à eux plus contraignants. Le profil de dopage vertical de ces caissons ne doit pas obligatoirement être plat, mais pour que les caissons protègent efficacement la base, ils doivent toutefois être traversants, avec un niveau de dopage proche de l'oxyde enterré au minimum une à deux décades au-dessus du niveau de dopage  $N_{\text{VLD}}$  voisin. Dans le cas contraire, à l'état OFF et au niveau de l'oxyde enterré, les lignes de potentiel électrique pénétreront largement dans la zone inter-caissons. Au final, la base fine ne sera pas correctement protégée et percera prématurément. La figure II-2 schématise trois cas de caissons possibles (idéal, traversant, non-traversant, pour lequel la base n'est pas protégée).

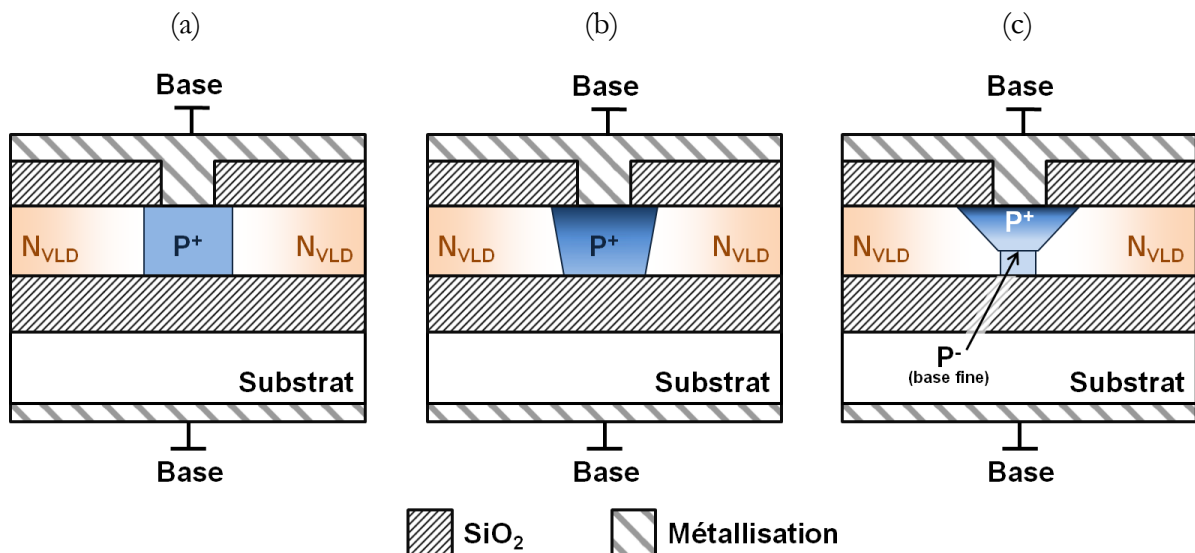


Figure II-2 : Schématisation d'un caisson de protection de la base fine dans le cas idéal (a), traversant (b), et non-traversant (c).

Comme l'illustre la figure II-1 (page 75), le bilan thermique du recuit d'oxydation humide est suffisant pour obtenir un dopage bore ou phosphore traversant l'épaisseur de la couche active de silicium. Avec des doses d'implantations élevées, il est alors possible d'obtenir des zones P<sup>+</sup> et N<sup>+</sup> fortement dopées, traversantes, et dont le dopage, y compris à l'interface silicium / oxyde enterré, est largement supérieur au dopage N<sub>VLD</sub> voisin (de l'ordre de 5.10<sup>15</sup> cm<sup>-3</sup> près de la base ou des caissons).

## II.2 Présentation du procédé de fabrication retenu

L'étude précédente permet de déterminer de manière globale les principales étapes de fabrication du composant ISIS02. Celles-ci sont présentées dans le tableau II-1 et illustrées en figure II-3. Pour simplifier la lecture, certaines étapes « classiques » (nettoyages, oxydes d'implantation...) ne sont pas mentionnées.

Les implantations N<sub>VLD</sub> et P<sub>Base</sub> doivent subir les recuits d'homogénéisation et d'oxydation afin d'être certain d'obtenir un dopage vertical relativement plat. Elles représentent donc les deux premières étapes de fabrication. Après le recuit d'homogénéisation (étape 3), viennent les deux implantations N<sup>+</sup> et P<sup>+</sup> (étape 4 et 5). Avec l'oxydation (étape 6), ces implantations permettront la formation des caissons de protection P<sup>+</sup> et des contacts N<sup>+</sup>. Finalement, l'oxydation permet : la réalisation partielle de l'oxyde de champ, la constitution des régions P<sup>+</sup> et N<sup>+</sup> ainsi que la formation complète de la zone de base, l'obtention des profils verticalement plats des dopages P<sub>Base</sub> et N<sub>VLD</sub>. A la fin de cette étape 6, les jonctions métallurgiques dans le silicium sont réalisées.

Toutes les étapes suivantes (7 et plus) permettent « uniquement » l'obtention des couches supérieures du silicium (métallisation, isolant, passivation) et la mise en boîtier du dispositif. Tout d'abord, il faut compléter l'oxyde face avant par un dépôt CVD afin d'obtenir les 3 μm nécessaires à l'effet RESURF. Par la suite, l'oxyde de champ obtenu est gravé pour accéder aux contacts. Puis l'on peut métalliser le composant (étape 8), ajouter une couche d'isolant (étape 9). Une deuxième couche de métallisation est nécessaire pour ce dispositif (étape 9 – ce point sera développé en §III.2.2.2).

**Tableau II-1 : Résumé des étapes de fabrication du composant bidirectionnel.**

Etape	Nom	Remarque
0 - ...	Étapes préliminaires	Marquage plaquettes, oxydation initiale...
1	Implantation $N_{VLD}$	
2	Implantation $P_{Base}$	
3	Recuit d'« homogénéisation »	➤ Formation préliminaire de la base fine et de la zone de drift.
4	Implantation $P^+$	
5	Implantation $N^+$	
6	Recuit d'oxydation humide	<ul style="list-style-type: none"> <li>➤ Formation finale des zones de base et de VLD.</li> <li>➤ Formation des peignes <math>P^+</math> et de zones <math>N^+</math>.</li> <li>➤ Formation partielle de l'oxyde face avant.</li> </ul>
7	Dépôt USG. Gravure.	➤ Finalisation de l'oxyde face avant formant la plaque de champ.
8 - ...	Étapes finales	Dépôts d'aluminium niveaux 1 et 2, dépôt d'isolant inter-métallisation, gravures, passivation, mise en boîtier...

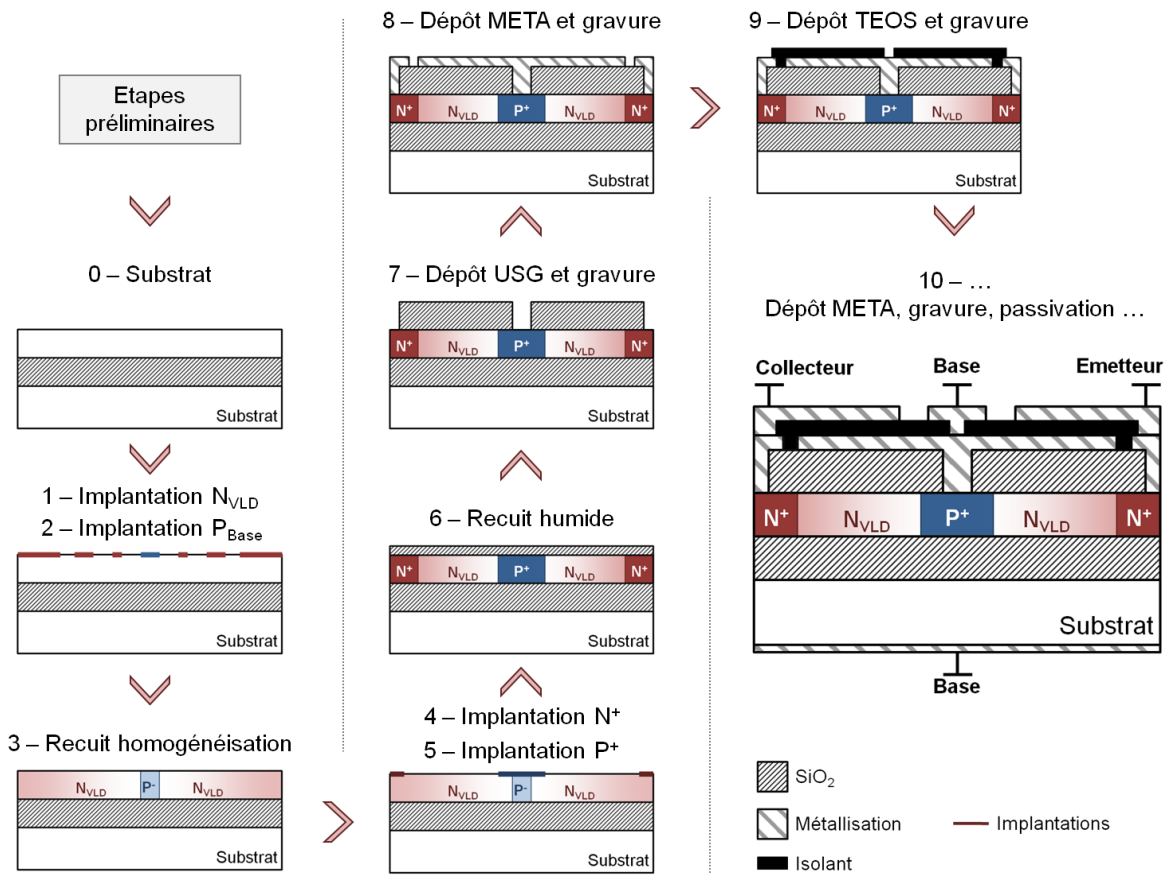


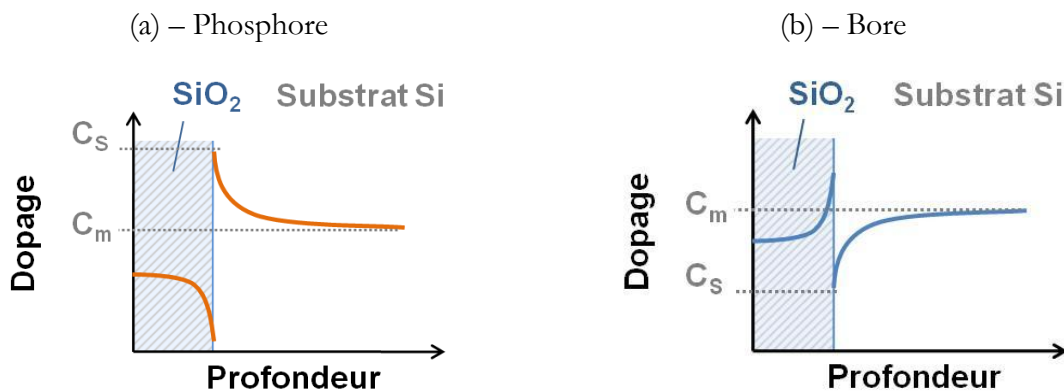
Figure II-3 : Présentation schématique des étapes de fabrication du composant ISIS02.

## II.3 Mécanismes de ségrégation et d'accumulation des dopants dans le SOI

Dans un premier temps, nous présenterons les phénomènes de ségrégation et d'accumulation des dopants aux interfaces silicium / oxyde. Nous verrons que ces phénomènes pourront avoir une influence sur l'allure de la base fine du transistor. Ce qui nous permettra finalement de modéliser électriquement l'impact sur le gain ou le courant de fuite du composant.

### II.3.1 La ségrégation et l'accumulation des dopants aux interfaces

Deux phénomènes ont été décrits dans la littérature : l'accumulation du phosphore, et la ségrégation du bore, à l'interface  $\text{SiO}_2 / \text{Si}$  [68]-[69-70]. Le premier phénomène se traduit par une augmentation du dopage phosphore à l'interface ( $C_s$ ) par rapport au dopage moyen dans le substrat  $C_m$ , illustré en figure II-4.a. Le deuxième phénomène se traduit au contraire par une diminution du dopage bore à l'interface, comme illustré en figure II-4.b.



**Figure II-4 : Illustration de l'accumulation de phosphore (a) et de la ségrégation du bore (b) à l'interface  $\text{SiO}_2 / \text{Si}$ .**

F. Lau [69] a introduit un modèle, dit « ségrégation par trois régions » (*Three Phase Segregation*) permettant de décrire le rôle de l'interface. Ce modèle, illustré en figure II-5, a par la suite été complété et implémenté dans les simulateurs numériques [71–74]. Selon [69], les dopants circulent dans trois régions. La première région est le substrat de silicium, où les dopants ont un coefficient de diffusion  $D_{Si}$ . La deuxième région est l'oxyde de silicium en surface,  $\text{SiO}_2$ , où les dopants ont un deuxième coefficient de diffusion  $D_{SiO_2}$ . Enfin, la troisième région correspond à une zone, appelée « interface », d'épaisseur  $\delta_i$ , où les dopants peuvent être piégés. Les flux entre ces régions sont décrits par quatre coefficients :  $a_{SiO_2 \rightarrow I}$  et  $a_{I \rightarrow Si}$  traduisent le piégeage des dopants dans l'interface, respectivement depuis l'oxyde et depuis le silicium ;  $\ell_{I \rightarrow SiO_2}$  et  $\ell_{I \rightarrow Si}$  traduisent

quant à eux l'émission de dopants, depuis l'interface, vers l'oxyde et le substrat de silicium (respectivement).

De ces paramètres, on peut définir le coefficient de ségrégation entre le silicium et l'interface  $m_{Si,I}$  (respectivement entre l'oxyde et l'interface,  $m_{SiO_2,I}$ ), égal au ratio de l'émission de dopants depuis l'interface vers le silicium (respectivement l'oxyde) par le coefficient de piégeage depuis le silicium (l'oxyde) vers l'interface [71], soit :

$$m_{Si,I} = \frac{e_{I \rightarrow Si}}{\alpha_{Si \rightarrow I}} \quad \text{Équation II-1}$$

$$\text{et} \quad m_{SiO_2,I} = \frac{e_{I \rightarrow SiO_2}}{\alpha_{SiO_2 \rightarrow I}} \quad \text{Équation II-2}$$

On peut aussi définir le coefficient de transport à l'interface :

$$h_{Si,SiO_2} = \frac{e_{I \rightarrow Si} \cdot \alpha_{SiO_2 \rightarrow I}}{e_{I \rightarrow Si} + e_{I \rightarrow SiO_2}} \quad \text{Équation II-3}$$

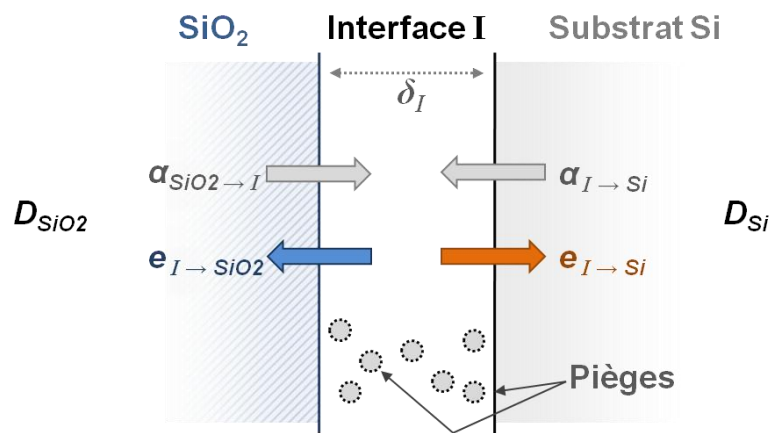


Figure II-5 : Illustration de l'interface Oxyde – Silicium selon le modèle « trois régions » de F. Lau [69].

Le tableau II-2 suivant exprime les différents paramètres (transport d'interface, piégeage, émission, ségrégation), dans le cas du phosphore, pour une oxydation [71], ainsi que différentes valeurs du coefficient de ségrégation pour le bore. Ainsi, on peut constater que le coefficient de ségrégation du phosphore entre le silicium et l'interface est environ 30 fois plus élevé que celui entre l'oxyde et l'interface, et au final, le coefficient de ségrégation entre le silicium et l'oxyde,  $m_{Si,SiO_2}$ , est supérieur à 1. Ainsi, le phosphore a tendance à s'accumuler (*pile-up*) à l'interface

Si / SiO<sub>2</sub> à la manière du profil donné en figure II-4.a. A l'inverse, pour le bore,  $m_{Si, SiO_2}$  est inférieur à 1 (proche de 0,3 selon [75]), aboutissant à un appauvrissement du bore à l'interface côté silicium.

**Tableau II-2 : Valeur des coefficients de transports d'interface, de piégeage, d'émission pour le phosphore [71]. Valeur des coefficients de ségrégation du phosphore et du bore.**

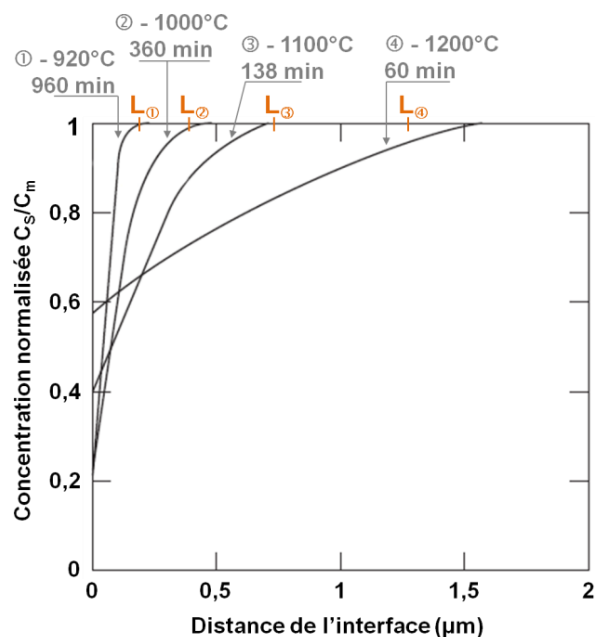
Paramètre	Valeur (cm.min <sup>-1</sup> )
$h_{Si, SiO_2}$	$45,42 \cdot \exp\left(-\frac{1,336eV}{k_B \cdot T}\right)$
$\alpha_{Si \rightarrow I}$	$0,1333 \cdot h_{Si, SiO_2}$
$\alpha_{SiO_2 \rightarrow I}$	$1,333 \cdot h_{Si, SiO_2}$
$e_{I \rightarrow Si}$	$8,772 \cdot \exp\left(-\frac{0,7eV}{k_B \cdot T}\right) \cdot \alpha_{Si \rightarrow I}$
$e_{I \rightarrow SiO_2}$	$0,2924 \cdot \exp\left(-\frac{0,7eV}{k_B \cdot T}\right) \cdot \alpha_{SiO_2 \rightarrow I}$
$m_{Si, I}$	$8,772 \cdot \exp\left(-\frac{0,7eV}{k_B \cdot T}\right)$
$m_{SiO_2, I}$	$0,2924 \cdot \exp\left(-\frac{0,7eV}{k_B \cdot T}\right)$
$m_{Si, SiO_2}$ ( <b>Phosphore</b> )	$\frac{m_{Si, I}}{m_{SiO_2, I}} \approx 30$ [71]
$m_{Si, SiO_2}$ ( <b>Bore</b> )	$\sim 0,3$ [75] $0,03 \cdot \exp\left(\frac{5,2eV}{k_B \cdot T}\right)$ [70] ( <i>plan &lt;100&gt;</i> )

- *Influence du recuit de diffusion*

D'une manière générale, la température de recuit influe fortement sur la forme du pic d'accumulation ou d'appauvrissement des dopants à l'interface Si / SiO<sub>2</sub>. En effet, la distance d'influence du mécanisme de ségrégation sur le profil de dopage correspond en fait à la longueur de diffusion des dopants, donnée par [76-77] :

$$L_D = 2 \cdot \sqrt{D_i \cdot t} \quad \text{Équation II-4}$$

avec  $D_i$  le coefficient de diffusion effectif du dopant dans le silicium, et  $t$  le temps de recuit. La figure II-6 illustre différents profils de dopage de bore normalisés ( $C_s/C_m$ ), après plusieurs oxydations sèches permettant d'obtenir  $0,2 \mu\text{m}$  d'oxyde.  $C_s$  correspond au niveau de dopage en surface, tandis que  $C_m$  correspond au niveau de dopage moyen dans le substrat (*cf.* figure II-4). Les longueurs de diffusion du bore pour chaque recuit ont été reportées pour chaque traitement thermique ( $L_D$ ). En fonction de la température et donc du coefficient de diffusion du bore, on peut constater que l'appauvrissement est plus ou moins étalé dans le substrat de silicium, et l'on note une bonne corrélation entre la longueur de diffusion et l'influence de la ségrégation. Plus la température est élevée, plus le ratio  $C_s/C_m$  s'approche de 1, et l'appauvrissement à l'interface est donc moins marqué.



**Figure II-6 : Profils de concentration de bore normalisés en fonction de la distance dans le substrat suite à une oxydation sèche permettant d'obtenir un oxyde de  $0,2 \mu\text{m}$ , pour différentes températures [76].**

Différentes études ont été menées sur l'influence des gaz et de la température de recuit sur le mécanisme de ségrégation. Lorsque l'interface Si / SiO<sub>2</sub> est invariable, c'est-à-dire lorsque le recuit est effectué sous atmosphère neutre, le mécanisme de ségrégation est quasiment inexistant, d'autant plus si la température de recuit se situe entre 900 et 1100°C [68]. Ceci est dû au fait que la croissance d'oxyde est très faible.

En revanche, une atmosphère oxydante favorise le mécanisme de ségrégation. D'une manière générale, les atmosphères humides et les températures relativement faibles ( $< 1000^{\circ}\text{C}$ ) accentuent la ségrégation, par rapport aux atmosphères oxydantes sèches et aux traitements à température élevée ( $> 1100^{\circ}\text{C}$ ) [75-77]. Ceci est illustré par les figures II-7.a et II-7.b [77], qui montrent l'évolution de la concentration normalisée en surface ( $C_s/C_m$ ) en fonction du ratio  $A.D^{1/2}$ , respectivement pour le bore et le phosphore.  $A$  correspond au taux d'oxydation du traitement thermique,  $D^{1/2}$  à la racine du coefficient de diffusion du dopant étudié.

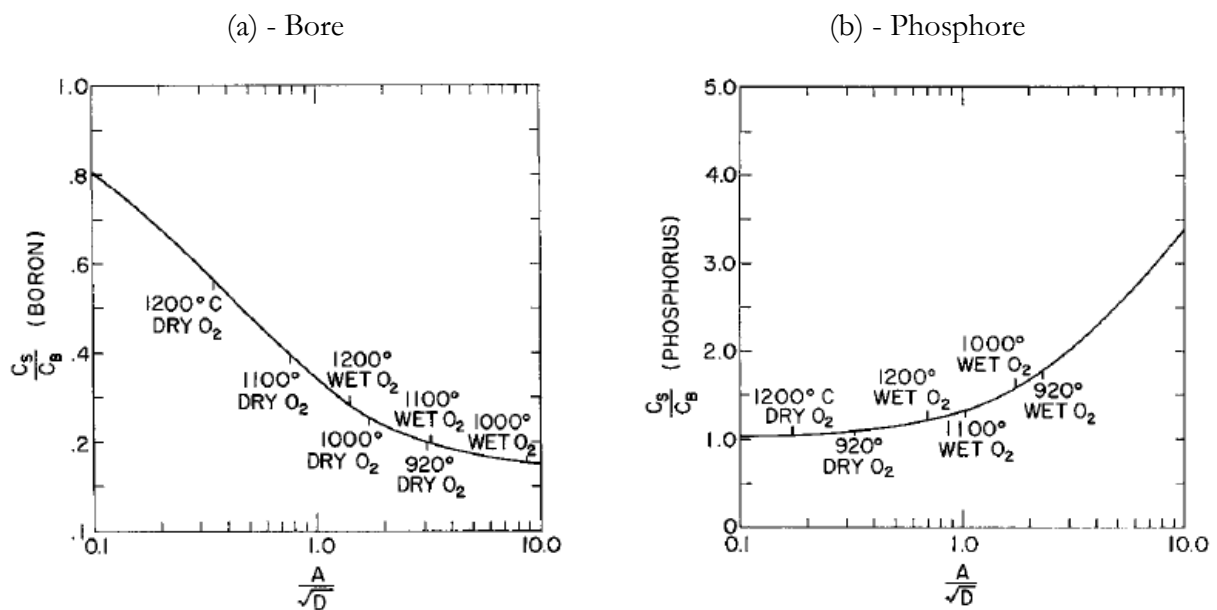


Figure II-7 : Évolution de la concentration normalisée en surface en fonction du taux  $A.D^{1/2}$ , pour le bore (a) et le phosphore (b), selon [77].

$A$  : taux d'oxydation,  $D$  : coefficient de diffusion du dopant.

### II.3.2 Application au transistor ISIS02

La réalisation du transistor ISIS02 implique qu'il y ait deux oxydes épais entourant la zone active. Il existe donc deux interface oxyde / silicium, la première « enterrée » dans le substrat, et la deuxième en surface.

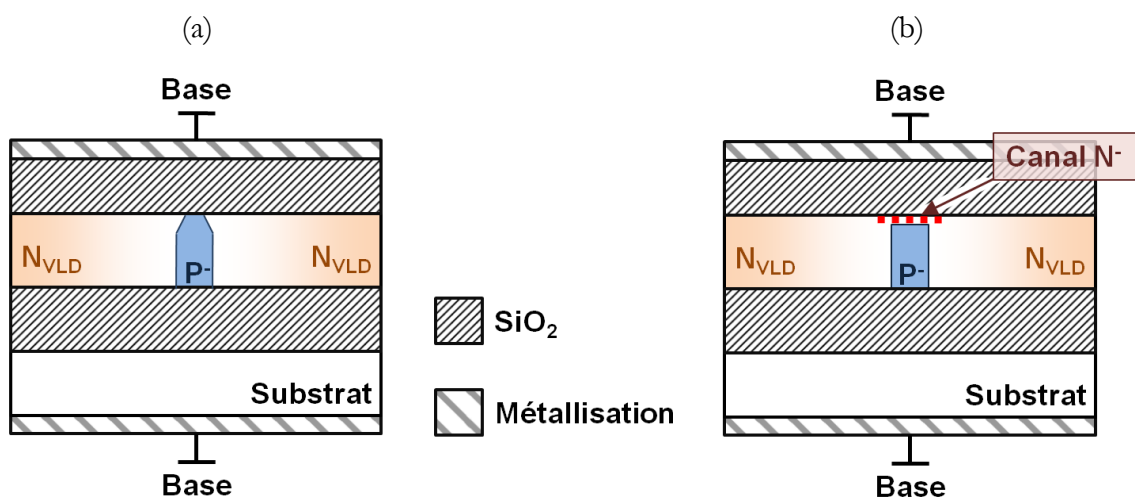
L'interface « enterrée » se situe entre l'oxyde enterré et la couche de silicium SOI. Elle n'est pas directement influencée par la nature des gaz utilisés durant les recuits. En effet, quelles que soient les conditions de recuit, y compris pour des recuits très oxydants, on peut estimer que l'injection d'atomes d'oxygène jusqu'à l'interface enterrée est très réduite (la grande majorité des atomes d'oxygène formant l'oxyde face avant) [20]. Aussi, l'on peut considérer que la ségrégation

ou l'accumulation de dopants à cette interface est faible, équivalente à celle en face avant de substrat lors d'un recuit sous atmosphère neutre.

En revanche, le recuit d'oxydation produit une deuxième interface qui évolue au détriment de l'épaisseur de la couche de silicium SOI. Or, ce recuit humide, très oxydant (100 min à 1150°C), correspond au dernier recuit du processus de fabrication du composant (cf. tableau II-1, page 78). Aussi, l'injection d'interstitiels à partir de cette interface est extrêmement importante et peut fortement impacter les profils de dopages du transistor (les étapes suivantes consistant « uniquement » à déposer et graver des couches d'isolant et de métallisation au-dessus du silicium).

Cette dernière étape d'oxydation est donc critique pour les niveaux de dopage du silicium au voisinage de l'interface supérieure. Elle peut notamment provoquer une nette diminution du niveau de dopage dans la partie supérieure de la base fine, comme illustré figure II-8.a. Dans ce cas, le comportement du transistor ne sera pas fondamentalement modifié. En effet, même si la largeur de la base fine devait rétrécir sur quelques dizaines (voire quelques centaines) de nanomètres sous l'interface supérieure, celle-ci serait protégée du fait de la présence de la plaque de champ juste en-dessous.

Cependant, dans le pire des cas, une trop forte ségrégation du bore (et/ou accumulation du phosphore) peut provoquer une inversion des dopants à la surface du silicium. Alors, nous aurions la création d'un canal N<sup>-</sup> dans la partie supérieure de la base fine qui la court-circuiterait. Ce cas est illustré figure II-8.b.



**Figure II-8 : Illustration d'une base amincie en surface (a) et de l'apparition d'un canal au niveau de la partie supérieure de la base fine en cas d'inversion (b), du fait des phénomènes de ségrégation et d'accumulation aux interfaces Si / SiO<sub>2</sub>.**

### II.3.3 Modélisation électrique de la présence d'un canal au niveau de la base

L'apparition d'un canal N au niveau de la base à l'issue du processus de fabrication du composant serait rédhitoire pour son bon fonctionnement. En effet, un tel canal jouerait le rôle de court-circuit entre les émetteurs / collecteurs. Pour simplifier, il est possible de modéliser ce canal par une résistance en parallèle aux émetteurs / collecteurs du transistor : ceci est illustré en figure II-9. En fonction de l'épaisseur et du dopage du canal, la résistance équivalente sera plus ou moins élevée. Cette modélisation, très simple, permet cependant de prédire rapidement l'impact du canal sur le comportement électrique du transistor.

A l'état OFF (transistor ouvert), la résistance équivalente induit un courant de fuite important. Pour autant, cela ne signifie pas forcément que le composant présentera un comportement purement résistif. En effet, le canal obtenu est « pincé » entre l'oxyde de surface (avec sa plaque de champ de base associée) et la base. Aussi, à l'état OFF, le canal peut-être déserté : la résistance équivalente est alors « infinie », et le transistor est donc théoriquement ouvert. En fonction des caractéristiques du canal (épaisseur, niveau de dopage), la résistance équivalente sera plus ou moins importante, et dans le pire des cas prépondérante sur le comportement du transistor. Auquel cas le composant se comportera comme une résistance.

A l'état ON, le canal n'est pas pincé. En conséquence, la résistance équivalente laisse alors passer un courant parasite, proportionnel à la tension appliquée entre les deux émetteurs / collecteurs. Ce courant parasite se superpose au courant d'injection dû à l'effet transistor, fonction du gain du composant, de la tension émetteur / collecteur appliquée, et du courant de base. La part du courant induit par l'effet transistor sera plus ou moins importante en fonction du canal. Si celui-ci est trop marqué, la résistance équivalente sera faible et le courant du transistor sera « noyé » dans le courant parasite.

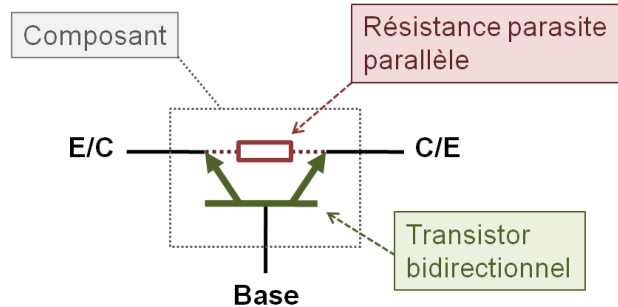
Aussi, à l'état passant, via cette modélisation, il est possible de séparer la composante du courant parasite de celle induite par l'effet transistor. En effet, nous avons :

$$I_{C/E} = I_R + I_T \quad \text{Équation II-5}$$

$$\text{d'où } I_{C/E} = I_R + \beta \cdot I_B \quad \text{Équation II-6}$$

avec  $I_{C/E}$  le courant total traversant le composant,  $I_R$  le courant parasite traversant la résistance équivalente,  $I_T$  le courant d'injection dû à l'effet transistor,  $\beta$  le gain du transistor, et  $I_B$  le courant de base. A chute de tension émetteur / collecteur non-nulle et à courant de base nul, il est possible de déterminer le courant parasite  $I_R$ . Ainsi, à même chute de tension émetteur / collecteur, mais à courant de base non-nul, il est possible de déterminer le courant  $I_T$ , et donc le gain du transistor seul.

Cette méthode est cependant assez simpliste. Aussi, dans le cas où le courant parasite masque le courant d'injection du transistor, il est difficile de déterminer précisément ce gain. Cependant, la méthode permet de se donner une bonne idée du gain du transistor malgré la présence d'un canal au niveau de la base et donc un courant parasite.



**Figure II-9 : Modèle équivalent d'un transistor latéral ISIS02 en présence d'un canal au niveau de la base fine. Une résistance court-circuite les émetteurs / collecteurs.**

## II.4 Zone de drift

Pour rappel, nous cherchons à obtenir pour les zones de drift émetteur et collecteur un dopage latéral variant linéairement. Comme expliqué au paragraphe §I.3.2.5, la méthode de variation de la largeur des ouvertures du masque d'implantation  $N_{VLD}$  est bien indiquée pour l'obtenir.

Cependant, les simulations physiques 2D de fabrication du composant bidirectionnel sont relativement lourdes en temps de calculs (compter un minimum de 3 heures pour une simulation des étapes 1 à 7). De plus, l'environnement de simulation SENTAURUS ne permet pas de paramétrer rapidement, simplement et automatiquement la géométrie des masques d'implantations (largeur des ouvertures, positionnements, niveau étudié...). Il a donc été décidé d'effectuer des calculs analytiques préliminaires sous Matlab afin de rapidement déterminer des solutions à l'obtention du VLD (couple taille / espacements des ouvertures d'implantation), pour ensuite tester ces solutions via des simulations physiques.

### II.4.1 Présentation de la méthodologie de calcul analytique et limitations

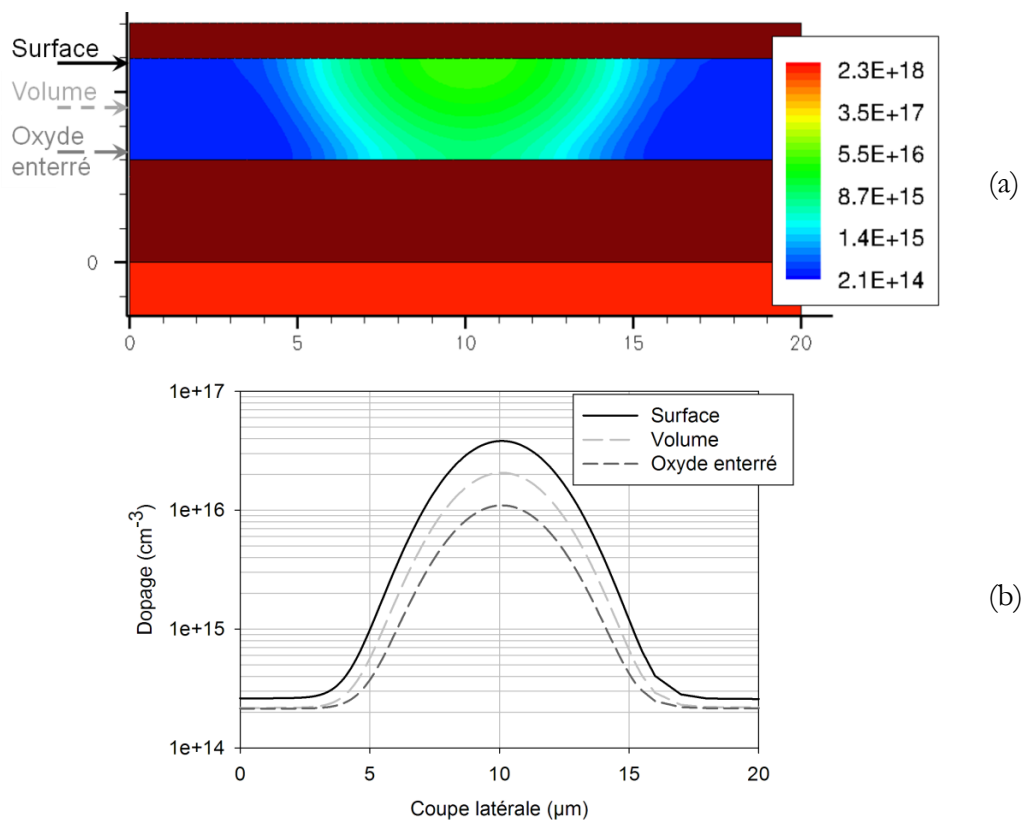
La méthodologie doit permettre de calculer analytiquement le profil de dopage latéral dans la zone de drift (que l'on souhaite linéaire) en fonction du masque d'implantation. Elle laisse de côté la problématique des profils verticaux, supposés plats dans cette zone.

Afin de s'assurer de la viabilité des calculs effectués sous Matlab, il faut d'abord les « calibrer » par rapport aux simulations physiques. Le calibrage s'effectue en comparant le profil de dopage latéral d'une ouverture d'implantation obtenu, d'une part, via des simulations physiques, et d'autre part via des calculs analytiques. Si les profils ne sont pas sensiblement les mêmes, il faut ajuster les calculs analytiques. Une fois que les calculs analytiques sont calibrées, il est possible de définir le masque VLD en superposant les profils de plusieurs ouvertures d'implantation phosphore. Finalement, le masque ainsi déterminé analytiquement sera simulé afin d'en vérifier la validité.

Ces calculs analytiques reposent sur deux hypothèses principales :

- premièrement, le profil de dopage vertical est supposé plat, c'est-à-dire que la longueur de diffusion des dopants est supposée très supérieure à l'épaisseur de la couche active de silicium SOI. Ainsi l'on considère que le profil latéral (VLD) est indépendant de la profondeur à laquelle on se place dans la couche active de silicium. Selon le paragraphe

§II.1.1, cette hypothèse est globalement réaliste, mais pas totalement exacte, comme on peut le voir sur la figure II-10.a qui présente le profil 2D simulé d'une diffusion dans le cas d'un recuit d'homogénéisation de 100 minutes. Clairement, le profil vertical de la jonction obtenue n'est pas plat. La figure II-10.b présente quant à elle les profils de dopages latéraux selon trois profondeurs différentes dans le silicium. Cette hypothèse de profils de dopage verticalement plats, relativement fautive, implique que, d'une part, au niveau de l'oxyde enterré, les variations du VLD seront accentuées par rapport aux variations en surface, et que d'autre part le niveau de dopage moyen en profondeur sera moins élevé qu'en surface,



**Figure II-10 : (a) Simulation physique 2D du dopage résultant d'une ouverture phosphore de 3 µm et d'un recuit de 100 minutes.**  
**(b) Coupes 1D latérales du dopage.**

- la deuxième hypothèse suppose une diffusion des dopants de chaque ouverture du masque mutuellement indépendante. En effet, ici, les profils analytiques sont simplement superposés. Cela ne prend pas en compte le fait que, en fonction des concentrations voisines, la diffusion des dopants se fait plus ou moins rapidement, voire différemment (effet de co-diffusion entre arsenic et phosphore par exemple [78]).

## II.4.2 Calibration des profils Matlab

Considérons une ouverture infinitésimale d'implantation dans un masque. Supposons que cette source de diffusion soit à dose constante, et que la diffusivité du dopant en question soit constante dans la zone étudiée (la température est homogène dans le substrat). Supposons de plus que la couche de silicium soit suffisamment petite en regard des longueurs de diffusions des dopants pour considérer le dopage verticalement constant (première hypothèse du §II.4.1), impliquant donc une diffusion uniquement latérale. Alors le profil de dopage analytique latéral de cette ouverture infinitésimale de diffusion sera de la forme [79] :

$$C_i(x,t) = \frac{Q_T}{\sqrt{\pi \cdot D_{Si} \cdot t}} \cdot \exp\left(\frac{-x^2}{4 \cdot D_{Si} \cdot t}\right) \quad \text{Équation II-7}$$

avec  $C_i(x,t)$  la distribution latérale des dopants,  $t$  le temps de recuit,  $D_{Si}$  la constante de diffusion du dopant dans le silicium, dépendante de la température,  $Q_T$  la dose constante de dopants. Pour une ouverture finie de largeur  $2 \cdot x_0$ , l'intégrale de l'équation II-7 s'écrit alors :

$$C_{ouv}(x,t) = \frac{N_0}{2} \cdot \operatorname{erf}\left(\frac{x+x_0}{2 \cdot \sqrt{D_{Si} \cdot t}}\right) - \frac{N_0}{2} \cdot \operatorname{erf}\left(\frac{x-x_0}{2 \cdot \sqrt{D_{Si} \cdot t}}\right) \quad \text{Équation II-8}$$

avec  $N_0$  le dopage résultant d'une ouverture infinie, tel que  $N_0 = Q_T/t_{SOI}$ , et  $x_0$  la demi-ouverture.

Les implantations dans la zone de drift subiront deux recuits distincts lors de la fabrication : premièrement le recuit d'homogénéisation, soit [100-300] min @ 1200°C, et deuxièmement le recuit d'oxydation humide, 100 min @ 1150°C, sans compter les rampes de montées, de descentes, et les phases de stabilisation des fours, augmentant le bilan thermique de chaque recuit. En revanche, dans l'expression II-8, la variable  $D_{Si} \cdot t$  représente le temps et la température d'un recuit unique. Pour calculer le profil latéral analytique de ces diffusions multiples, il faut donc calculer le bilan thermique global correspondant aux différents recuits.

La relation II-3 suivante exprime la quantité  $D_{Si} \cdot t$  ( $D_{Si}$  étant décrite par une loi d'Arrhenius) à partir de laquelle on peut établir une variable  $BT$  (en secondes), représentative du bilan thermique d'un recuit (équation II-10) :

$$D_{Si} \cdot t = D_{Si}^0 \cdot \exp\left(\frac{-E_A}{k \cdot T}\right) \cdot t \quad \text{Équation II-9}$$

$$\text{d'où : } \quad BT = \frac{D_{Si} \cdot t}{D_{Si}^0} = t \cdot \exp\left(\frac{-E_A}{k \cdot T}\right) \quad \text{Équation II-10}$$

avec  $k$  la constante de Boltzmann,  $T$  la température,  $E_A$  l'énergie d'activation du dopant en question (3,75 eV pour le bore, 3,64 eV pour le phosphore, selon [64]). De ces équations, nous pouvons calculer la valeur du bilan thermique  $BT$  de chaque recuit pris séparément, puis calculer leur bilan thermique équivalent pour un recuit unique à la température de 1200°C. Ces valeurs sont résumées dans le tableau II-3.

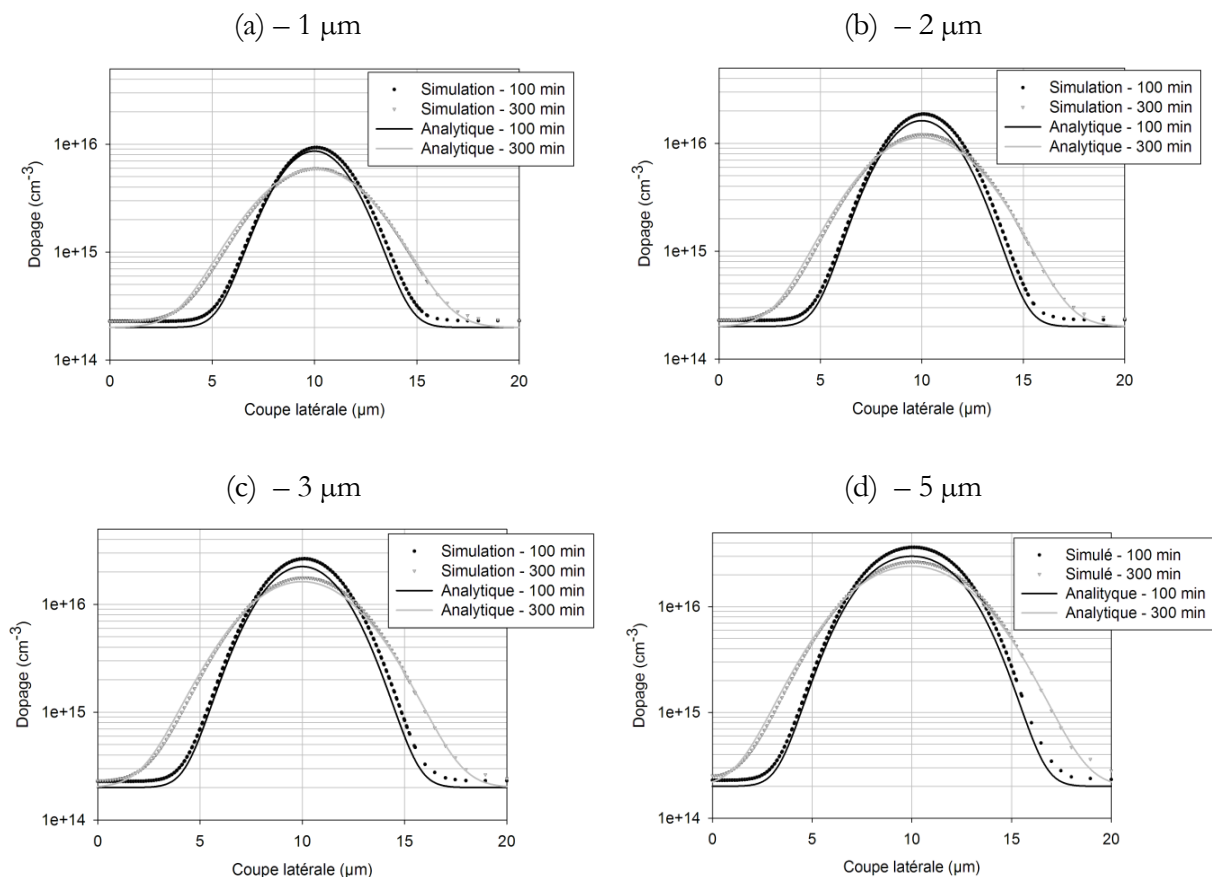
La première ligne présente le bilan thermique  $BT1$  du recuit oxydant de 100 minutes à 1150°C ( $1,43 \cdot 10^{-9}$  s pour le phosphore,  $4,58 \cdot 10^{-10}$  s pour le bore). La seconde ligne indique le bilan thermique du recuit d'homogénéisation (1200°C) en fonction du temps. La troisième ligne représente le bilan thermique global obtenu pour les deux recuits d'oxydation et d'homogénéisation. Ainsi, pour le phosphore, et pour un recuit d'homogénéisation de 300 minutes, ce bilan thermique global,  $BT_G^{300}$ , est de  $10,35 \cdot 10^{-9}$  s.

**Tableau II-3 : Bilans thermiques des recuits d'homogénéisation et d'oxydation.  
Équivalences pour un recuit unique à 1200°C.**

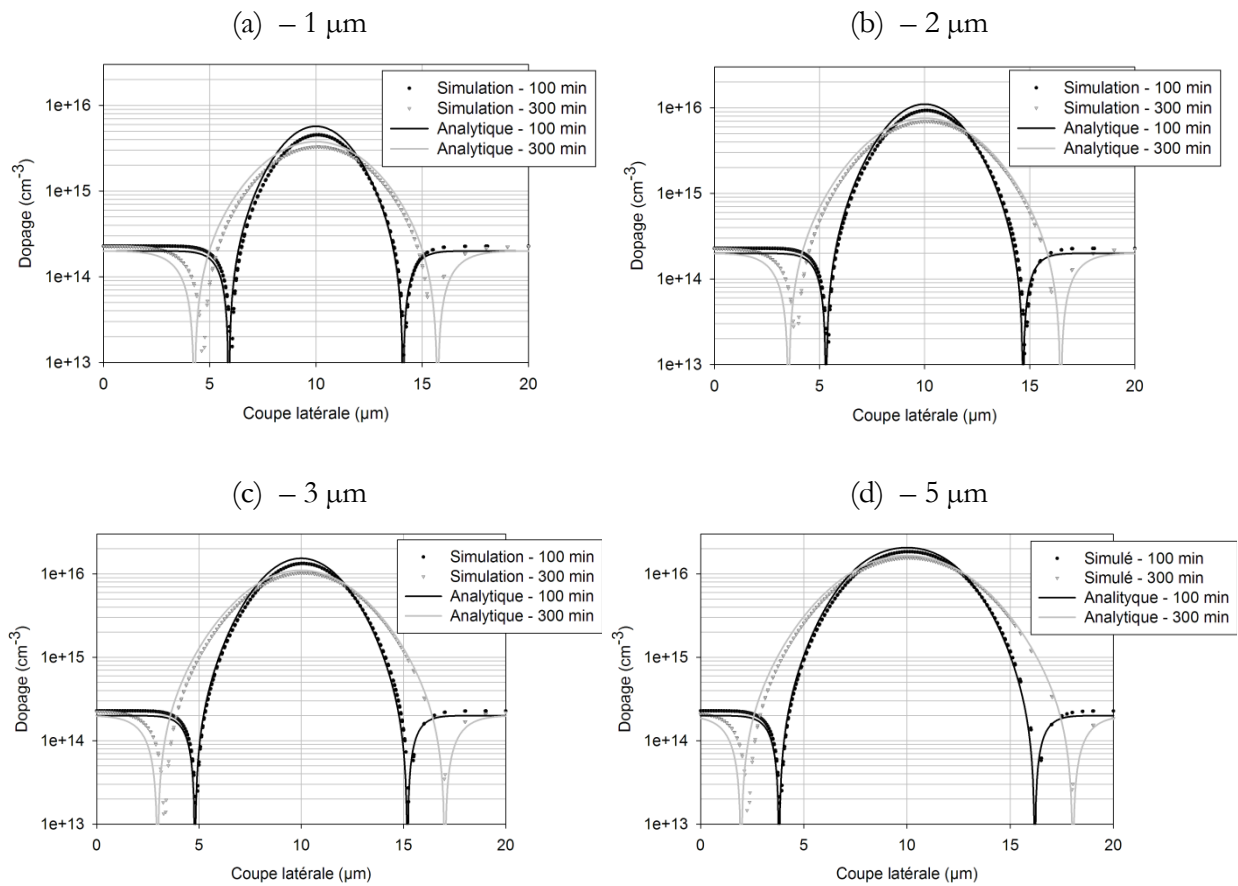
Recuits	Phosphore (x 1.10 <sup>-9</sup> s)	Bore(x 1.10 <sup>-10</sup> s)
<b>Oxydation</b>		
BT1 = 100 min @ 1150°C	1,43	4,58
<b>Homogénéisation</b>		
BT2 <sup>100</sup> = 100 min @ 1200°C	2,97	9,91
BT2 <sup>300</sup> = 300 min @ 1200°C	8,92	29,74
<b>Global : Homogénéisation + Oxydation</b>		
$BT_G^{100} = BT1 + BT2^{100}$	<b>4,40</b>	<b>14,49</b>
$BT_G^{300} = BT1 + BT2^{300}$	<b>10,35</b>	<b>34,32</b>
<b>Oxydation : Equivalent à 1200°C</b>		
BT1 <sup>eq</sup> = 46 min @ 1200°C	1,37	4,56
<b>Global : Equivalent unique à 1200°C</b>		
$BT_U^{100} = BT1^{eq} + BT2^{100}$	<b>4,34</b>	<b>14,47</b>
$BT_U^{300} = BT1^{eq} + BT2^{300}$	<b>10,29</b>	<b>34,30</b>

La quatrième ligne présente quant à elle un bilan thermique « équivalent »  $BT1^{eq}$  sensiblement égal à  $BT1$ , obtenu pour un recuit à  $1200^{\circ}\text{C}$  pendant 46 minutes. Ainsi, l'on peut déterminer le bilan thermique global pour un recuit unique à  $1200^{\circ}\text{C}$  (dernière ligne du tableau), équivalent à celui obtenu pour les deux recuits distincts initiaux. Pour le phosphore, et 300 minutes de recuit d'homogénéisation, ce bilan ( $BT_U^{300}$ ) s'établit à  $10,29 \cdot 10^{-9}$  s, ce qui est proche de ce qui avait été obtenu pour les deux recuits à températures différentes ( $BT_G^{300}$ ).

Finalement, le bilan thermique équivalent précédemment déterminé ( $BT_U^i$ ) permet de calculer précisément les profils analytiques des diffusions latérales et de pouvoir les comparer plus finement avec les profils simulés. Les calculs analytiques intègrent par ailleurs un coefficient traduisant la perte de dose durant un recuit [68]. Les figures II-11 et II-12, présentent les profils analytiques et simulés (outil SENTAURUS Sprocess, calibrage par défaut), respectivement pour le phosphore et le bore, pour des ouvertures variables (1, 2, 3, 5  $\mu\text{m}$ ) et deux temps de recuits d'homogénéisation (100 min, 300min @  $1200^{\circ}\text{C}$ ). On observe une bonne corrélation entre les différents profils, confirmant ainsi la pertinence de la méthode de calcul analytique.



**Figure II-11 : Profils de dopage latéral de phosphore, analytiques et simulés par éléments finis, pour différentes ouvertures.**



**Figure II-12 : Profils de dopage latéral de bore, analytiques et simulés par éléments finis, pour différentes ouvertures.**

Compte tenu de la bonne qualité des calculs analytiques par rapport aux simulations physiques, nous avons pu développer une méthode analytique pour déterminer la géométrie du masque d'implantation  $N_{VLD}$ .

### II.4.3 Détermination des ouvertures du masque d'implantation VLD par la méthode de calcul analytique

M.L. Lai *et al.* [80] ont développé une méthode analytique permettant de déterminer les ouvertures d'un masque d'implantation afin de réaliser un VLD linéaire. Pour simplifier, nous supposons que le dopage initial du substrat est négligeable devant le dopage minimal du VLD. La figure II-13 schématise les ouvertures du masque avec ses paramètres géométriques associés.

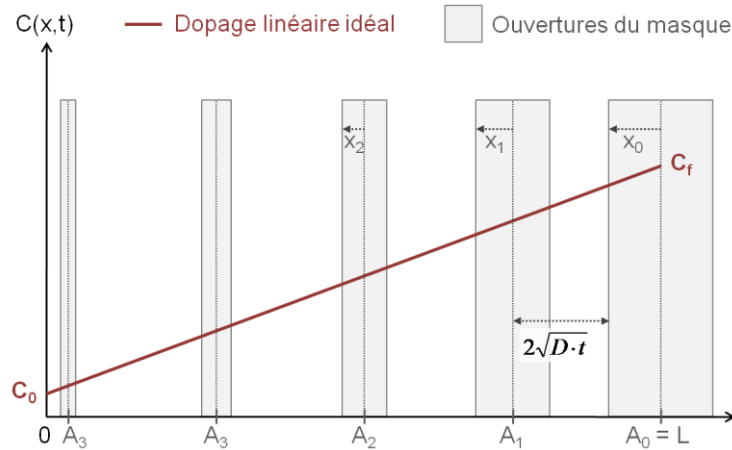


Figure II-13 : Illustration des ouvertures VLD et dimensions géométriques associées.

Commençons par décrire le dopage linéaire souhaité. Celui-ci peut s'exprimer sous la forme :

$$C_{opt}(x) = \frac{C_f - C_0}{L} \cdot x + C_0 \quad \text{Équation II-11}$$

Selon M.L. Lai [80], il est possible de déterminer la largeur de la première ouverture, ainsi que les ouvertures et positions suivantes :

$$\begin{cases} A_0 = L \\ x_0 = 2 \cdot \sqrt{D_{Si} \cdot t} \cdot \operatorname{erf}^{-1} \left( \frac{C_{opt}(L)}{C_f} \right) \end{cases} \quad \text{Équation II-12}$$

$$\begin{cases} A_i \approx L - x_{i-1} - 2 \cdot \sqrt{D_{Si} \cdot t} \\ x_i = 2 \cdot \sqrt{D_{Si} \cdot t} \cdot \operatorname{erf}^{-1} \left( \frac{C_{opt}(A_i)}{C_f} \right) \end{cases} \quad \text{pour } i \in [1, \infty[ \quad \text{Équation II-13}$$

La résolution des équations II-12 et II-13 permet d'obtenir les positions et largeurs des demi-ouvertures du masque d'implantation. Ces résultats sont présentés dans les deux premières colonnes du tableau II-4, et illustrés en figure II-14. Afin de compléter le masque, il est nécessaire d'ajouter manuellement une ouverture « finale » permettant de gérer au mieux le dopage minimal du VLD. En effet, cette méthode de calcul implique que les ouvertures sont de plus en plus fines et de plus en plus rapprochées, jusqu'à atteindre des valeurs infinitésimales et une infinité d'ouvertures.

La méthode explicité ici ne prend d'autre part pas en compte certaines limitations photolithographiques liées à la fabrication de notre composant, détaillées en §III.2. Pour résumer, les ouvertures minimales de la résine ainsi que les espacements minimums entre ouvertures

adjacentes doivent être de 2  $\mu\text{m}$ . Les ouvertures et espacements interdits sont illustrés en rouge sur la figure II-14. On remarque que 3 ouvertures et 3 espacements ne respectent pas les conditions de photolithographie.

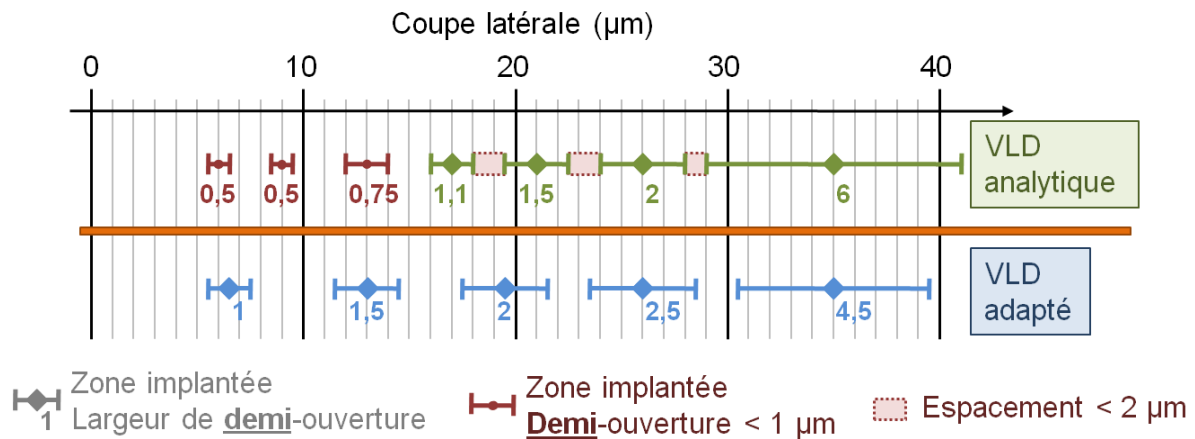
Par touches successives (et calculs analytiques successifs), les résultats de la méthode de M.L. Lai ont donc été adaptés pour respecter les contraintes photolithographiques. Les deux dernières colonnes du tableau II-4 présentent respectivement la position des ouvertures du masque analytique adapté, et les demi-ouvertures correspondantes. La figure II-14 illustre de plus les ouvertures du masque correspondant. Les résultats adaptés sont assez différents de la méthode de M.L. Lai. Pour résumer, on peut dire que sa méthode compte sur une première ouverture très large, et ajoute successivement des ouvertures de plus en plus petites et rapprochées pour « compléter » au fur et à mesure le dopage. Ce n'est pas notre cas, puisque l'on ne peut pas s'appuyer sur des ouvertures très fines (le minimum technique de demi-ouverture est de 1  $\mu\text{m}$ ). Ainsi, pour notre méthode, la première ouverture est moins large afin de permettre aux autres ouvertures, relativement importantes, de former le dopage final.

Pour terminer, la troisième colonne du tableau indique la position réelle des ouvertures sur le masque d'implantation. En effet, sur le masque, elles sont décalées d'une dizaine de microns vers la droite puisque le VLD ne débute qu'au niveau des caissons  $\text{P}^+$  de protection.

**Tableau II-4 : Récapitulatif des positions et demi-largeur des ouvertures d'implantation obtenues par la méthode Lai [80] et par la suite adaptés.**

Ouverture	Méthode Lai [80]		Adaptation		
	Position ( $\mu\text{m}$ )	Demi-ouverture ( $\mu\text{m}$ )	Position réelle ( $\mu\text{m}$ )	Position relative ( $\mu\text{m}$ )	Demi-ouverture ( $\mu\text{m}$ )
0	35	6	45,5	35	4,5
1	26	2	36,5	26	2,5
2	21	1,5	30	19,5	2
3	17	1,1	23,5	13	1,5
4	13	0,75	17	6,5	1
5	9	0,45	-	-	-
6*	6	0,5	-	-	-

(\*) La sixième ouverture a été ajoutée « manuellement », afin de compléter le calcul analytique.



**Figure II-14 : Illustration des ouvertures des VLD analytiques et simulés.**

La figure II-15 présente le profil de dopage latéral du VLD, résultant d'une part de la méthode de M.L. Lai (échelle linéaire (a) et logarithmique (b), données calculées pour un recuit d'homogénéisation de 300 min) et résultant d'autre part des données adaptées (échelle linéaire (c) et logarithmique (d), pour 100 et 300 min de recuit). Le profil résultant de la méthode de M.L. Lai est excellent, puisque quasiment linéaire sur la longueur de la zone de drift. Notons que pour un recuit de 100 min, les calculs auraient donné des résultats différents, mais pour un résultat final lui aussi parfaitement linéaire). Pour le VLD adapté, tenant compte des limitations sur les ouvertures et des espacements plus importants que prévu, les variations du dopage autour du profil idéal sont beaucoup plus prononcées, et évidemment atténuées avec l'allongement de la durée du recuit d'homogénéisation (figure II-15.c et d). Ces ondulations autour du profil idéal pourraient impacter l'efficacité de désertion de la couche de silicium SOI, et impacter au final la tenue en tension du composant lui-même (ce point sera détaillé en §II.4.5).

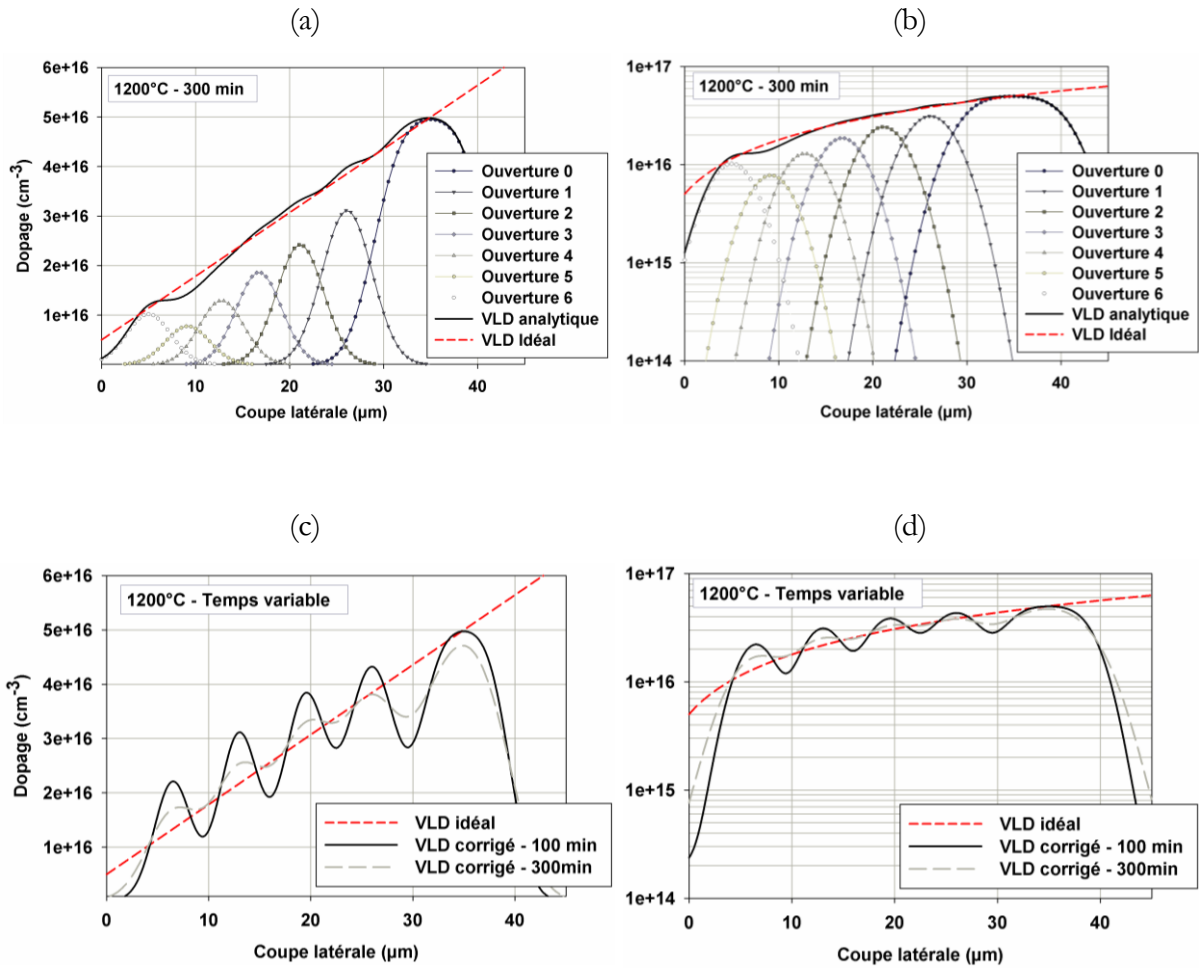


Figure II-15 : Profil latéral de dopage selon une échelle linéaire (a) et logarithmique (b) du VLD obtenu par la méthode de M.L. Lai ; profil linéaire (c) et logarithmique (d) du VLD analytique adapté (avec les données du tableau III-3).

#### II.4.4 Validation des calculs par simulations physiques

Le masque d'implantation adapté déterminé précédemment a par la suite été implémenté dans des simulations physiques 2D. La figure II-16.a illustre le résultat d'une simulation de fabrication de la zone de drift, tenant compte des zones P<sup>+</sup> et N<sup>+</sup> adjacentes, et incluant donc les deux recuits d'homogénéisation et d'oxydation humide. On remarque également, en magenta, les zones de métallisation, illustrant la plaque de champ au-dessus de la zone de drift, décrite en §I.3.2.5.

Deux modifications ont été apportées pour la formation du VLD lors de la simulation. Premièrement, nous avons pu constater que pour un recuit de 100 minutes, le dopage latéral VLD variait assez fortement autour de la droite linéaire idéale. Aussi, le temps de recuit minimum a été augmenté à 150 minutes. Deuxièmement, l'excursion de dopage, théoriquement comprise entre  $5.10^{15}$  et  $5.10^{16}$  cm<sup>-3</sup>, a en réalité été réajustée entre  $3.10^{15}$  et  $3.10^{16}$  cm<sup>-3</sup>. En effet, comme il a été vu en §I.3.2.1 (figure I-9 page 38), l'effet RESURF est très sensible au dépassement d'une valeur idéale de dose implantée et, *in fine*, au niveau de dopage moyen dans la zone de drift. Aussi, il a été décidé de diminuer légèrement la dose d'implantation, ce qui assure ainsi l'obtention, même partielle, de l'effet RESURF, et évite d'autre part tout dépassement du niveau de dopage dans la zone de drift, rédhibitoire pour la tenue en tension.

Les figures II-16.b et II-16.c présentent les profils de dopage latéraux (échelle linéaire) dans le volume de la couche active de la structure, obtenus après simulations physiques et en fonction du temps de recuit d'homogénéisation (respectivement 150 et 300 minutes). Les courbes de VLD idéal et analytique adapté y sont reproduites. La corrélation des VLD analytiques et simulés est bonne, ce qui confirme l'efficacité de l'outil analytique développé et la pertinence des hypothèses associées.

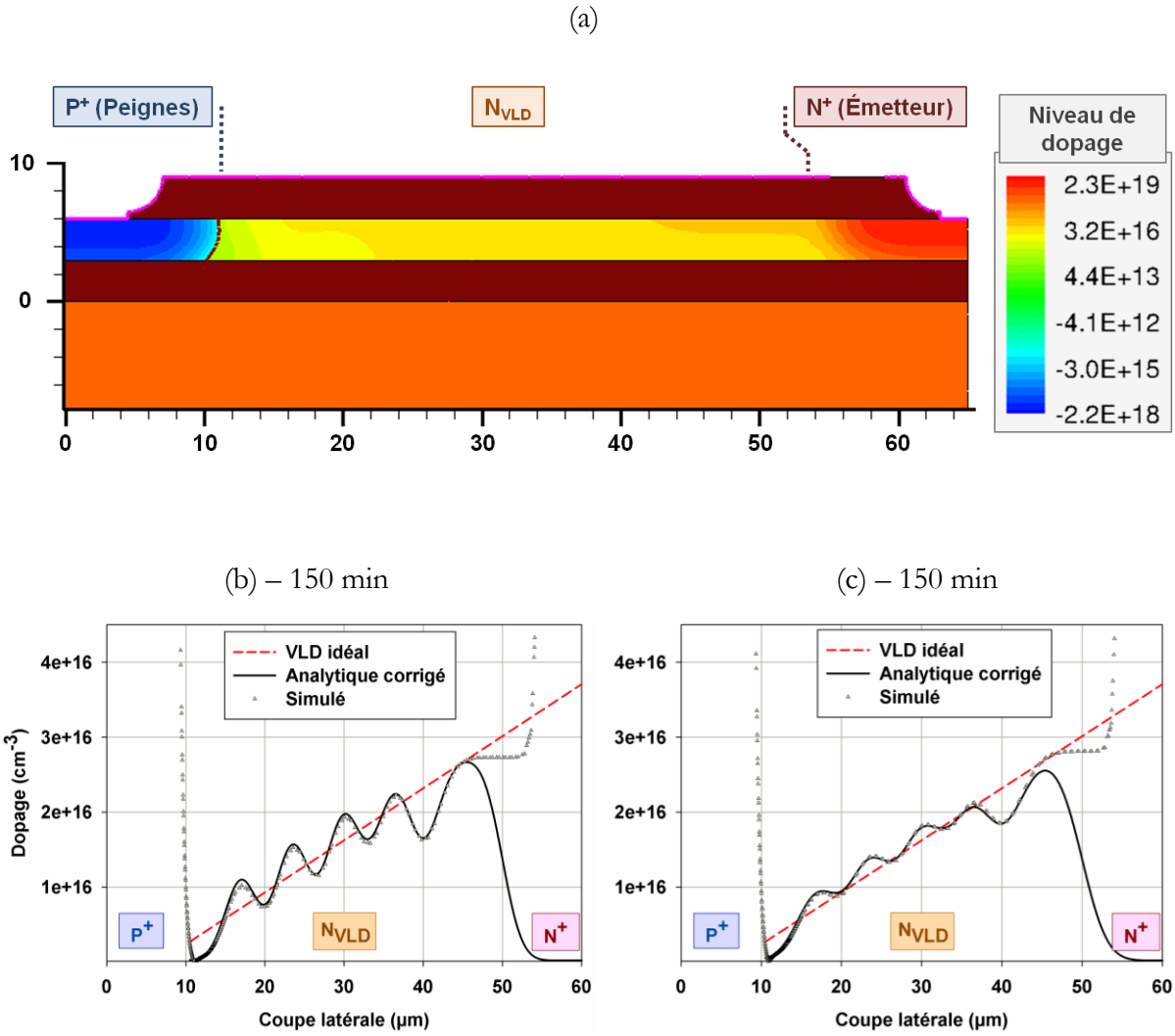


Figure II-16 : (a) Vue 2D du dopage actif dans la zone de drift obtenue par simulation physiques ; (b) et (c) : coupes 1D latérales linéaires du VLD obtenues pour 150 et 300 minutes de recuit d’homogénéisation.

#### II.4.5 Simulation électrique de l'effet RESURF

Après avoir défini les caractéristiques de fabrication d'un VLD et avoir simulé son élaboration, il est important de vérifier le bon fonctionnement de l'effet RESURF et donc de la tenue en tension finale du composant. Aussi, la structure obtenue précédemment et illustrée en figure II-16.a, a été simulée électriquement, avec la base et le collecteur à la masse, l'émetteur étant polarisé à plusieurs centaines de volts.

Les figures II-17.a et II-17.b présentent les vues 2D du champ électrique dans les zones de drift, dans les conditions de recuits évoquées précédemment. Sur ces figures, on voit clairement que le champ électrique dans la couche de silicium SOI s'étend dans toute la zone de drift, autour d'une valeur moyenne d'environ  $10^5 \text{ V.cm}^{-1}$ . La zone de drift est ainsi entièrement désertée, ce qui veut dire que l'effet RESURF s'établit correctement dans le silicium. D'autre part, cela implique que le dopage moyen dans cette zone n'est pas trop élevé. Au niveau de la région  $N^+$  (émetteur / collecteur) on observe une élévation du champ électrique aux niveaux des interfaces. Ce comportement classique est dû à une courbure prononcée des lignes de potentiel, ce qui favorise l'ionisation en ces endroits [1].

La figure II-18 présente quant à elle la distribution latérale du champ électrique et du potentiel dans le volume de la couche active de silicium SOI. Ces courbes montrent clairement des variations du champ électrique le long de la zone de drift, induites par les ondulations du dopage (illustrées en figures II-16.b et II-16.c). Ces variations, non-négligeables, ne sont pas pour autant rédhibitoires, puisque leur niveau maximal reste globalement suffisamment faible, ce qui permet de désertier entièrement la couche de silicium et de ne pas empêcher l'établissement de l'effet RESURF. Puisqu'un recuit d'homogénéisation long (300 minutes) réduit les ondulations du dopage dans la zone de drift, cela permet ainsi de réduire les variations sur le champ électrique. Enfin, dans le cas d'un recuit de 150 minutes, on peut remarquer que les minima du champ électrique (figure II-18) correspondent aux zones bleues dans la zone de drift sur la coupe 2D (figure II-17.a).

Finalement, les tenues en tension des structures simulées sont satisfaisantes, puisque comprises entre 440 et 460 V, soit au-dessus de la tension théorique de 400 V pour  $t_{SOI}$  et  $t_{SiO_2}$  fixés à  $3 \mu\text{m}$  (cf. figure I-8 page 37). Cela est principalement dû au profil graduel de la jonction  $P^+/N$  obtenue ici, comparativement au profil abrupt utilisé par L.V. Phung [1].

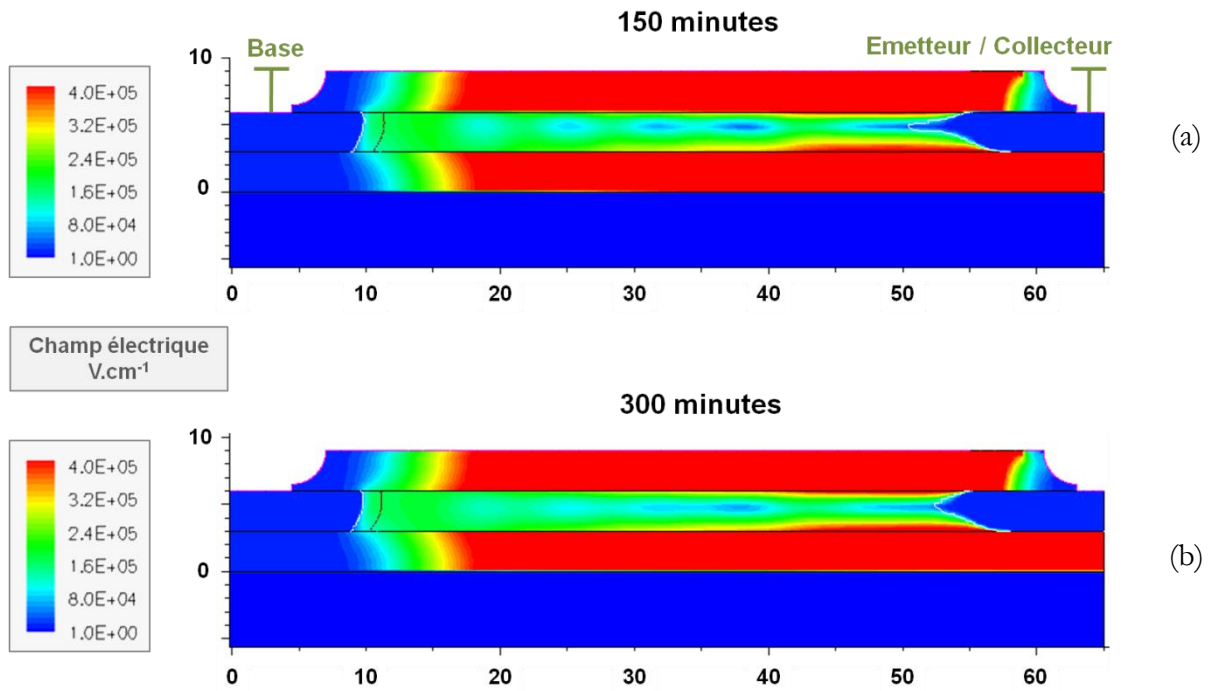


Figure II-17 : Vue 2D du champ électrique dans la structure à l'état bloqué, pour deux durées de recuit d'homogénéisation à 1200°C.

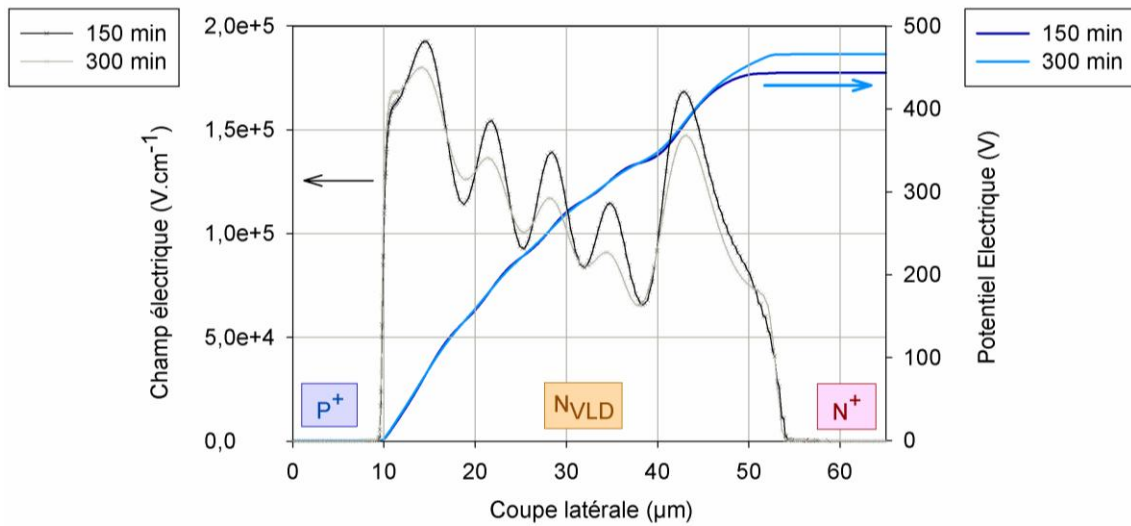


Figure II-18 : Coupe latérale du champ électrique et du potentiel dans le volume de la couche active de silicium, pour deux durées de recuit d'homogénéisation à 1200°C.

## II.4.6 Conclusion

Pour définir la géométrie des ouvertures du masque VLD, nous avons tout d'abord procédé à des calculs analytiques sous Matlab, d'une part pour simplifier la démarche, et d'autre part pour éviter d'avoir systématiquement recours à des simulations physiques, lourdes. Ces calculs analytiques ont d'abord été « calibrés » pour refléter quantitativement les simulations physiques réalisées par la suite. En particulier, il a fallu déterminer une équivalence entre les deux recuits différents (utilisés en simulation physique) et un recuit unique (pour les calculs analytiques), par le biais d'une variable  $BT$  représentative des bilans thermiques des différents recuits.

M.L. Lai [80] a présenté une méthodologie analytique pour définir les ouvertures des masques de VLD. Cette méthodologie, bien que donnant des résultats excellents (le profil de dopage latéral peut-être rendu linéaire quelles que soient les conditions de recuits), souffre dans notre cas de certaines limitations liées à photolithographie (détaillées au chapitre III). Nous avons adapté la méthode afin de tenir comptes de ces limitations, pour ainsi obtenir rapidement une solution réaliste de masque VLD.

Cette approche a par la suite été confrontée aux simulations physiques puis validée. La corrélation entre les profils analytiques et les profils simulés est satisfaisante. Cependant, le profil latéral de dopage présente des ondulations importantes autour du profil idéal, que l'on peut réduire en augmentant le bilan thermique global de diffusion du VLD. Néanmoins, ces variations ne sont pas rédhibitoires pour la tenue en tension du composant. Elles se retrouvent dans le profil latéral du champ électrique, mais n'empêchent pas la désertion de la couche active de silicium dans son intégralité et la tenue en tension élevée du composant.

## II.5 Zone de Base

Le chapitre I a permis d'établir le procédé de fabrication de la base fine. Celle-ci sera obtenue par implantation suivie de recuits classiques. Rappelons que la base doit être fine (de l'ordre du micron d'épaisseur), avec un profil de dopage verticalement plat et un niveau de dopage maximum de l'ordre de  $10^{15} \text{ cm}^{-3}$ .

La diffusion des dopants, à la suite de bilans thermiques élevés, est a priori antinomique avec l'obtention d'une base fine. Aussi l'on se basera sur la compensation du bore par la diffusion latérale du phosphore pour réduire l'épaisseur de la base. Le principe est détaillé en §II.5.1.

Comme pour l'étude de la zone de drift, il est particulièrement peu aisé de se baser uniquement sur la simulation numérique pour déterminer des solutions doses / masques

d'implantations. Aussi, un outil analytique directement dérivé de celui présenté dans les paragraphes §II.4.1 et §II.4.2 a été développé pour simplifier la démarche.

### II.5.1 Principe de la compensation

L'importante diffusion des dopants, conséquence du bilan thermique élevé nécessaire à l'obtention de profils verticaux plats, impacte fortement et négativement la finesse de la base. Aussi est-il nécessaire de recourir à la compensation du bore par des implantations de phosphore.

La figure II-19.a illustre le principe de la compensation de la base fine de type P par des implantations adjacentes de type N, réalisables en même temps que l'implantation  $N_{VLD}$ . Puisque le phosphore subit le même bilan thermique que le bore, et puisqu'à ces températures les coefficients de diffusion de ces deux dopants sont proches, il est possible d'obtenir une base relativement verticale sur l'épaisseur de la couche de silicium SOI.

La figure II-19.b représente le profil de dopage actif latéral au niveau de la base fine, avec et sans compensation latérale. Globalement, la compensation affine la base par rapport au profil initial, avec un niveau de dopage maximal diminué. De part et d'autre, la compensation implique la présence de deux pics de dopages phosphore du même ordre de grandeur que celui de la base fine.

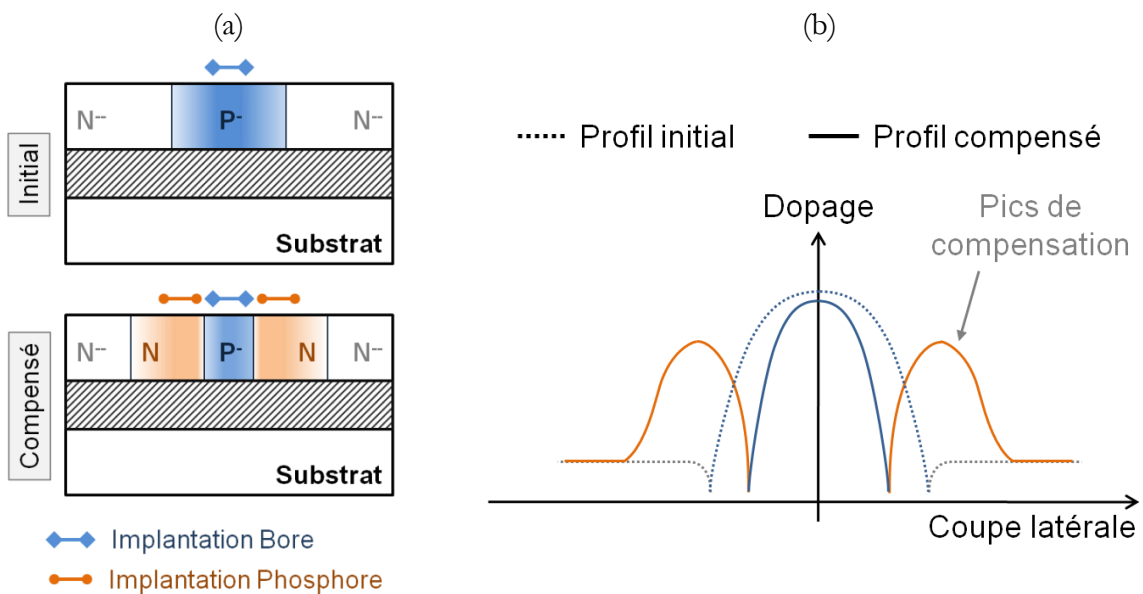


Figure II-19 : (a) illustration de la compensation au niveau de la base fine.

(b) Profil de dopage latéral résultant.

## II.5.2 Calculs analytiques permettant d'obtenir la base fine

La méthodologie de détermination des masques de la base ne diffère pas de celle présentée en §II.3. Des calculs analytiques, précédemment calibrés (*cf.* §II.4.2), permettent de minimiser le recours aux simulations physiques. Ici, il est nécessaire de déterminer les dimensions des ouvertures des masques  $P_{\text{Base}}$  et  $N_{\text{VLD}}$  (servant également à l'obtention du VLD), ainsi que les doses associées.

La figure II-20 présente différents profils de dopage latéral de la base pour un jeu de masques donné et pour 3 doses d'implantation de bore. Au centre, on peut voir la base, dont l'épaisseur et le niveau de dopage maximal varient fortement ( $2 - 6 \mu\text{m}$  ;  $3 \cdot 10^{15} - 1 \cdot 10^{16} \text{ cm}^{-3}$ ) en fonction de la dose de bore (variant du simple au double). De part et d'autre de la base, la compensation provoque un pic de phosphore sensiblement égal, voire supérieur, au niveau de dopage de la base fine. Ce surdopage latéral, inhérent à la compensation du bore de la base, aura une influence sur l'autoblindage de la base, et donc sur la tenue en tension du dispositif. Enfin, à partir de plus ou moins  $15 \mu\text{m}$ , on se retrouve dans la zone de drift, avec un profil de dopage correspondant à celui du VLD.

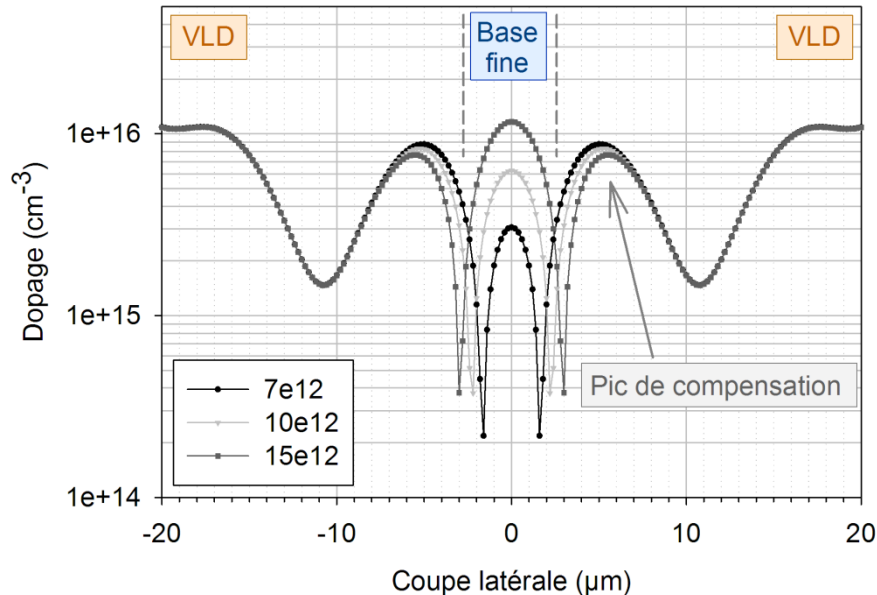
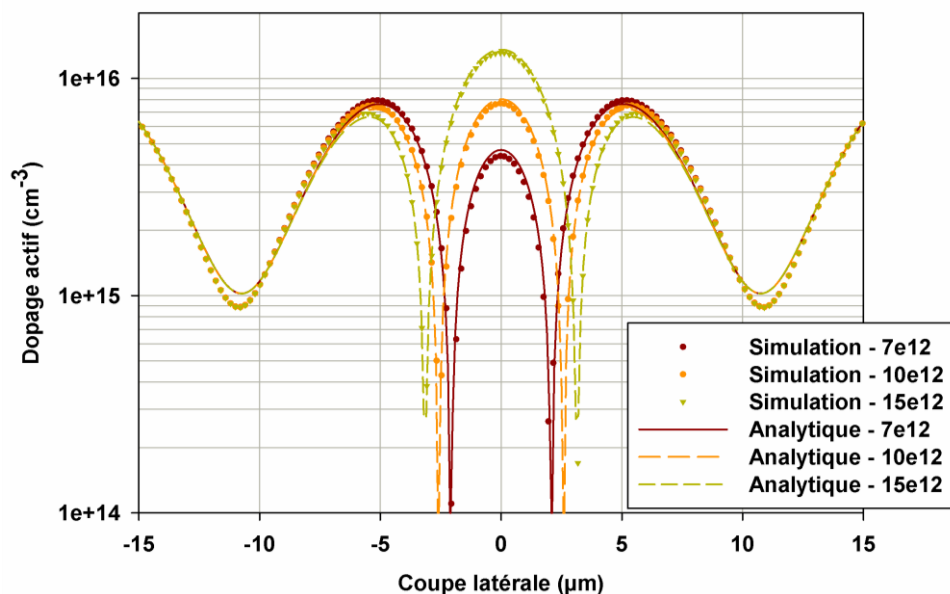


Figure II-20 : Exemples de profils de dopage latéral de base compensée, calculés analytiquement, pour différentes doses d'implantation de bore.

### II.5.3 Validation des calculs par la simulation physique

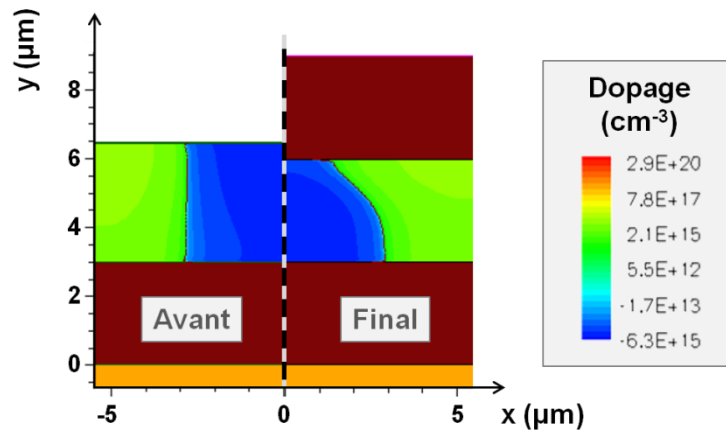
Après la détermination analytique des jeux de paramètres masques / doses, ces paramètres ont été confrontés à des simulations physiques 2D, afin de confirmer la pertinence des choix préliminaires.

La figure II-21 présente les coupes latérales des profils de dopage actifs analytiques et simulés de la base fine, pour un jeu de masques donné et trois doses de bore. Notons que le profil simulé est obtenu via une coupe latérale dans le volume de la couche active de silicium et non aux interfaces (*cf.* figure II-10). La corrélation entre les profils est globalement satisfaisante, validant ainsi une nouvelle fois la pertinence de la démarche analytique initiale.



**Figure II-21 : Coupes latérales de profils de dopage analytiques et simulés dans la zone de base fine, pour un jeu de masques donné et 3 doses de bore.**

La figure II-22 présente une vue en coupe 2D de la base fine. La partie gauche représente la distribution de dopage juste après le recuit d'homogénéisation, précédant le recuit humide, la partie droite représente la distribution en fin de simulation de fabrication. Avant le recuit d'oxydation humide, la base est verticale. Durant le recuit humide, le bore ségrège en surface vers l'oxyde thermique, alors que le phosphore voit toujours une barrière de diffusion (*cf.* §II.3.2, page 84). D'où un amincissement de la base en surface, proche de l'oxyde thermique, après le recuit d'oxydation.



**Figure II-22 : Simulation physique 2D de la base fine avant et après le recuit d'oxydation.**

Cette topologie évasée de la base peut avoir une influence sur le comportement du composant. Puisque la base est affinée en surface, on peut supposer que le gain à faible densité de courant sera augmenté. En contrepartie, la base sera probablement plus fragile en termes de tenue en tension.

Afin d'atténuer cet effet d'évasement, il est possible de poursuivre le recuit humide par un recuit sous atmosphère neutre (*cf.* II.3.1, page 80). Ainsi il est possible de rétablir l'allure verticale recherchée du profil de dopage de la base. Cependant :

- le bilan thermique subit par le bore sera d'autant augmenté. La compensation de celui-ci sera donc plus forte, induisant un amincissement général de la base fine, et une réduction du niveau de dopage maximal de la base. Cela favoriserait le gain du transistor, mais rendrait la base plus sensible au perçage,
- le bilan thermique des zones P<sup>+</sup> et N<sup>+</sup> sera lui aussi plus important, impliquant une diffusion latérale plus importante. Cela diminuera le rapport de surface zone active (VLD - Base fine) / surface totale de puce consommée, et donc la densité en courant du transistor.

Comme nous pouvons le voir sur la figure II-22, le profil de dopage latéral simulé peut fortement varier en fonction de la profondeur à laquelle la coupe est effectuée. Ainsi, la comparaison entre profils simulés et profils analytiques n'est pas valable en surface de substrat. Rappelons simplement que notre démarche était d'obtenir aisément et rapidement des jeux de masques / doses d'implantations. Ajoutons que cet effet d'évasement est inhérent au choix de réalisation du transistor (recuit humide après recuit d'homogénéisation, la démarche analytique n'est pas en cause ici).

## II.5.4 Simulations électriques

L'obtention par simulation physique de la base fine permet d'envisager la simulation électrique du transistor, et en particulier de tester le gain et l'autoblindage du dispositif.

### II.5.4.1 Reconstitution 2D

La vue en coupe 2D au niveau de la base fine (telle que celle obtenue en figure II-22) n'est pas suffisante pour réaliser des tests électriques. En effet, dans le cas de l'autoblindage, il faut évidemment tenir compte des caissons P<sup>+</sup> de protection. Dans le cas du gain, plusieurs points interdisent l'utilisation de la coupe 2D latérale :

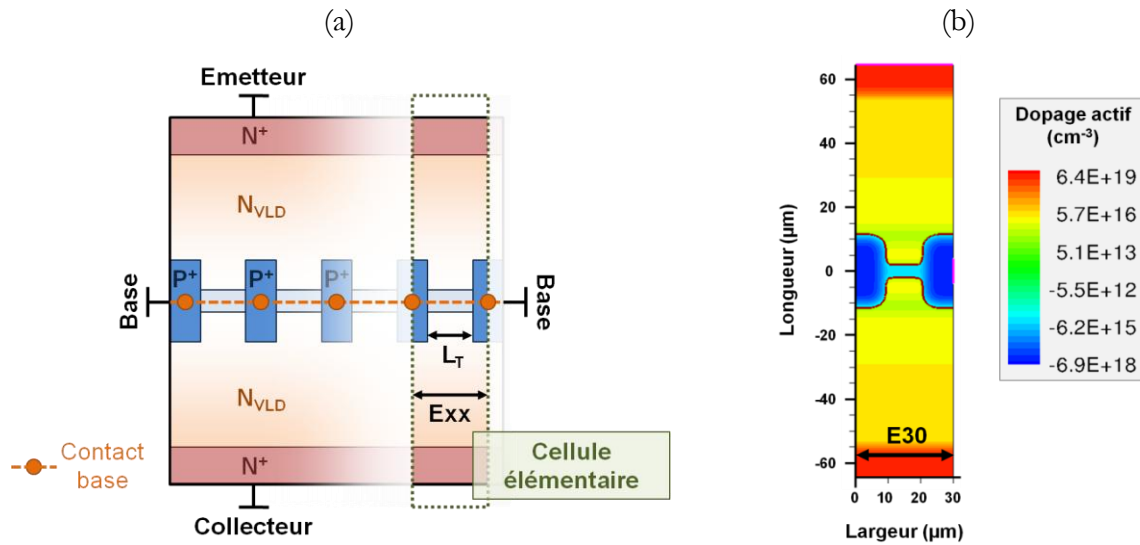
- les caissons injectent des trous à l'état passant, ce qui augmente le gain du transistor,
- il existe une dépolarisation le long de la base. En effet celle-ci est, d'une manière générale, très résistive. Les caissons « correctement espacés », lieux des prises de contacts, permettent d'éviter une dépolarisation trop importante, évitant ainsi que le gain et la densité en courant du transistor ne soient impactés.

Pour ces raisons, il est nécessaire de passer par une vue de dessus du transistor pour réaliser des simulations électriques réalistes. Cette vue de dessus, schématisée en figure II-23.a, intègre la base fine et les caissons de protections. Théoriquement, il suffit d'extruder cette vue dans le sens de la profondeur, de l'épaisseur  $t_{SOB}$ , pour obtenir des réseaux de Kellog ou des courbes de Gummel en densité de courant. Ce faisant :

- on assimile les profils de dopage des caissons de protection P<sup>+</sup> et zones N<sup>+</sup> comme verticalement plat (alors qu'ils ne le sont pas). Ceci n'a pas d'influence notable sur le gain ou l'autoblindage (à partir du moment où le caisson P<sup>+</sup> est traversant et de dopage suffisamment élevé),
- le profil de dopage vertical des zones de drift N<sub>VLD</sub> n'est lui aussi pas complètement plat. Cela peut impacter l'autoblindage, notamment si le dopage N<sub>VLD</sub>, au niveau de la base fine, est trop élevé,
- enfin, rappelons que le profil de dopage vertical de la base, lui non plus, n'est en réalité pas plat. Cela a une influence à la fois sur le gain et l'autoblindage du transistor.

Pour obtenir la vue de dessus de la cellule élémentaire du transistor, il faut récupérer les profils 1D de dopage latéraux du phosphore (N<sub>VLD</sub>) et du bore (P<sub>Base</sub>), que l'on obtient à partir des simulations 2D physiques de la base fine, et les appliquer à notre cellule. On ajoute ensuite, de

chaque côté de notre cellule de transistor, le profil de bore des caissons P<sup>+</sup>. Finalement, cela donne la structure représentée figure II-23.b.



**Figure II-23 : (a) Schéma du transistor en vue de dessus nécessaire à la réalisation de simulations de gains et d'autoblindage. (b) Structure 2D obtenue par reconstruction pour un écartement inter-caissons  $L_T$  d'environ 10 µm.**

#### II.5.4.2 Gain du transistor

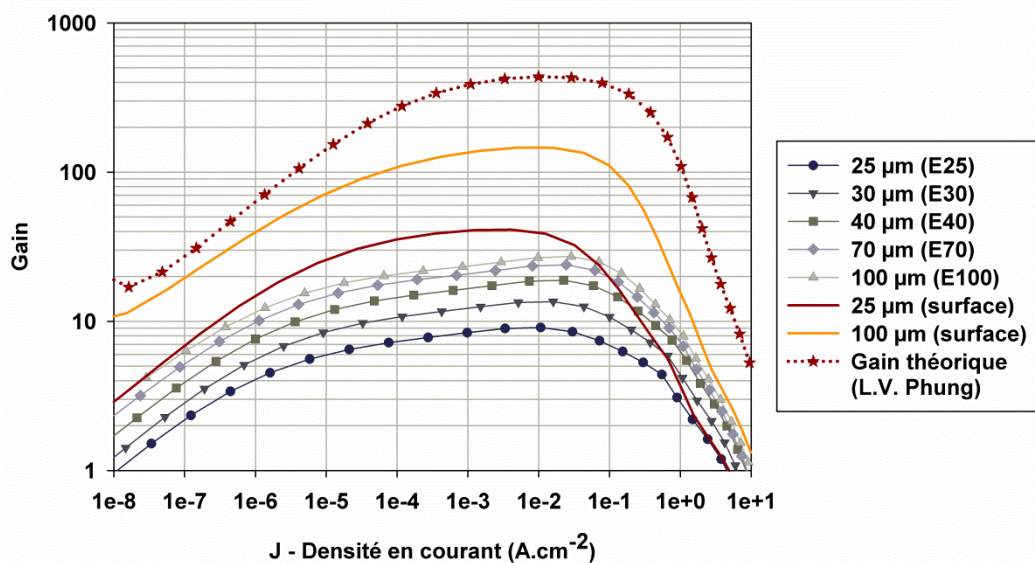
L'espacement inter-caissons  $L_T$  des caissons P<sup>+</sup> (rappelé sur la figure II-23.a) est un paramètre primordial à ajuster. Par la suite, on préférera plutôt parler d'écartement de caissons  $E_{xx}$ , représentant la largeur totale de la cellule élémentaire (incluant l'espacement inter-caissons  $L_T$ , l'ouverture des caissons et leur extension latérale. Dans l'exemple de la figure II-23.b ci-dessus, l'écartement est de 30 µm (*E30*).

La figure II-24 présente les courbes de gain du transistor (traits pleins fins et avec des marqueurs) en fonction de la densité de courant d'émetteur ou de collecteur, pour différents écartements de caissons. Ces gains ont été simulés pour une chute de tension  $V_{E/C}$  de 0,5 V. Cette faible chute de tension permet d'envisager une dissipation de puissance minimale à forte densité de courant. Le profil de dopage de la base fine est pris au milieu de la couche active de silicium SOI. Rappelons en effet que la base a une forme « évasée », aussi, en milieu de couche SOI, la base est la plus épaisse, ce qui correspond à un pire cas pour le gain (*cf.* figure II-22). Cette figure rappelle également la courbe de gain théorique obtenue selon les travaux de L.V. Phung [1].

De manière générale, on retrouve la courbe en cloche des gains de transistors bipolaires, avec un gain maximal aux alentours de  $10^{-2}$  A.cm<sup>-2</sup>. L'augmentation de l'écartement amène une

augmentation générale du gain du transistor. En effet, le rapport surface active de la base / surface totale de puce s'élève et améliore le gain. Notons que si l'on augmentait plus encore l'écartement des caissons, un effet de dépolarisation de la base interviendrait, conduisant cette fois à une diminution de la densité en courant du transistor.

Pour des écartements de caissons réduits (*E25*, *E30*), le gain maximal du transistor est relativement faible, puisqu'autour de 10, soit une décade et demi en-dessous des valeurs théoriques de L.V. Phung [1]. Cela s'explique en partie par le trop faible écart entre les caissons, mais aussi par le fait que la base n'est pas aussi « fine » que ce que préconise la théorie. En effet son épaisseur se situe plutôt aux alentours de 3-4  $\mu\text{m}$ , au lieu du micron souhaité.



**Figure II-24 : Courbes de gains du transistor en fonction de la densité de courant collecteur ou émetteur et pour différents espacements inter-caissons.**

Quel que soit l'écartement inter-caissons, pour les fortes densités de courant, aux alentours de  $1 \text{ A.cm}^{-2}$ , le gain est faible, là encore d'environ une décade en-dessous de la théorie. L'explication tient à la diminution importante de la surface « réellement » active du transistor, pour deux raisons majeures :

- les longueurs et largeurs des caissons  $P^+$  ( $> 10 \mu\text{m}$  de longueur pour  $7 \mu\text{m}$  de large) sont supérieures à celles définies par L.V. Phung [1] (quelques microns de longueur pour  $1 \mu\text{m}$  de largeur), ce qui est principalement lié à la forte extension latérale des caissons, comparativement aux profils analytiques très abrupts utilisés par L.V. Phung. Ceci représente autant de section active de base fine en moins pour le transistor,

- d'une manière générale, la longueur de la cellule élémentaire (*cf.* figure II-23.b) est drastiquement accrue par rapport à la longueur déterminée par L.V. Phung, d'environ 80  $\mu\text{m}$ . En réalité, essentiellement pour des considérations de photolithographie détaillées en §III.2, la longueur de la cellule se situe aux alentours de 170  $\mu\text{m}$ .

Les deux caractéristiques en traits pleins de la figure II-24 représentent les courbes de gains du transistor pour deux écartements ( $E25 - E100$ ) et pour un profil de dopage de la base situé cette fois-ci au niveau de la surface de la couche active. Dans cette zone, la base est plus fine, aussi les gains sont plus élevés, d'une demi-décade. *In fine*, on peut considérer que le gain du transistor se situera donc entre ces deux plages de gains, entre base épaisse et base fine.

#### II.5.4.3 Autoblindage du transistor

L'autoblindage de la base fine se fera d'autant plus efficacement que les caissons de protections seront longs et rapprochés, et que le dopage N inter-caissons sera faible (la désertion autour de la base se faisant alors plus rapidement).

Des simulations sous SENTAURUS ont permis de tester l'autoblindage de la cellule élémentaire en fonction de l'écartement des caissons, pour un profil latéral (bore et phosphore) en milieu de couche active de silicium (*cf.* figure II-22, page 106), c'est-à-dire un cas intermédiaire (base épaisse, dopage N moyen). La figure II-25 présente les valeurs des tensions de claquage pour 3 doses d'implantations de bore et pour différents écartements, de 25 à 100  $\mu\text{m}$  ( $E25 - E100$ ). Rappelons que l'effet RESURF n'est pas pris en compte dans cette vue de dessus de la cellule. La figure II-26 présente quant à elle la répartition du champ électrique autour de la base fine au moment du claquage pour les cas de doses d'implantation minimum et maximum et pour 3 écartements ( $E25, E30, E40$ ).

- *Dose d'implantation bore faible (base relativement fine,  $\sim 3 \mu\text{m}$ ).*

Pour de faibles écartements ( $E25$ ), la tension d'avalanche ( $\sim 115 \text{ V}$ ) est régie par la jonction  $\text{P}^+$  (caissons) /  $\text{N}_{\text{VLD}}$ . La zone inter-caissons est complètement désertée et la base fine est protégée du perçage. Pour de plus grandes valeurs d'écartements (ici, supérieures à 40  $\mu\text{m}$ ), la zone inter-caissons n'est pas entièrement désertée, la tension d'avalanche ( $\sim 60 \text{ V}$ ) est alors fixée par la jonction  $\text{P}_{\text{Base}} / \text{N}$ . Clairement, la base fine est alors percée et le courant la traverse. Pour des valeurs intermédiaires (cas  $E30$ ) la tenue en tension est de 95 V. De fait, la base fine est mieux protégée, mais pas suffisamment pour empêcher son perçage avant que ne survienne l'avalanche au niveau des caissons.

- Dose d'implantation bore importante (base relativement épaisse,  $\sim 8 \mu\text{m}$ ).

Dans le cas d'une base épaisse et plus dopée, la tension d'avalanche est élevée et ne varie pas en fonction de l'écartement des caissons. Qu'il y ait autoblindage de la base avec désertion de la zone inter-caissons ou non, la base est suffisamment épaisse pour tenir la tension. Au final, pour des écartements importants, la tenue en avalanche est répartie tout le long des jonctions  $P^+ / N_{VLD}$  et  $P_{\text{Base}} / N_{VLD}$ . Dans ce cas, la base reste protégée du perçage et l'on conserve l'assurance que l'effet RESURF prendra le relai.

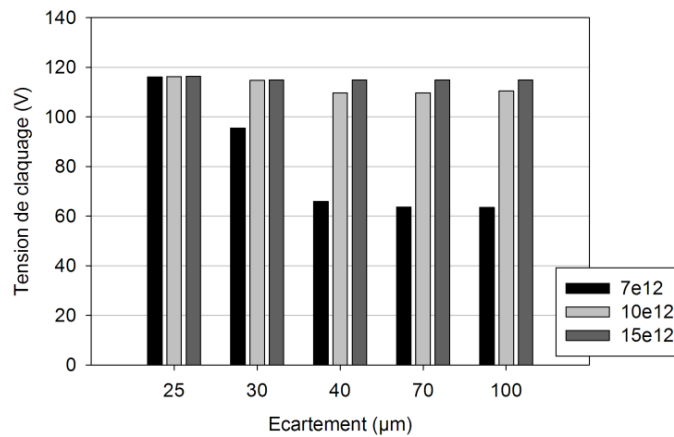


Figure II-25 : Évolution de la tenue en tension (sans effet RESURF) en fonction de l'écartement des caissons  $P^+$  et des doses d'implantations. Profils de dopage prélevés en milieu de couche SOI (simulation 2D).

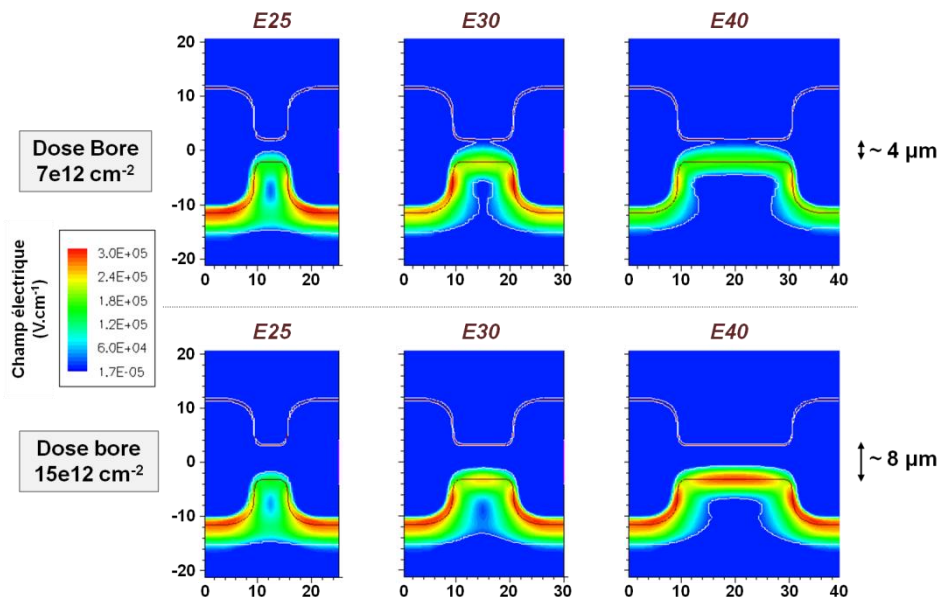


Figure II-26 : Évolution du champ électrique sans effet RESURF autour de la base fine pour 2 doses d'implantations de base et pour différents écartements de caissons.

Le comportement de l'autoblindage varie de manière importante lorsque l'on utilise le profil de dopage de la base en surface de couche active de silicium SOI pour reconstituer la cellule élémentaire. En effet, à cet endroit la base est plus fine que dans le volume de la couche de silicium, elle est donc plus « fragile ». La figure II-27 récapitule les tensions de claquage de la structure obtenues dans ce cas. Pour les implantations à faibles et moyennes doses ( $\leq 10^{12} \text{ cm}^{-2}$ ), la tenue en tension est quasi-nulle. En effet la base est tellement fine près de la surface qu'elle est incapable de tenir une tension de quelques volts. L'autoblindage ne pourrait alors se faire qu'avec des caissons extrêmement rapprochés. Dans le cas de la dose de bore la plus importante, la base est plus épaisse, ce qui la protège du perçage. Ici, la différence de tension entre le cas E25 et les autres écartements s'explique par la différence de lieu de l'avalanche, que l'on peut apercevoir sur

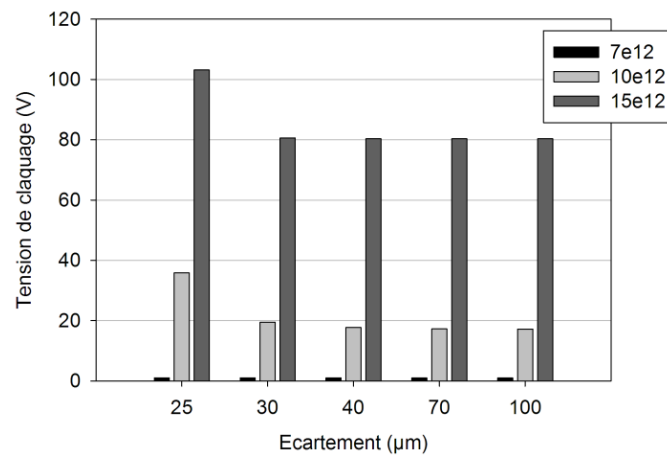


Figure II-27 : Évolution de la tenue en tension (sans effet RESURF) en fonction de l'écartement des caissons  $\text{P}^+$ , pour un profil de base en surface.

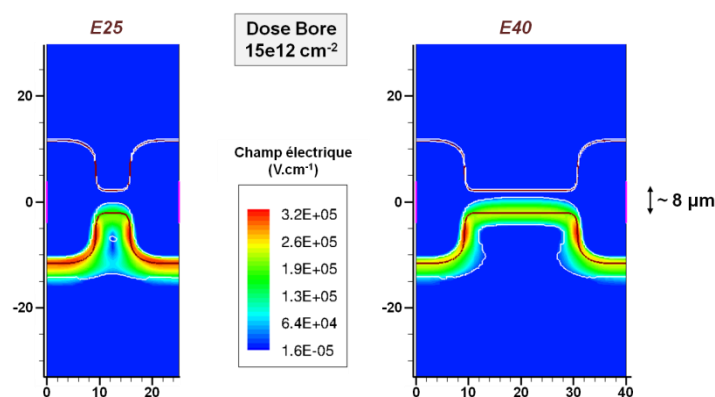


Figure II-28 : Évolution du champ électrique autour d'une base relativement épaisse, non-sujette à perçage.

la figure II-28. Pour des caissons rapprochés (*E25*) l'avalanche est localisée sur le pourtour des caissons  $P^+$ , avec une zone inter-caissons intégralement désertée. Dans les autres cas, elle est localisée sur le flan des caissons. Ces flans voient une courbure du champ électrique plus importante puisque la zone inter-caissons n'est pas désertée.

Rappelons enfin que, dans le cas où la base fine est autoprotégée, l'effet RESURF prend le relais de l'autoblindage. Ainsi, pour les transistors dont les caissons sont suffisamment rapprochés, la tenue en tension atteint 450 V, comme nous l'avons vu en §II.4.5.

### II.5.5 Conclusion

Le fait de réaliser une base verticale via des implantations et des recuits classiques nous oblige à recourir à la compensation du profil de bore par un dopant de type N, dans le but d'affiner la base. De plus, pour obtenir une base verticale, il faut recourir à l'utilisation du phosphore puisque celui-ci a un coefficient de diffusion proche de celui du bore (*cf.* §II.5.1). La compensation impliquera cependant d'avoir des pics de dopage phosphore autour de la base, ce qui impactera l'autoblindage.

Une méthode analytique a de nouveau été employée pour définir rapidement et simplement des géométries de masques et des doses d'implantations. Cette méthode s'inspire de celle utilisée pour la réalisation du VLD. Les calculs effectués sont proches de ceux obtenus par la simulation physique sous SENTAURUS, en sachant que le profil de dopage vertical de la base fine n'est pas plat, ce qui n'est pas pris en compte dans nos calculs analytiques.

Pour effectuer des simulations électriques de gain et d'autoblindage, il faut reconstituer la vue 2D de dessus du transistor, afin d'intégrer l'influence des caissons  $P^+$ . Cette reconstruction impose de choisir un profil de dopage latéral de la base : soit un profil en surface de couche de silicium SOI pour simuler une base fine, soit un profil dans le volume de la couche pour une base épaisse.

Puisque la base obtenue n'est pas aussi fine que souhaitée, les gains simulés sont plus faibles d'environ une décade. Le constat est le même pour la densité de courant, à cause cette fois-ci des largeurs et longueurs de cellules de transistor plus importantes que celles fixées par L.V. Phung. On retrouve cependant l'allure générale du gain en cloche. Le gain et la densité en courant augmentent avec l'écartement des caissons. Le gain varie de manière importante, d'une demi-décade, selon que le profil de la base est pris en surface ou dans le volume de la couche de silicium. En théorie, il faudra donc s'attendre à un comportement intermédiaire.

L'efficacité de l'autoblindage du transistor est ici aussi moins élevée que prévu, en grande partie à cause des pics de dopage phosphore nécessaires à la compensation du bore pour affiner la base. Finalement, il faut opter pour des caissons très rapprochés pour s'assurer d'un autoblindage effectif.

## II.6 Impact du désalignement entre les masques d'implantations

### II.6.1 Présentation des principaux désalignements

Quatre masques d'implantations sont nécessaires pour localiser les différentes zones de notre dispositif :  $N_{VLD}$ ,  $P_{Base}$ ,  $P^+$ ,  $N^+$ . Chacun de ces quatre masques s'alignera sur un premier niveau dit « actif », délimitant les zones actives du transistor. Statistiquement, le désalignement maximal entre chacun de ces niveaux de masquage et le premier niveau est de  $\pm 1,5 \mu\text{m}$ , ce qui conduit donc, statistiquement, à un désalignement maximal entre masques d'implantation ( $N_{VLD}$  vs  $P_{Base}$ ,  $N_{VLD}$  vs  $P^+$ ,  $P^+$  vs  $N^+$ , etc.) de  $\pm 2,2 \mu\text{m}$ . En particulier, le désalignement d'environ  $2 \mu\text{m}$  entre les implantations VLD et base est important puisque du même ordre de grandeur que l'épaisseur de la base fine réalisée par diffusions classiques (quelques microns d'épaisseur).

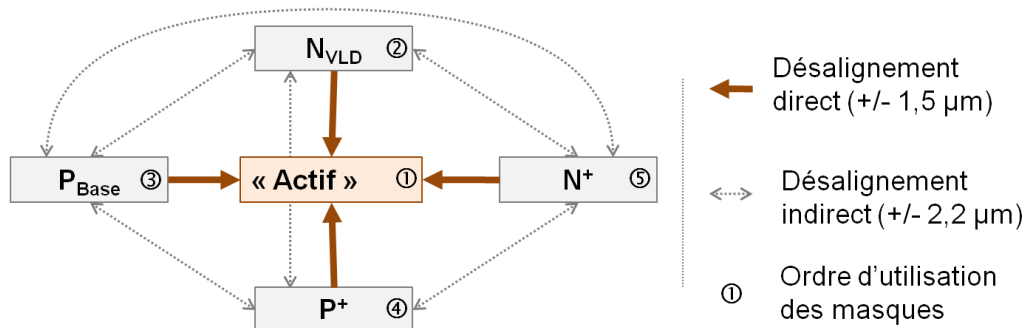
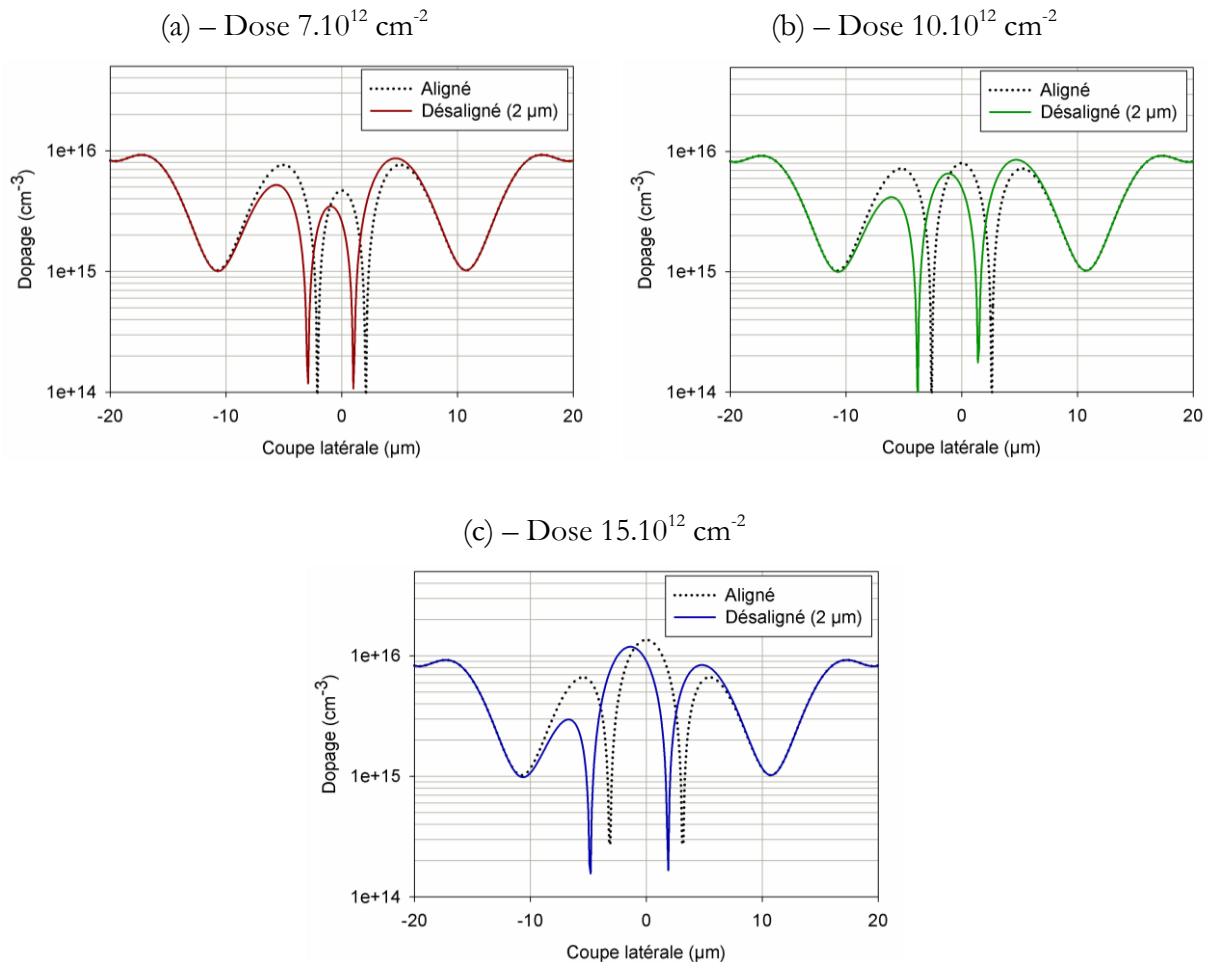


Figure II-29 : Schéma récapitulatif des désalignements entre implantations.

### II.6.2 Impact du désalignement sur la base fine

Pour évaluer l'impact d'un désalignement entre les masques  $N_{VLD}$  et  $P_{Base}$  sur le profil de dopage de la base du transistor, nous avons simplement réutilisé la méthode de calcul analytique développée en §II.5.2, en décalant le masque  $P_{Base}$  de  $-2 \mu\text{m}$ . La figure II-30 présente les profils de dopage latéral de la base pour 3 doses d'implantations de bore. D'une manière générale, il apparaît que l'impact est assez limité, y compris pour une dose d'implantation faible. Globalement, l'épaisseur de la base varie peu ( $< 10 \%$  de l'épaisseur initiale), alors que le niveau

de dopage maximal varie de manière plus importante (jusqu'à -30 % pour la plus faible dose). En revanche, le désalignement induit une dissymétrie entre pics de dopages phosphore (la compensation n'est plus symétrique). En particulier pour les fortes doses d'implantation bore, le niveau de dopage des pics peut varier du simple au double.



**Figure II-30 : Profils analytiques de dopage latéral au niveau de la base pour 3 doses de bore, avec et sans désalignement du masque  $P_{\text{Base}}$  par rapport au masque  $N_{\text{VLD}}$ .**

Par la suite, des simulations électriques ont été effectuées afin d'apprécier l'impact du désalignement sur le gain et l'autoblindage du dispositif. La prise en compte des désalignements est dans ce cas particulièrement aisée : en effet, il suffit « simplement », lors de la construction de la « vue de dessus » du transistor, de plus ou moins décaler les profils de dopage de la base ou des caissons. La détermination des gains est ici effectuée pour une tension  $V_{\text{CE}} = 0,5 \text{ V}$ , tandis que pour les simulations d'autoblindage, l'émetteur est soumis à une tension élevée.

Pour la suite de ce chapitre, il ne faut pas oublier que ces simulations sont effectuées pour un sens de polarisation donné (que l'on pourra par commodité nommer « sens direct »). Aussi, pour simuler le comportement électrique du dispositif en polarisation « inverse » (pour le gain :  $V_{EC} = 0,5 \text{ V}$ , pour l'autoblindage on soumet le collecteur à une tension élevée) il suffit d'inverser les désalignements : un désalignement de  $+2 \mu\text{m}$  en direct devient un désalignement de  $-2 \mu\text{m}$  en inverse.

Les figures II-31.a et II-31.b présentent l'évolution du gain du dispositif en fonction des désalignements (caissons  $P^+$  vs base fine et VLD vs base fine) pour deux jeux de paramètres : d'une part, une implantation bore faible dose ( $7.10^{12} \text{ cm}^{-2}$ ) avec un faible écartement (E25) et d'autre part une implantation à dose plus élevée ( $10.10^{12} \text{ cm}^{-2}$ ) avec un écartement plus important (E30).

Dans le premier cas, seul le désalignement du masque  $P_{\text{Base}}$  par rapport au masque  $N_{\text{VLD}}$  induit une variation notable du gain. Cela est directement dû aux variations de dopage maximal et d'épaisseur de la base : le désalignement favorise l'obtention d'une base fine et peu dopée, donc un gain important. Le désalignement des caissons ne joue quant à lui aucun rôle. Dans le deuxième cas (une base relativement épaisse, un écartement plus important des caissons), les variations de gains sont négligeables. En effet, dans ce cas, le désalignement  $P_{\text{Base}}$  vs  $N_{\text{VLD}}$  induit des variations relativement faibles sur la base déjà relativement épaisse du transistor.

L'effet d'un désalignement positif ou négatif étant identique pour le gain en direct, on peut en déduire que le comportement en « inverse » du transistor vis-à-vis des désalignements sera le même qu'en direct.

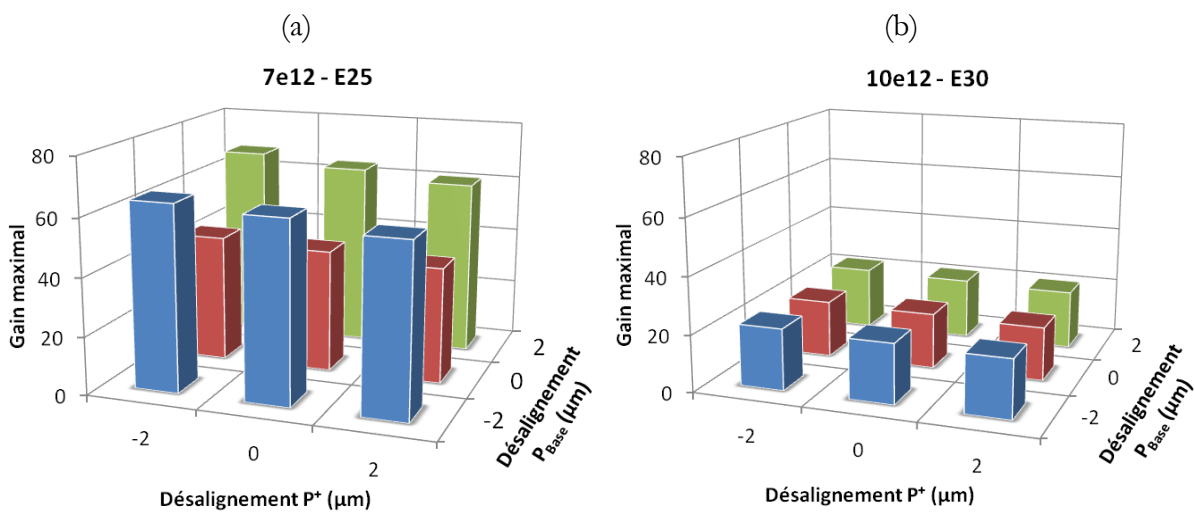


Figure II-31 : Évolution du gain en fonction des désalignements  $P^+$  versus  $P_{\text{Base}}$ , pour deux dispositifs : (a) dose  $P_{\text{Base}} = 7.10^{12} \text{ cm}^{-2}$  – E25 ; (b) dose  $P_{\text{Base}} = 10.10^{12} \text{ cm}^{-2}$  – E30.

Les tableaux suivants récapitulent les cas favorables d'autoblindage selon le désalignement au sein des deux dispositifs cités précédemment. Dans le premier cas (tableau II-5.a), l'autoblindage n'intervient pas lorsque ou la base est désalignée de  $-2\ \mu\text{m}$ , quel que soit le désalignement des caissons  $P^+$ . On se retrouve dans le cas de la figure II-30.a avec un pic de dopage phosphore à droite de la base, plus important. Cette zone étant plus dopée, elle se déserte moins facilement lors de la mise sous tension, ce qui favorise le perçage de la base. De même, un désalignement de la base de  $+2\ \mu\text{m}$  limitera l'autoblindage en « inverse » (par symétrie).

Dans le cas de la polarisation « directe », un désalignement de  $+2\ \mu\text{m}$  de la base et un désalignement de  $-2\ \mu\text{m}$  des caissons de protection gêne l'autoblindage (tableau II-5.a). Dans ce cas, la base est « décalée » vers la zone de drift, alors que les caissons sont quant à eux en retrait dans cette même zone. La base est donc moins bien protégée par les caissons.

Enfin, comme le montre le tableau II-5.b, dès que la base devient plus épaisse grâce à l'augmentation de la dose d'implantation, celle-ci n'est plus sensible aux désalignements du masque VLD et/ou des caissons  $P^+$ .

**Tableau II-5 : Évolution de l'autoblindage en fonction des désalignements et pour deux jeux de masques : (a) dose  $P_{\text{Base}} 7.10^{12}\ \text{cm}^{-2}$  - E25 et (b) dose  $P_{\text{Base}} 10.10^{12}\ \text{cm}^{-2}$  - E30.**

(a) - Dose  $7.10^{12}\ \text{cm}^{-2}$  / E25

$7.10^{12}$ – E25		Désalignement $P^+$ ( $\mu\text{m}$ )		
		-2	0	2
Désalignement $P_{\text{Base}}$ ( $\mu\text{m}$ )	-2			
	0	OK	OK	OK
	2		OK	OK

(b) - Dose  $10.10^{12}\ \text{cm}^{-2}$  / E30

$10.10^{12}$ – E30		Désalignement $P^+$ ( $\mu\text{m}$ )		
		-2	0	2
Désalignement $P_{\text{Base}}$ ( $\mu\text{m}$ )	-2	OK	OK	OK
	0	OK	OK	OK
	2	OK	OK	OK

### II.6.3 Impact du désalignement sur l'effet RESURF

Ici, le désalignement entre les masques  $N_{\text{VLD}}$  et  $P^+$ , et dans une moindre mesure vis-à-vis du masque  $N^+$ , peut avoir une influence sur l'effet RESURF. La figure II-32 résume l'évolution de la tenue en tension de la zone de drift en fonction des désalignements respectifs, et ce pour deux

doses d'implantations  $N_{\text{VLD}}$  ( $6$  et  $9.10^{12} \text{ cm}^{-2}$ ). Le recuit d'homogénéisation est fixé à  $1200^\circ\text{C}$  pendant  $300 \text{ min}$ .

Pour une dose d'implantation relativement élevée de  $9.10^{12} \text{ cm}^{-2}$  (figure II-32.b), le désalignement  $N_{\text{VLD}} / P^+$  joue un rôle extrêmement important sur la tenue en tension. En effet, lorsque le caisson  $P^+$  s'avance trop dans la zone de VLD, la tenue en tension s'effondre. La figure II-33 illustre le phénomène en présentant l'allure du champ électrique et le profil de dopage dans la zone de drift, avec, et sans désalignement  $P^+$ . Le désalignement de la jonction  $P^+ / N_{\text{VLD}}$  produit un profil de dopage plus abrupte, et l'on atteint plus rapidement le champ critique. La jonction entre donc en avalanche avant que la zone de drift n'ait pu être désertée, bloquant ainsi l'apparition de l'effet RESURF.

Pour une dose d'implantation  $N_{\text{VLD}}$  plus faible de  $6.10^{12} \text{ cm}^{-2}$  (figure II-32.a), les variations de tenue en tension sont insignifiantes. Le désalignement des masques présente peu d'influence. En effet, le dopage  $N_{\text{VLD}}$  dans la zone de drift proche des caissons de protection est relativement faible. Ainsi, la zone de drift est désertée avant que l'avalanche ne survienne au niveau des caissons de protection.

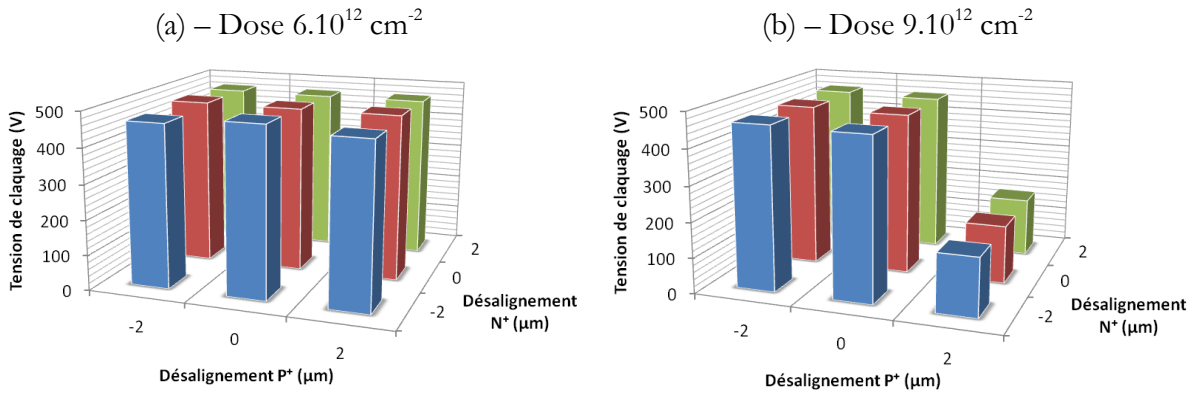


Figure II-32 : Évolution de la tenue en tension par effet RESUEF en fonction des désalignements des masques P<sup>+</sup> et N<sup>+</sup> par rapport à la zone de drift, pour deux doses d’implantation N<sub>VLD</sub>.

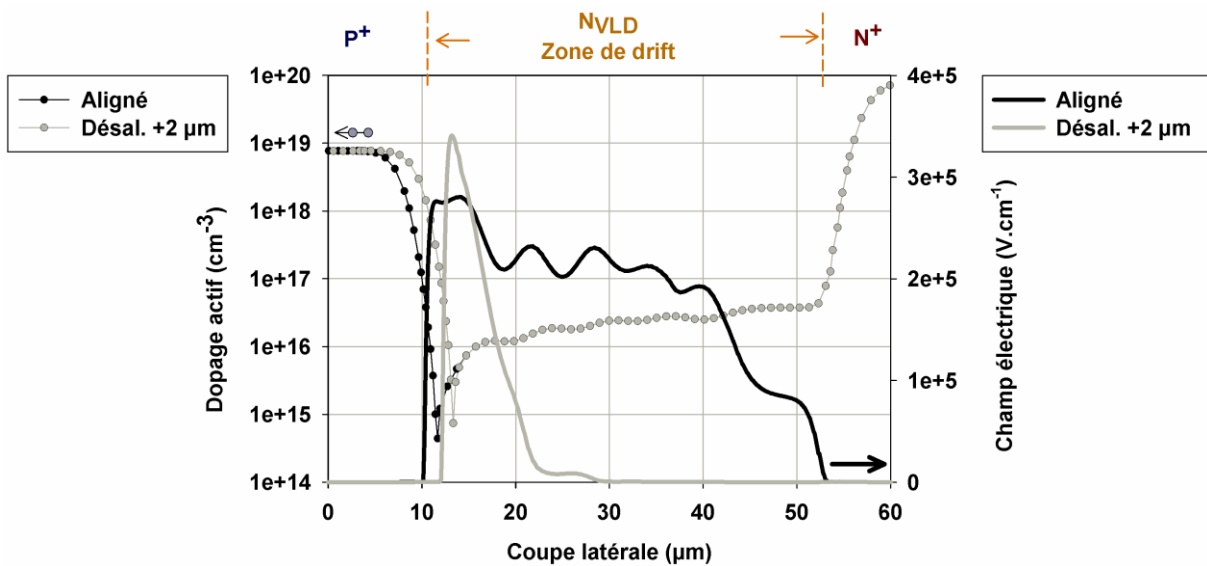


Figure II-33 : Évolution du dopage et du champ électrique dans la couche active de SOI avec et sans désalignement, et pour une dose N<sub>VLD</sub> élevée (9.10<sup>12</sup> cm<sup>-2</sup>).

## II.7 Conclusion

Toutes les étapes d'obtention des jonctions métallurgiques dans la couche active de silicium SOI sont désormais clairement définies. Le bilan thermique du recuit d'homogénéisation pourra varier autour de 200 minutes à 1200°C. Ce recuit d'homogénéisation permet d'obtenir des profils de dopages verticaux relativement plats.

Le mécanisme de ségrégation produit différents comportements à l'interface silicium / oxyde, en fonction de la nature des dopants, avec une accumulation de phosphore, et d'autre part, un appauvrissement du bore côté silicium. Ces comportements sont fortement influencés par les conditions de recuit utilisées. Ainsi, pour un recuit neutre à température élevée, ces effets sont très atténués. En revanche, à faible température, ou dans le cas d'un recuit oxydant, la ségrégation des dopants sera accentuée.

Concernant le transistor ISIS02, une ségrégation des dopants aux interfaces silicium / oxyde peut se traduire par une inversion de dopage, et donc par l'apparition d'un canal N<sup>-</sup> parasite, notamment en surface de la base fine. Les performances du transistor sont alors parasitées du fait de la présence d'une résistance en parallèle aux émetteurs / collecteurs. Cela implique, d'une part, un courant parasite très élevé du transistor à l'état OFF, et d'autre part, un effet transistor et un gain totalement masqué par ce même courant parasite à l'état ON.

Certaines contraintes liées à la photolithographie ne permettent pas d'utiliser directement la méthode analytique développée par M.L. Lai pour définir la géométrie du masque VLD. Aussi avons-nous modifié cette méthode pour prendre en compte ces limitations. Finalement, le profil de dopage du VLD ne pourra pas être aussi linéaire que souhaité, sauf à recourir à un recuit d'homogénéisation très important, supérieur à 300 minutes à 1200°C, ou bien encore à améliorer les performances et la résolution des équipements de photolithographie. Cependant, l'ondulation du profil de dopage autour du profil linéaire idéal ne semble pas impacter la tenue en tension du composant dans les simulations électriques, en tout cas tant que la dose moyenne implantée n'est pas trop élevée (au-delà de  $9 \cdot 10^{12} \text{ cm}^{-2}$ ). En effet, lorsque la dose d'implantation dans la zone de drift augmente, la tenue en tension devient « instable », car sensible au désalignement des masques P<sup>+</sup> vs N<sub>VLD</sub>, ce qui peut devenir rédhibitoire.

La technique de la compensation du dopage bore par le phosphore permet d'amincir la base, qui reste cependant relativement épaisse en regard des dimensions théoriques proposées par L.V. Phung (quelques microns au lieu d'un micron). Dans le cas d'ISIS02, des ouvertures dans le masque N<sub>VLD</sub> au niveau de la base permettent de réaliser la compensation. Cette technique implique cependant la présence de pics de dopage phosphore sur les flancs de la base. Ces pics de

dopage sont situés dans la zone inter-caissons, ce qui réduit l'efficacité de l'autoblindage. En conséquence il faut rapprocher les caissons pour éviter le perçage de la base. Tout cela se traduira par des gains et des densités de courant du transistor plus faibles que prévus. Notons que le désalignement n'a pas d'effet véritablement important sur le gain. Cependant, il peut nuire à l'autoblindage du dispositif, en particulier pour des bases relativement fines.



**III. PERIPHERIE ET METALLISATION DU  
COMPOSANT – VARIATIONS SUR SA  
FABRICATION**

<b>III.1 Périphérie de puce .....</b>	<b>126</b>
<b>III.2 Limitations liées à la photolithographie et implications sur la fabrication du composant .....</b>	<b>127</b>
III.2.1 Techniques de photolithographie.....	127
III.2.2 Contacts des zones P <sup>+</sup> et N <sup>+</sup> .....	129
<b>III.3 Choix des motifs de base fine.....</b>	<b>132</b>
III.3.1 Motifs de la base.....	132
III.3.2 Ecartements des caissons P <sup>+</sup> .....	134
<b>III.4 Métallisation et considérations sur la dépolarisation.....</b>	<b>136</b>
III.4.1 Résistances de métallisation.....	136
III.4.2 Symétrie de la dépolarisation émetteur - collecteur .....	138
III.4.3 Topologies de métallisation retenues .....	139
<b>III.5 Plan d'expériences .....</b>	<b>143</b>
<b>III.6 Conclusion .....</b>	<b>146</b>

Les différentes étapes de fabrication du composant ISIS02 sont dorénavant définies, et l'outil analytique développé sous Matlab a permis de proposer rapidement la géométrie de deux masques importants, relatifs à l'implantation phosphore du VLD et l'implantation bore de la base fine. Finalement, le chapitre II a permis de fixer les conditions de fabrication d'une cellule élémentaire de transistor bidirectionnel en termes de procédés et de budgets thermiques. Ce chapitre a quant à lui pour but de clarifier les étapes permettant de passer d'une cellule de transistor bidirectionnel à un composant.

Tout d'abord, une première partie de ce chapitre portera sur la périphérie du transistor. En effet, tout composant semiconducteur nécessite une périphérie de protection (évitant les claquages prématurés, ou des courts-circuits inopportuns, par exemple).

Ensuite, l'accent sera mis sur la problématique de la photolithographie. En effet, le composant nécessite des résolutions relativement fines, ce qui implique d'utiliser un photo-répéteur (*stepper*). D'autre part, nous verrons qu'il faut recourir à deux niveaux de métallisation. Ce qui implique un empilement de 4 couches successives : isolant, métallisation 1, isolant, métallisation 2. Une réflexion sera donc menée sur la gravure de ces différentes couches.

L'utilisation d'un *stepper* limite la surface disponible pour intégrer des variations sur les motifs d'implantations. Néanmoins, ces variations sont nécessaires afin de multiplier les tests sur les masques de fabrication du transistor. La troisième partie de ce chapitre sera donc consacrée à l'étude des motifs d'implantation dans la zone de base.

La quatrième partie de ce chapitre fera le point sur la dépolarisation induite par les niveaux de métallisation, pouvant avoir un impact sur les performances du composant. Aussi, des solutions seront proposées concernant les motifs de métallisation.

Enfin, un dernier paragraphe résumera les géométries de masques et les différents jeux de paramètres retenus sur le procédé de fabrication du transistor.

### III.1 Périphérie de puce

Dans tous les composants de puissance, la périphérie du composant est un élément extrêmement important. En effet, certaines zones du silicium peuvent être portées à plusieurs centaines de volts. Il est alors nécessaire de les protéger vis-à-vis de « l'extérieur », afin d'éviter qu'un champ électrique intense ne soit présent sur les bords des puces de silicium, pouvant être en contact avec l'air (et produisant des arcs-électriques), ou en court-circuit avec le boîtier (la brasure de collage jouant le rôle de contact). D'autre part, la périphérie doit permettre de confiner la circulation du courant dans le volume de silicium. En effet, les bords du cristal de silicium présentent de nombreux défauts recombinants, susceptibles de créer des courants de fuites importants.

La figure III-1.a présente un composant simple (type diode) sans périphérie de protection. Dans ce cas, un fort champ se développe sur le côté du substrat de silicium, qui peut être en contact avec n'importe quel élément : boîtier, brasure, air... La figure III-1.b illustre un exemple de protection périphérique pour ce composant. Cette périphérie repose sur la localisation de la zone P au milieu du dispositif, avec une plaque de champ en surface de silicium. Ainsi, le champ électrique est entièrement confiné dans le substrat de silicium. Le champ électrique, à la surface, atteint l'oxyde de la plaque de champ. Il n'atteint en revanche pas le bord « nu » de la puce.

Concernant le transistor ISIS02, rappelons que le substrat et la base du transistor seront au même potentiel, relativement faible (quelques volts tout au plus). A contrario, les émetteurs et collecteurs seront portés à des niveaux de tension de plusieurs centaines de volts. Il est donc nécessaire d'isoler les zones N<sup>+</sup>. Il apparaît alors très intéressant de se servir des caissons P<sup>+</sup> pour entièrement confiner toutes les zones à fort champ électrique, ce qui est illustré en figure III-1.c. En l'occurrence, les régions N<sup>+</sup> émetteurs et collecteurs sont entourées de régions P<sup>+</sup> obtenues en même temps que les caissons de protection de la base fine.

Dans cette configuration, il faut noter l'arrondi (concave) des jonctions P<sup>+</sup>/N<sub>VLD</sub> entourant la zone de drift et permettant au champ électrique de se déployer, limitant ainsi les risques de confinement (*crowding*) du champ électrique, ce qui implique que la tenue en tension ne sera pas impactée.

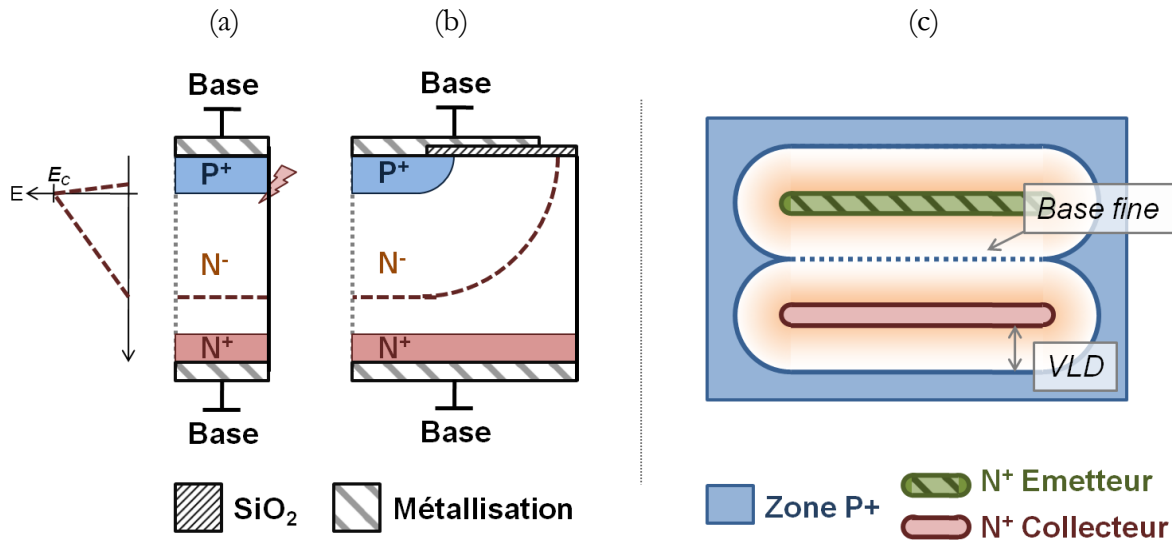


Figure III-1 : Exemples de diodes sans périphérie (a), et avec une périphérie type plaque de champ (b). (c) Topologie vue de dessus du transistor avec la périphérie de protection vis-à-vis des zones à fort potentiel/champ électrique.

## III.2 Limitations liées à la photolithographie et implications sur la fabrication du composant

### III.2.1 Techniques de photolithographie

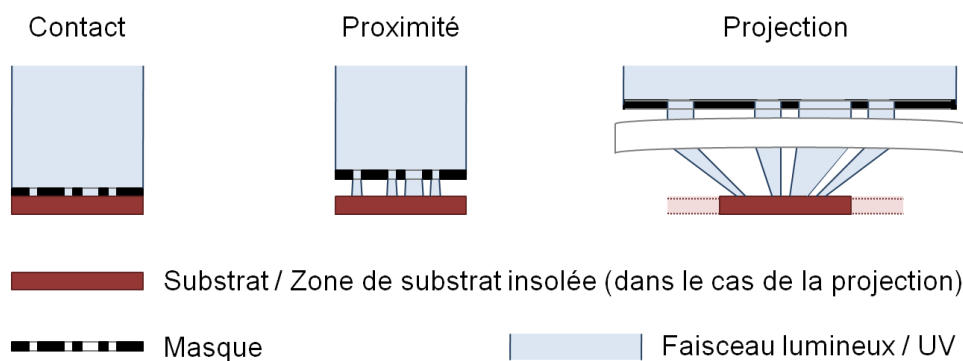
Afin d'obtenir la base et la zone de drift du dispositif, nous avons recours à des implantations dont les ouvertures, les espacements (entre ouvertures) et les désalignements entre niveaux successifs doivent être les plus faibles possibles.

Actuellement, il existe plusieurs techniques de photolithographies, dont les principales sont : la photolithographie de contact, de proximité, et la projection, ou photo-répétition (*stepper*). Dans le premier cas, le masque recouvre entièrement la plaquette de silicium et se trouve en contact avec celle-ci. Cette méthode était particulièrement utilisée auparavant, car peu coûteuse, et ne demandait pas un système optique complexe et précis. Cependant, les plaquettes sont d'une part salies et d'autre part peuvent être abîmées par l'opération de masquage (par exemple, lors d'un déplacement latéral involontaire du masque alors qu'il est en contact). D'autre part, le masque lui aussi se dégrade rapidement.

La photolithographie de proximité est une amélioration de la technique de contact. Dans ce cas, on laisse délibérément un espace entre le masque et la plaquette. Le masque recouvre donc toute la plaquette. L'absence de contact limite les salissures et évite que les plaquettes et les masques soient abîmés. En revanche, la technique est un peu moins précise (effets de diffraction de la lumière).

Dans le cas de la projection, le masque, appelé « réticule », correspond à une fraction de la surface de la plaquette. Par un jeu optique, les motifs du masque sont réduits sur le substrat, d'un certain facteur (ici égal à 5, pour une surface insolée finale d'environ  $2 \times 2 \text{ cm}^2$ ). Enfin, le réticule est photo-répété pour que la photolithographie recouvre l'intégralité du substrat. Cette technique offre une bien meilleure précision en termes d'ouvertures et d'alignement. Elle requière néanmoins un système mécano-optique plus complexe que les deux techniques précédentes. C'est cette technique, du fait de sa plus grande précision, qui sera utilisée pour réaliser le dispositif ISIS02.

La photolithographie par projection offre une bonne précision d'alignement entre les différentes étapes de photolithographie. En revanche, la surface du masque est restreinte à une surface finale de quelques  $\text{cm}^2$ . Toutes les variantes de motifs souhaitées (par exemple de base, ou de VLD) doivent donc être impérativement incluses sur le réticule, par la suite photo-répété. De fait, cette restriction surfacique limite le nombre de variantes que l'on souhaite réaliser.



**Figure III-2 : Schéma illustrant les techniques de photolithographie par contact, proximité et projection.**

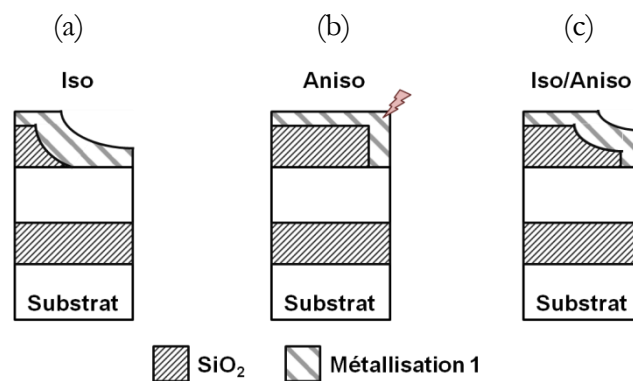
### III.2.2 Contacts des zones P<sup>+</sup> et N<sup>+</sup>

#### III.2.2.1 Gravure isotrope/anisotrope

Afin de contacter les caissons P<sup>+</sup>, il est nécessaire d'ouvrir l'oxyde face avant (d'épaisseur 3 μm), sur une zone relativement petite (les caissons P<sup>+</sup> font environ 7 μm de large et 14 μm de long). Cela exclut de fait une gravure isotrope. En effet, pour 3 μm de gravure isotrope (schématiquement représentée en figure III-3.a), il faut compter *a minima* une surgravure latérale de 6 μm (3 μm de chaque côté). A cette surgravure, il faut ajouter des marges (désalignements par exemple). Au final, l'utilisation d'une gravure isotrope entraînerait des dimensions de caissons bien plus importantes. C'est autant de surface active perdue pour le transistor.

*A contrario*, une gravure anisotrope (figure III-3.b) de l'oxyde s'avère *a priori* adaptée aux dimensions faibles de la zone de contact. Dans un tel cas les limites sont imposées par la photolithographie (ici, des ouvertures de 2 μm). Cependant, la « marche » verticale de 3 μm peut entraîner des difficultés pour le niveau de métallisation suivant (aluminium). En effet, la hauteur de marche d'oxyde importante peut induire la formation de fissures dans l'aluminium (« passage de marche »), comme indiqué sur la figure III-3.b [81].

Finalement, il pourra être intéressant d'enchaîner une première gravure isotrope de l'oxyde avec une gravure anisotrope. Cela permettra en effet d'obtenir de faibles largeurs d'ouvertures grâce à la gravure anisotrope, tout en minimisant la hauteur de marche et les risques de fissuration de l'aluminium (figure III-3.c). Une double gravure sèche isotrope/anisotrope sera donc utilisée pour la réalisation du dispositif ISIS02.



**Figure III-3 : Illustration de la gravure isotrope (a), anisotrope (b) et isotrope/anisotrope (c) de l'oxyde face avant.**

### III.2.2.2 Double-niveau de métallisation

Rappelons que le transistor possède trois électrodes (base, émetteur, collecteur) en face avant de substrat. Or, pour que le composant puisse conduire de forts niveaux de courant, il est nécessaire de paralléliser les cellules élémentaires sous forme matricielle, comme indiqué en figure III-4.a. Aussi, les émetteurs et collecteurs sont entourés par les zones P ( $P_{\text{Base}}$  ou  $P^+$ ). Par la suite, le silicium est en grande partie recouvert d'oxyde (sauf aux endroits de contacts) et de métallisation. Or les zones de drifts  $N_{\text{VLD}}$  (qui se situent de part et d'autre des caissons de protection  $P^+$  et de la base fine) doivent être recouvertes d'une plaque de champ au potentiel de la base afin d'obtenir un effet RESURF satisfaisant. Ainsi, les zones de contacts émetteur et collecteur sont entourées de la métallisation de contact de la base (figure III-4.b). Il est donc indispensable d'utiliser un deuxième niveau de métallisation pour interconnecter les collecteurs (respectivement les émetteurs) entre eux, et faciliter ainsi la mise en boîtier de la puce (connexion des fils de câblage, ou *bonding*).

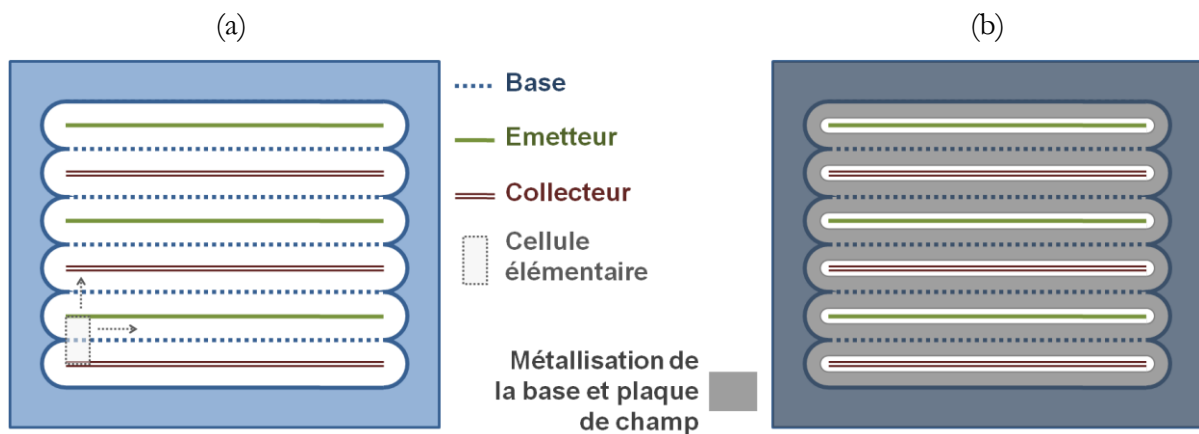
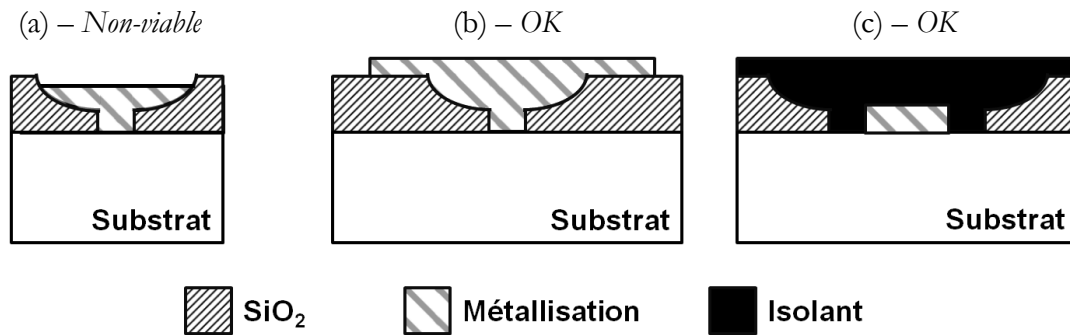


Figure III-4 : (a) Vue de dessus d'un transistor ISIS02, obtenue via la parallélisation de la cellule élémentaire. (b) Illustration de la métallisation de la base.

### III.2.2.3 Surface silicium destinée à la prise de contact

La nécessité, d'une part, d'ouvrir l'oxyde en face avant par une double gravure iso/anisotrope, et d'autre part d'avoir recours à deux niveaux de métallisation, implique des zones de contacts silicium/aluminium plus importantes qu'initialement prévues lors du développement théorique. En effet, la topologie de surface du composant est fortement structurée avec une couche d'oxyde thermique/déposé ( $3\ \mu\text{m}$ ), un premier niveau de métallisation ( $1,5\ \mu\text{m}$ ), une couche d'isolant inter-métallisation ( $2\ \mu\text{m}$ ), un deuxième niveau de métallisation ( $1,5\ \mu\text{m}$ ), auxquelles s'ajoute enfin une couche de passivation. Afin de garantir une faible variabilité et une

bonne qualité du procédé de fabrication, les différentes ouvertures successives (oxyde, métallisations...) doivent toutes être effectuées au-dessus d'une surface plane (figures III-5.b et III-5.c), ceci afin d'éviter, par exemple, qu'une ouverture de métallisation ne se fasse au dessus d'une ouverture iso/anisotrope précédente, comme illustré sur la figure III-5.a suivante.

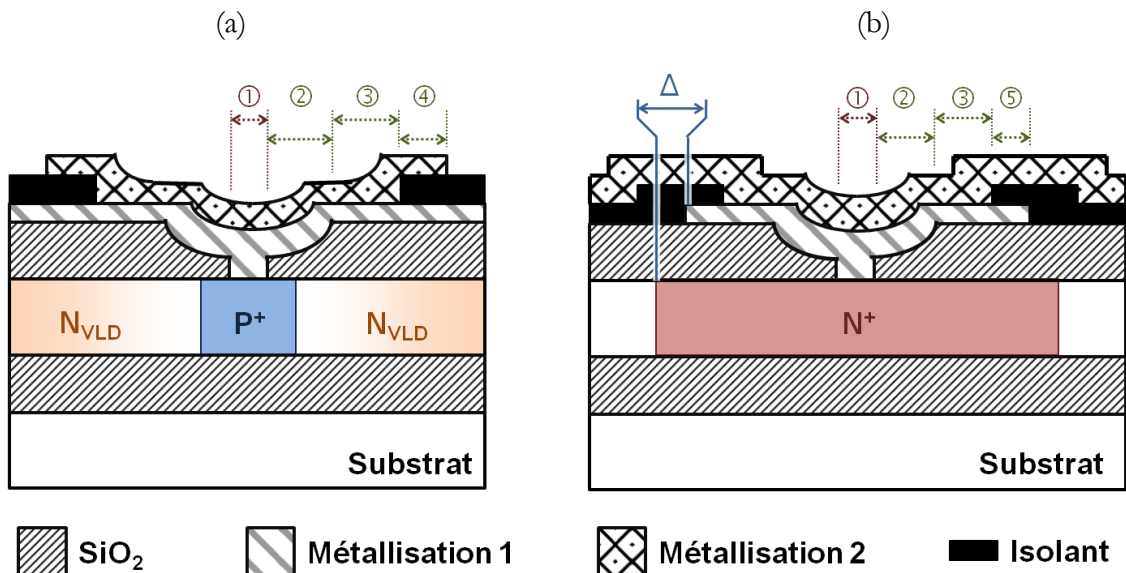


**Figure III-5 : Illustration d'une ouverture sur une topologie non-plane (a), et de deux cas de gravures (b) et (c) viables.**

Concernant l'accès aux caissons de protection  $P^+$ , la zone de contact, que l'on souhaite réduire au minimum, n'est pas impactée par ces contraintes. Pour le comprendre, il faut se rappeler que la base et la zone de drift sont complètement recouvertes par une plaque de champ, assurant par ailleurs la prise de contact  $P^+$ . Ainsi, il est possible ici de tirer avantage de la plaque de champ en face avant pour effectuer des gravures de métallisation ou d'isolant très éloignée de l'ouverture de contact Méta1/Silicium. La figure III-4.a illustre les différentes couches localisées au-dessus d'un caisson  $P^+$ . La cote ① présente l'ouverture minimale de la gravure anisotrope ( $2\ \mu\text{m}$ ). La largeur des caissons est induite par cette cote. La cote ①+② fixe la dimension de l'ouverture globale de l'oxyde. Les gravures des niveaux supérieurs devront se faire en-dehors de cette zone. De fait, via la plaque de champ, il existe une région étendue, d'environ  $30\ \mu\text{m}$ , au-dessus de la zone de drift, pour laquelle la topologie est plane.

La problématique de la prise de contact des zones  $N^+$  est différente (figure III-4.b). Les différentes couches n'ont ici pas d'autre rôle que d'assurer un contact ohmique du silicium pour lequel on souhaite avoir une résistance minimale. Afin d'éviter que la métallisation ne se retrouve au-dessus de la zone de drift (ce qui contrecarrerait l'effet RESURF), il est important de conserver une région  $N^+$  plus large que la métallisation (cote  $\Delta$ ). Finalement, la largeur totale de la région  $N^+$  de contact correspondra à la cote ①+②+③+⑤+ $\Delta$ . La cote ②+③+⑤+ $\Delta$  correspond à autant de surface de silicium consommée perdue, puisqu'elle n'apporte « rien » d'un point de

vue fonctionnel pour le transistor. Finalement, la dimension de cette zone  $N^+$ , théoriquement réduite au minimum, est en réalité proche de  $40\ \mu\text{m}$ , ce qui porte la largeur de la cellule élémentaire à  $170\ \mu\text{m}$  au lieu des  $130\ \mu\text{m}$  initiaux (cf. figure II-23.b, page 108). Cette zone « non-active » représente 30% de la surface de la cellule.



① : Ouvertures minimales liées à la photolithographie.

② / ③ / ④ / ⑤ : Distances à respecter pour graver sur une topologie « plate ».

Figure III-6 : Illustration de la topologie au niveau des contacts  $P^+$  (a) et  $N^+$  (b).

### III.3 Choix des motifs de base fine

La zone autour de la base fine est particulièrement critique pour le transistor ISIS02. Dans cette zone, il faut avoir une base  $P^-$  la plus étroite possible, au profil de dopage vertical le plus plat, des caissons  $P^+$  de protection de la base et enfin un niveau de dopage phosphore le plus faible possible, afin de favoriser l'autoblindage. Plusieurs motifs de masques autour de la base fine ont donc été développés, selon deux axes : le premier impacte le profil de la base et le deuxième l'écartement des caissons de protection.

#### III.3.1 Motifs de la base

A partir du modèle analytique déterminé en §II.5.2, il a été possible de développer 3 jeux de motifs de masques pour la réalisation de la base fine. Les implantations bore (traits pleins) et

phosphore (traits pointillés) de chacune de ces bases sont schématisées sur la figure III-7. Rappelons que la base du transistor doit :

- être fine et peu dopée pour augmenter le gain du composant,
- être insensible aux désalignements des différents niveaux d'implantation,
- le dopage phosphore voisin de la base fine doit être le plus faible possible, ceci afin de favoriser la déplétion dans cette zone et ainsi faciliter l'autoblindage.

Le motif B1 (figure III-7.a) est le motif classique dérivant de la compensation de la base fine : une implantation centrale de bore, relativement large, est compensée par des implantations phosphore voisines. Cette compensation crée deux pics de dopage phosphore de part et d'autre de la base, comme vu en §II.5.1. Le motif B2 (figure III-7.b) réduit l'implantation centrale (2  $\mu\text{m}$  au lieu de 3  $\mu\text{m}$ ) et superpose deux implantations bore proches des implantations phosphore, ceci afin de limiter les pics de dopage phosphore. Enfin, le motif B3 vise à produire une compensation « globale » bore / phosphore au voisinage de la base fine jusqu'au VLD. Ainsi, le dopage dans toute cette zone devrait être globalement plus faible, favorisant ainsi l'autoblindage.

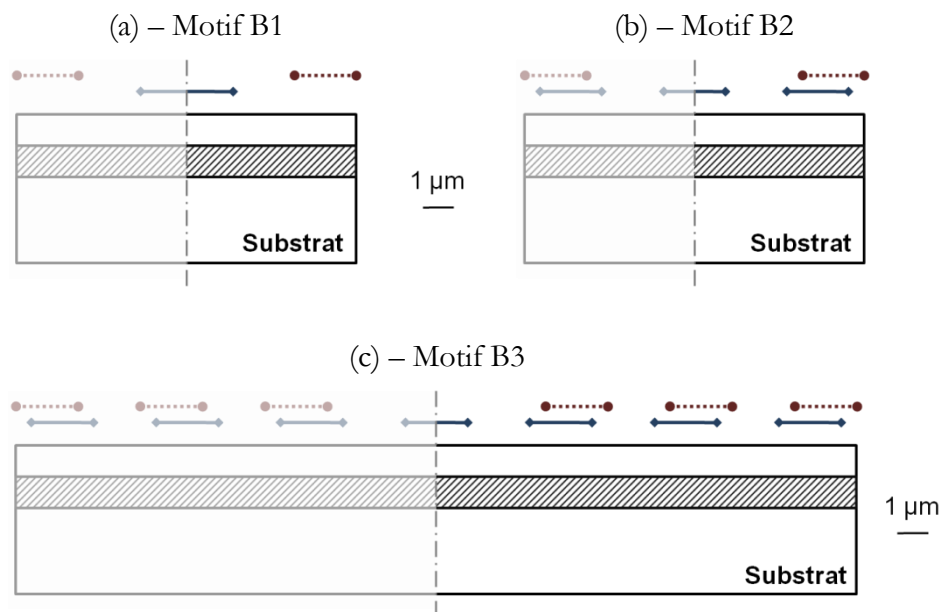


Figure III-7 : Schéma des implantations de bore (traits pleins) et de phosphore (traits pointillés) pour les trois motifs de base B1, B2 et B3, respectivement (a), (b) et (c).

La figure III-8.a présente les profils analytiques de dopage actif de la base fine obtenus pour les motifs B1, B2 et B3, avec des doses d'implantations de bore de  $10 \cdot 10^{12} \text{ cm}^{-2}$  et phosphore de  $6 \cdot 10^{12} \text{ cm}^{-2}$ . D'une manière générale, la base est relativement épaisse puisque la dose d'implantation bore est importante vis-à-vis de l'implantation phosphore.

Le cas B1 permet d'obtenir une base relativement fine (ici,  $4 \mu\text{m}$ ). En revanche, le niveau de dopage des pics de phosphore voisins est élevé, presque supérieur au niveau de dopage maximal de la base. Dans un tel cas, l'autoblindage de la base n'est évidemment pas favorisé : la base sera sujette au perçage avant que la zone voisine ne soit désertée. Pour le motif B2, en revanche, la base est relativement épaisse (ici,  $8 \mu\text{m}$ ), mais les niveaux de dopage phosphore voisins sont faibles ( $10^{15} \text{ cm}^{-3}$ ) : la base sera donc protégée contre le perçage. Par contre, le gain du transistor risque d'être plus faible. Enfin, le motif B3 produit une situation intermédiaire avec une compensation latérale de la base relativement importante. De plus, les pics de dopage phosphore sont eux aussi compensés. Finalement, pour ce motif, lorsque les doses d'implantations bore et phosphore sont proches, le niveau de dopage autour de la base fine, c'est-à-dire dans la région inter-caissons, peut-être rendu constant et à un niveau relativement faible. En l'occurrence, sur la figure III-8.a et pour le motif B3, le niveau de dopage autour de la base fine est de  $10^{15} \text{ cm}^{-3}$  sur  $7 \mu\text{m}$ .

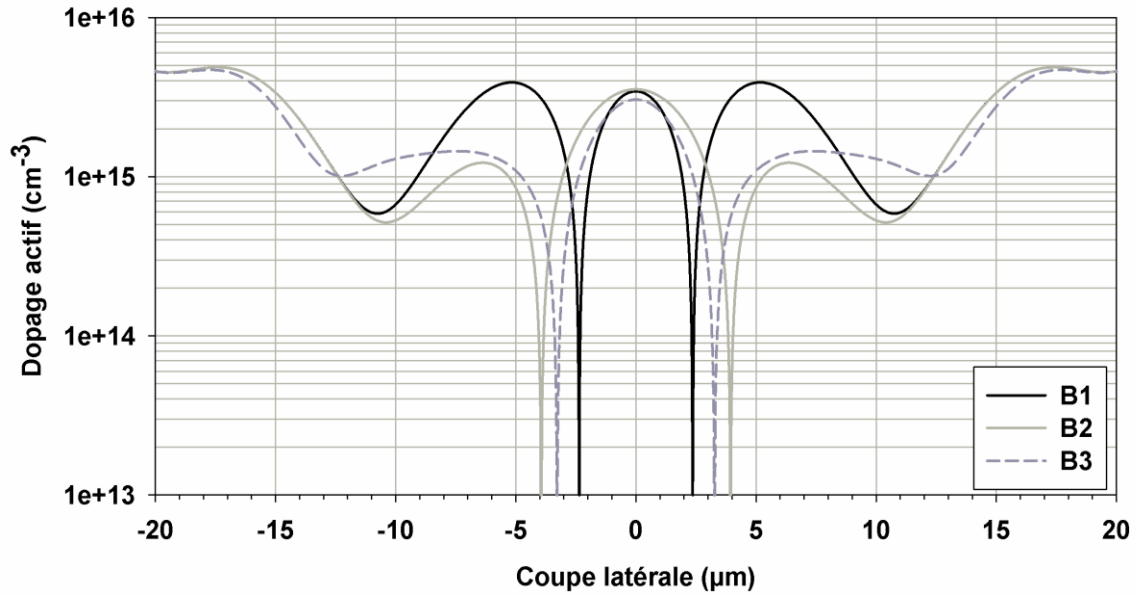
La figure III-8.b présente quant à elle les profils de dopage de la base fine dans le cas d'un désalignement maximal entre les implantations bore et phosphore. Le motif B1 est plutôt robuste, néanmoins on peut constater une forte dissymétrie entre les pics de dopage phosphore. Aussi, le comportement d'autoblindage ne sera pas le même en fonction de la polarisation, et donc la tenue en tension risque de ne pas être symétrique. Les motifs B2 et B3 sont quant à eux très sensibles au désalignement, avec des variations de dopage maximal de la base, de son épaisseur, et des niveaux de dopage phosphore voisins très importantes. Dans le cas B3 désaligné, il pourrait même se former une zone  $\text{P}^-$  à côté de la base. A noter que l'ensemble de ces résultats sont cependant sujets à caution puisqu'ils sont uniquement basés sur un calcul analytique (phénomènes de co-diffusion non pris en compte, assimilation du dopage vertical à un profil parfaitement plat...).

### III.3.2 Ecartements des caissons $\text{P}^+$

Les caissons  $\text{P}^+$  permettent de protéger la base fine. Nous avons vu en §II.5.4.3 que pour des écartements inter-caissons supérieurs à  $30 \mu\text{m}$ , la base fine (en fonction de la dose d'implantation) risquait de ne pas être autoblindée. Aussi, a-t-il été décidé d'intégrer deux variantes sur

l'écartement des caissons :  $25\ \mu\text{m}$  ( $E25$ ) et  $30\ \mu\text{m}$  ( $E30$ ). De plus, un troisième écartement plus spécifique a été ajouté ( $E90$ ), destiné à tester la tenue en tension de la base fine sans autoblindage.

(a) – Aucun désalignement



(b) – Désalignement  $P_{\text{Base}} / N_{\text{VLD}}$  de  $2\ \mu\text{m}$

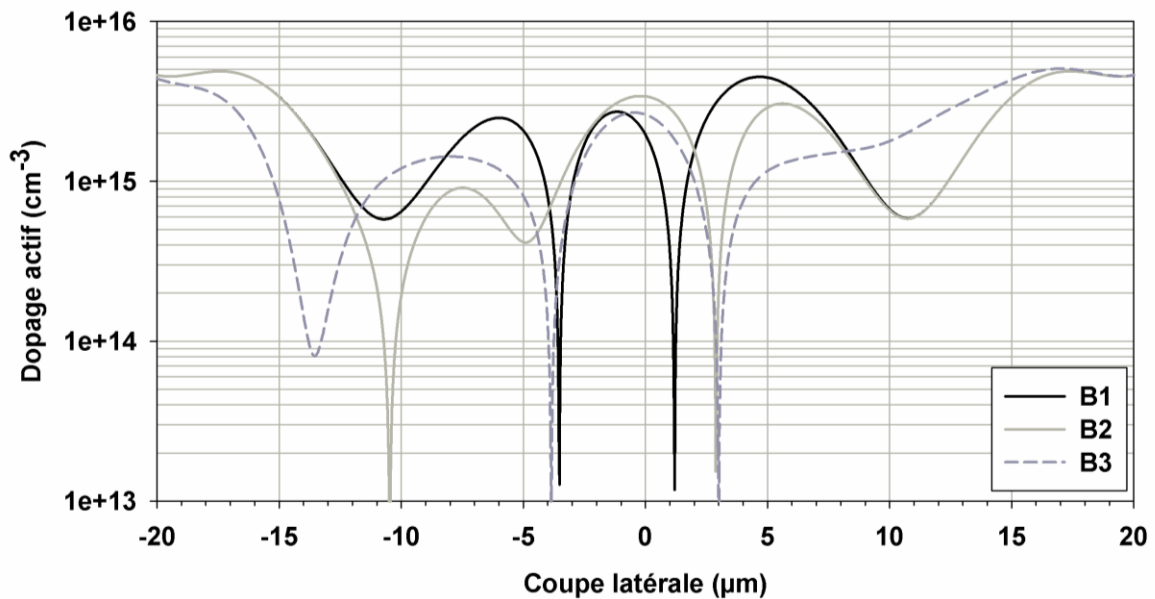


Figure III-8 : (a) Profils analytiques de dopage de la base pour les motifs B1, B2 et B3, dans le cas d'implantations bore de  $1.10^{13}\ \text{cm}^{-2}$  et phosphore de  $6.10^{12}\ \text{cm}^{-2}$ . (b) Profils analytiques dans le cas d'un désalignement maximal.

### III.4 Métallisation et considérations sur la dépolarisation

Comme nous l'avons vu en §III.2.2.2 (page 130), le composant nécessite deux niveaux de métallisation. Une couche d'oxyde de type TEOS (*TétraEtbOxySilane*) est donc déposée entre ces deux niveaux. Théoriquement, un oxyde de ce type peut supporter des champs électriques élevés (plus de 1000 V/ $\mu\text{m}$  [82-83]). Aussi, une couche de moins d'un micron pourrait être satisfaisante pour notre application. En réalité, le champ électrique maximal que peut supporter une couche TEOS se situe en général entre 400 et 500 V/ $\mu\text{m}$ . De plus, les propriétés du matériau final peuvent fortement varier (par exemple, la densité du  $\text{SiO}_2$  résultant varie énormément en fonction des traitements thermiques), aussi ses performances sont rarement aussi élevées. C'est pourquoi le dépôt d'une couche de 2  $\mu\text{m}$  a finalement été choisi pour la fabrication du composant d'ISIS02.

#### III.4.1 Résistances de métallisation

La métallisation doit permettre, dans notre cas, de polariser les électrodes de chaque cellule élémentaire du transistor aux mêmes potentiels. En effet, des variations de potentiels d'émetteurs, de collecteurs ou de bases introduiraient des variations sur le point de fonctionnement de chaque cellule élémentaire du transistor. Cela se traduirait par des inhomogénéités en densité de courant et donc des cellules plus sollicitées que d'autres. Les travaux de C. Benboujema [84] ont permis de modéliser, pour un transistor « classique » (non symétrique, non-bidirectionnel) l'effet de ces dépolarisations : certaines parties de la puce sont rendues quasiment inactives. Cela représente autant de surface de silicium consommée qui ne participe pas au fonctionnement du transistor.

Pour un composant à deux niveaux de métallisation, la résistance peut se décomposer en 5 parties, selon le schéma de la figure III-9 :

- la résistance de contact silicium / métal (1),
- la résistance d'interconnexion depuis la surface de silicium vers le premier niveau de métallisation (2),
- les résistances de chaque niveau de métallisation (3) et (5),
- la résistance inter-niveaux de métallisation (4).

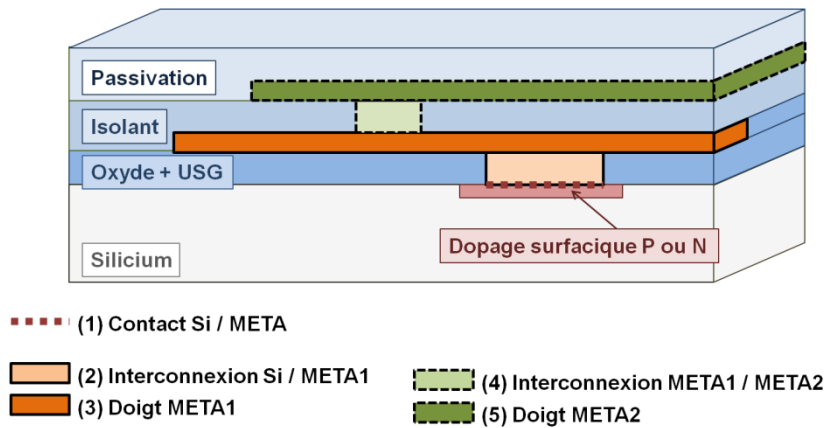


Figure III-9 : Illustration des métallisations, et résistances associées.

La résistance de contact silicium / métal varie en fonction de plusieurs paramètres : le type de dopage silicium, la concentration surfacique du dopage, le type de métal, et bien sur la surface de contact. Le métal utilisé ici est de l'aluminium. Les figures suivantes (III-10.a et b) présentent l'évolution de la résistance de contact en aluminium en fonction du niveau et du type de dopage silicium, selon [67]. Pour un dopage de type N (figure III-10.a), le contact peut-être de deux types : Schottky pour un dopage inférieur à  $5.10^{19} \text{ cm}^{-3}$ , ou ohmique au-delà. On remarque au passage que la pente de la droite est très forte : une variation d'un facteur 2 sur le dopage permet de diminuer la résistance de contact d'une décade. Pour un dopage de type P (figure III-10.b), le contact est toujours ohmique sur l'intervalle de dopage  $[10^{18} - 10^{20}] \text{ cm}^{-3}$ . La pente de la droite est cependant beaucoup moins marquée : pour une variation de dopage d'une décade, la variation de résistance de contact varie de moins d'une décade.

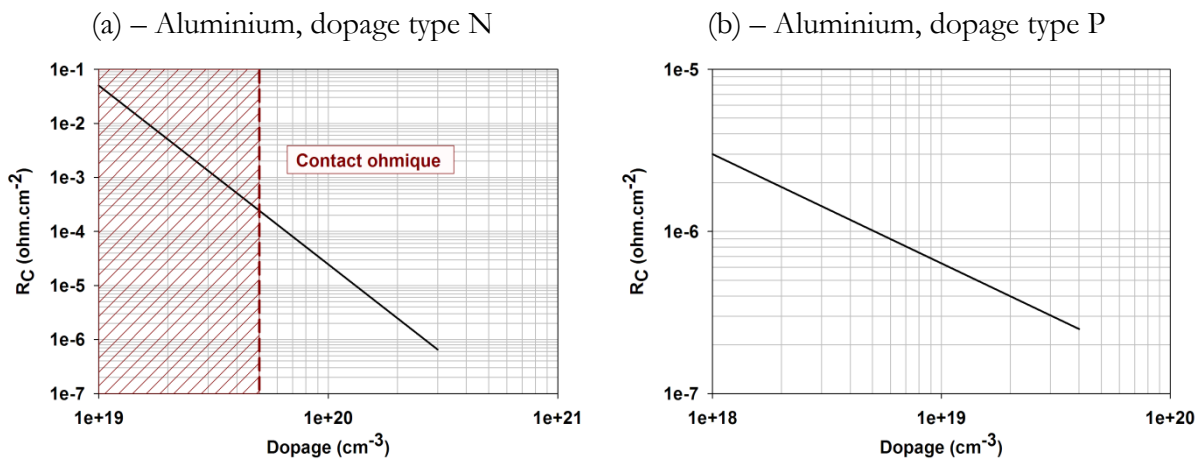


Figure III-10 : Résistance de contact en fonction du dopage pour l'aluminium. Dopage de type N (a) et de type P (b) [67].

Les résistances (2) à (5) de la figure III-9 s'additionnent sur le chemin du courant dans la métallisation. Elles se calculent très simplement via l'équation :

$$R = \rho \cdot \frac{L}{S} \quad \text{Équation III-1}$$

avec  $\rho$  la résistivité de l'aluminium ( $30 \cdot 10^{-6} \Omega \cdot \text{mm}$ ),  $S$  la section,  $L$  la longueur de la couche de métallisation en question. Par la suite, nous considérerons que les résistances (2) et (4), que l'on pourrait qualifier de résistances « inter-niveaux » sont négligeables. En effet, même en considérant une section très faible ( $2 \times 2 \mu\text{m}^2$ ), la résistance résultante restera encore faible compte tenue de la longueur très petite du chemin d'aluminium (correspondant à l'épaisseur de la couche d'isolation de  $3 \mu\text{m}$ ). En l'occurrence, pour une section de  $2 \times 2 \mu\text{m}^2$  et une longueur de  $3 \mu\text{m}$ , la résistance du volume d'aluminium n'est que de  $0,0225 \Omega$ .

Les limites de dépolarisation à ne pas dépasser sont fixées de manière relativement empiriques. D'une part, la dépolarisation de la base ne doit pas excéder  $U_T = 25 \text{ mV}$ , afin d'éviter une trop grande variation sur le gain des cellules élémentaires ( $25 \text{ mV}$  correspondant environ à un facteur 2 sur le gain). Au-delà, le fonctionnement de la puce sera inhomogène. D'autre part, les variations sur la tension  $V_{CE}$  ne doivent pas impacter le gain du transistor. Théoriquement, le composant ISIS02 fonctionne en régime linéaire dès que la tension  $V_{CE}$  dépasse  $0,5 \text{ V}$ . Aussi, pour une polarisation au niveau du boîtier de  $1,5 \text{ V}$ , on peut envisager une dépolarisation dans les métallisations de  $1 \text{ V}$  sans impacter l'homogénéité de fonctionnement du transistor, puisque les cellules fonctionneront toujours en régime linéaire. Cependant, l'application visée nécessite une chute de tension à l'état passant la plus faible possible, de l'ordre de  $0,5 \text{ V}$ , faisant fonctionner le transistor dans l'état quasi-saturé. La marge sur la dépolarisation est donc très réduite..

#### III.4.2 Symétrie de la dépolarisation émetteur - collecteur

Dans le cas d'un transistor de puissance bipolaire « classique » (non-symétrique), les collecteurs correspondent à la face arrière du substrat. Ils sont donc automatiquement soumis au même potentiel. En revanche, il peut y avoir de fortes disparités de tensions appliquées au niveau des émetteurs. Ainsi, la tension  $V_{CE\text{-Sat}}$  ( $0,5 \text{ V}$ ) déterminant le point de fonctionnement optimal à l'état passant d'un transistor élémentaire de la puce, peut varier de manière importante.

Dans le cas du transistor ISIS02, de part la symétrie de conception et le positionnement en face avant des électrodes de contacts, il est possible de réaliser des doigts émetteurs et collecteurs identiques, aussi les variations de potentiel respectives peuvent-être rendues symétriques sur toute

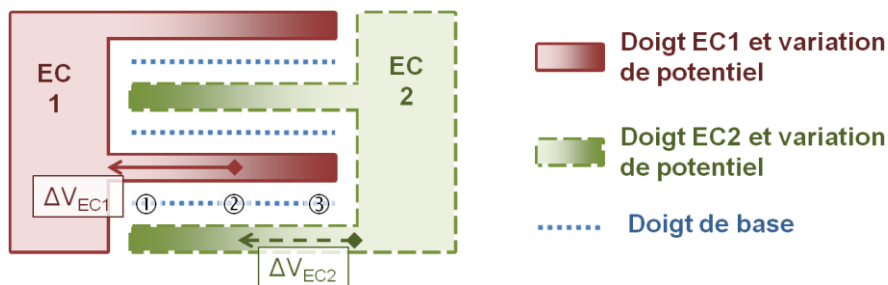
la surface de la puce. C'est ce qui est illustré en figure III-11, qui représente schématiquement des doigts de métallisations des contacts émetteurs / collecteurs. Les cellules élémentaires proches de la position ① présentent une variation de potentiel dans le doigt EC1 ( $\Delta V_{EC1}$ ) faible. A l'inverse, la variation de potentiel dans le doigt EC2 ( $\Delta V_{EC2}$ ) est plus forte. Ces variations sont inversées au niveau de la position ③. Pour les cellules en position ②, les variations, illustrées par des flèches sur la figure III-11, sont égales.

Les relations III-2 et III-3 permettent de déterminer le point de polarisation de n'importe quelle cellule de la puce. Ainsi, en faisant l'hypothèse d'une dépolarisation homogène le long des doigts (EC1 et EC2), on peut affirmer que le point de polarisation des cellules élémentaires est constant sur toute la surface de la puce. Ce point de polarisation est inférieur au potentiel de polarisation du boîtier, d'une valeur liée, d'une part à la résistance des doigts et d'autre part à l'intensité du courant les traversant :

$$V_{EC1} - V_{EC2} - V_{EC-Cellule} - \Delta V_{EC1} - \Delta V_{EC2} = 0 \quad \text{Équation III-2}$$

$$\text{d'où : } V_{EC-Cellule} = V_{EC1-EC2} - \Delta V_{EC1} + \Delta V_{EC2} \quad \text{Équation III-3}$$

$$\text{avec } \Delta V_{EC1} + \Delta V_{EC2} = \text{Constante}$$

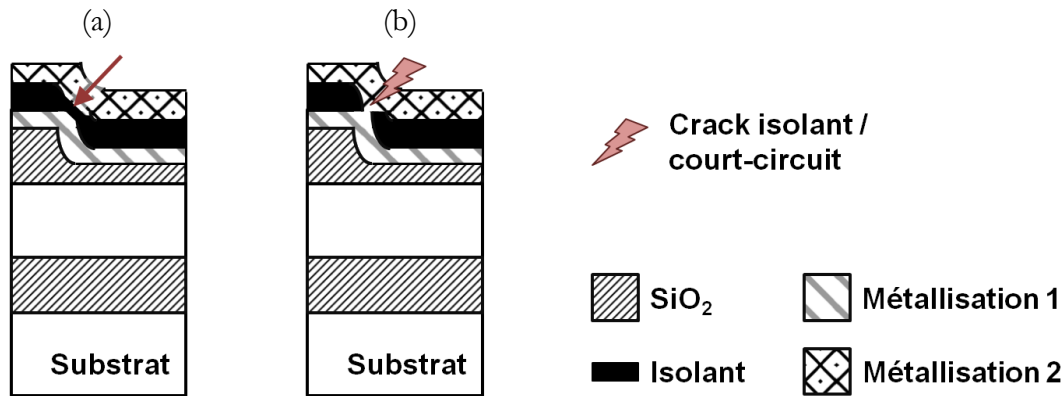


**Figure III-11 : Illustration de la symétrie des métallisations collecteurs et émetteurs et des variations de potentiel.**

### III.4.3 Topologies de métallisation retenues

Comme il a été dit précédemment, l'isolant d'inter-métallisation joue un rôle important. Un isolant épais, obtenu via un procédé de dépôt, n'est en général pas de grande qualité, d'où de possibles variations des ses propriétés électriques.

Compte tenu des épaisseurs importantes d'oxyde, nécessaires à la tenue en tension, avec des hauteurs de gravures tout aussi importantes, le dispositif présente des risques comme cela est illustré en figure III-12. Dans le cas (a), l'isolant inter-métallisation est aminci au niveau de la marche, et risque de ne pas supporter le niveau de tension élevé entre les métallisations. Dans le pire cas (b), l'isolant présente un crack, aussi les deux métallisations sont court-circuitées. Normalement, la gravure iso/anisotrope de l'oxyde en face avant (cf. §III.2.2.1, page 129) doit permettre d'éviter de se retrouver dans le cas (b).



**Figure III-12 : Schématisation d'une zone de fragilité (a) et d'un crack (b) dans la couche isolante inter-métallisation.**

Deux topologies de métallisation ont été retenues. La première permet de minimiser les zones où deux électrodes se chevauchent et où l'isolant inter-métallisation est fragilisé (figure III-12). En revanche cette topologie est très résistive et ne permet pas de monter en densité de courant. La seconde est quant à elle construite pour minimiser les résistances de métallisation. En contrepartie, l'isolant d'inter-métallisation est très sollicité.

- *Caractéristiques communes des topologies*

Pour la suite de l'étude, nous nous placerons dans les conditions suivantes : courant de base de 0,1 A, gain du transistor de 10 (pire cas), soit un courant émetteur /collecteur de 1 A. De plus, les dimensions de la puce seront fixées à 5 mm x 5 mm.

Les simulations présentées dans le chapitre II ont permis de déterminer les niveaux de dopage surfacique des caissons P<sup>+</sup> et des zones N<sup>+</sup>, respectivement d'environ 5.10<sup>18</sup> et 8.10<sup>19</sup> cm<sup>-3</sup>. Dans les deux cas le contact est ohmique et les chutes de tension au niveau des contacts Aluminium/Silicium sont rendues négligeables (quelques millivolts tout au plus).

Le motif du premier niveau de métallisation, rappelé en figure III-13.a, est le même pour les deux topologies, et ce pour deux raisons : d'une part, pour profiter de l'intérêt d'utiliser le dopage P<sup>+</sup> comme périphérie de puce, et d'autre part pour permettre l'utilisation d'une plaque de champ recouvrant entièrement les zones de drift. Ainsi, concernant le premier niveau de métallisation, la majorité de la surface de la puce est recouverte par la métallisation de contact de la base. Cela a pour conséquence de réduire drastiquement la résistance d'accès et la dépolarisation de la métallisation de la base. En effet, la dépolarisation (incluant la résistance de contact du silicium et la résistance du premier niveau de métallisation) est inférieure à 6,5 mV ( $\ll U_T$ ).

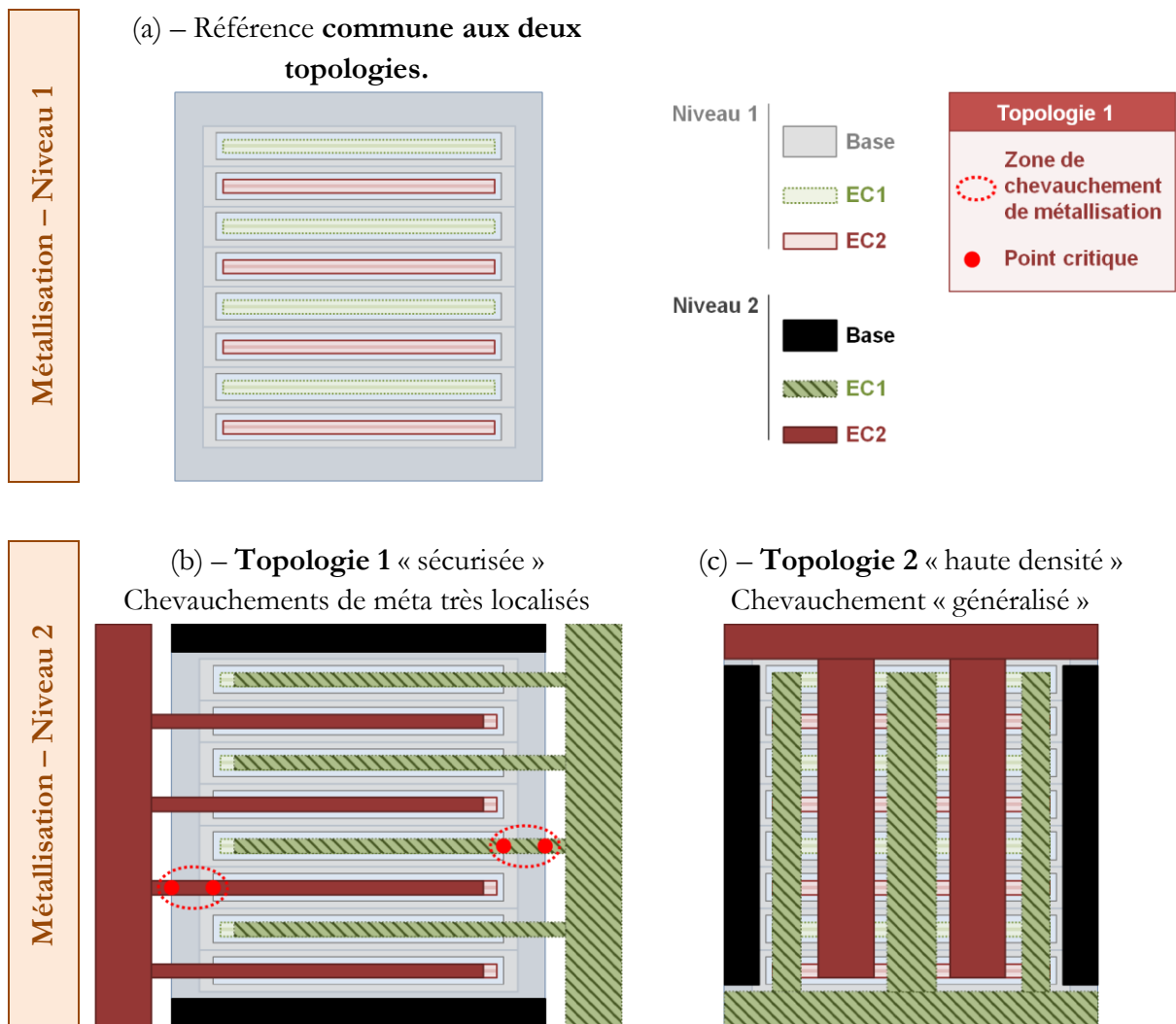


Figure III-13 : (a) Premier niveau de métallisation, commun au deux topologies retenues. Deuxième niveau de métallisation pour la topologie « sécurisée » (b) et la topologie haute densité en courant (c).

- *Topologie de niveau 2 « sécurisée », pour fonctionnement à faible densité en courant*

La première topologie de niveau 2 est illustrée en figure III-13.b. Le deuxième niveau de métallisation est très simple et « suit » le premier niveau. Les doigts émetteurs / collecteurs sont superposés aux émetteurs et collecteurs du premier niveau. La grande majorité de la surface de la puce ne présente donc pas de chevauchement d'électrodes. Les quelques chevauchements existants sont facilement identifiables. Deux sont illustrés par des pointillés sur la figure III-13.b. En particulier, il existe des points critiques où le chevauchement d'électrodes se situe au niveau d'une topologie qui n'est pas plane, ce qui implique que la couche isolante risque localement d'être trop mince pour tenir la tension (voire qu'il existe un crack dans la couche). Un plan de coupe illustrant une zone de chevauchement est illustrée sur la figure III-14.

De fait, les électrodes d'émetteurs et de collecteurs, lieux du passage de forts courants, sont fortement résistives puisque réduites au minimum. Ainsi, la dépolarisation liée aux doigts de métallisation pour un courant d'un ampère (hypothèse haute) est de l'ordre de 200 mV. Cette valeur est très élevée comparée à la tension de polarisation souhaitée du transistor, de 0,5 V. Ainsi, cette topologie ne peut pas conduire de fortes intensités de courant, ou alors au prix d'une inhomogénéité de fonctionnement importante, et donc avec des performances moindres.

- *Topologie de niveau 2 « haute densité », pour fonctionnement à forte densité en courant*

Cette deuxième topologie est schématisée en figure III-13.c. On peut remarquer que les doigts du premier et du deuxième niveau de métallisation sont perpendiculaires. Ils forment une sorte de « quadrillage » qui permet de paralléliser les résistances, et donc de réduire la dépolarisation. D'autre part, on généralise le chevauchement d'électrodes sur la globalité de la puce, ce qui permet d'utiliser toute la surface disponible pour élargir les doigts et réduire ainsi leurs résistances. Ainsi, cette topologie permet de diminuer la dépolarisation à un niveau « acceptable », de l'ordre de 50 mV, qui plus est en la rendant très homogène. Cependant, cette solution est vulnérable du fait des risques des variations sur les propriétés de la couche isolante et sur son épaisseur.

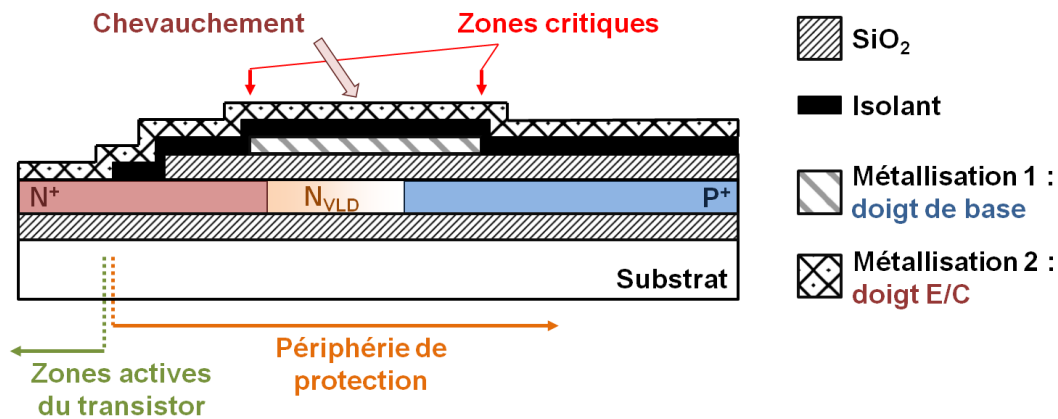


Figure III-14 : Plan de coupe au niveau d'un chevauchement entre les deux niveaux de métallisations pour la topologie minimaliste.

### III.5 Plan d'expériences

Le tableau III-1 résume les différentes conditions de réalisation du transistor ISIS02. Trois plaquettes SOI ont été utilisées par cas, soit 36 plaquettes au total. La multiplication du nombre de plaquettes par cas permet, d'une part, de réaliser une première approche statistique des performances des procédés de fabrication des transistors. D'autre part, cela permet de sécuriser les lots en cas de casse d'une ou plusieurs plaquettes. En effet, s'il est courant d'avoir recours à des bilans thermiques élevés pour la fabrication de composants de puissance, en revanche, l'application de ces procédés sur des plaquettes SOI est relativement originale, avec peu d'expérience en terme d'impact sur l'intégrité physique des substrats.

Trois axes ont finalement été privilégiés. Le premier concerne l'étude de l'influence de la dose d'implantation phosphore  $N_{VLD}$ . Les deux doses étudiées ( $6$  et  $9 \cdot 10^{12} \text{ cm}^{-2}$ ) permettent de voir l'influence du dopage moyen du transistor sur la tenue en tension. Le deuxième axe est le plus critique, et concerne la dose d'implantation de bore  $P_{Base}$  de la base fine. Les trois doses retenues sont relativement proches ( $7$ ,  $10$  et  $15 \cdot 10^{12} \text{ cm}^{-2}$ , soit du simple au double). Ces valeurs doivent nous permettre de voir l'impact des conditions de formation d'une base plus ou moins fine et / ou plus ou moins dopée sur les performances du composant : tenue en tension et gain. La dose la plus forte est choisie pour éviter d'avoir une base trop fine, voire non-traversante, quitte à avoir un gain faible. En effet, rappelons que l'obtention d'une base fine avec un profil de dopage verticalement plat représente un challenge original. Aussi la première étape a d'abord consisté à valider le concept, avant de l'optimiser pour affiner la base. Enfin, le troisième et dernier axe concerne le temps de recuit d'homogénéisation ( $150$  et  $300$  minutes). Principalement,

il permet de voir l'influence du recuit sur le profil vertical de dopage (plus ou moins plat) et le profil latéral (plus ou moins linéaire), et finalement l'impact sur la tenue en tension.

Le tableau III-2 récapitule les motifs présents sur le jeu de masques. Le réticule intègre 9 zones : 8 puces « produits » (A, B, C, D, 2xE, F, G), et une zone de test (incluant les motifs électriques de taille réduites, ainsi que des motifs d'analyses physiques).

Le tableau III-3 reprend et détaille, pour rappel, le tableau II-1 (page 78) des étapes de fabrications du transistor.

**Tableau III-1 : Récapitulatif des expériences de fabrication des transistors ISIS02 réalisés.**

Lot		1	2	3	4	5	6	7	8	9	10	11	12
Dose $N_{VLD}$ ( $cm^{-2}$ )	$6.10^{12}$	X	X	X	X	X	X						
	$9.10^{12}$							X	X	X	X	X	X
Dose $P_{Base}$ ( $cm^{-2}$ )	$7.10^{12}$	X	X					X	X				
	$10.10^{12}$			X	X					X	X		
	$15.10^{12}$					X	X					X	X
Recuit homogénéisation (min)	150	X		X		X		X		X		X	
	300		X		X		X		X		X		X

**Tableau III-2 : Récapitulatif des motifs d'implantation retenus pour l'élaboration de la base, des caissons P<sup>+</sup> et des niveaux de métallisation, pour chacune des puces apparaissant sur le réticule.**

Puce	Base			Caissons			Métallisation	
	B1	B2	B3	E25	E30	E90	M1	M2
A	X			X			X	
B		X		X			X	
C			X	X			X	
D	X				X		X	
E		X			X		X	
F	X			X				X
G		X		X				X
Tests	X	X	X	X	X	X	X	

**Tableau III-3 : Résumé des étapes de fabrication du transistor ISIS02.**

Etape	Nom	Remarque
0 - ...	Étapes préliminaires	
1	Implantation N <sub>VLD</sub>	100 keV – Dose selon manipulation ( $[6, 9].10^{12} \text{ cm}^{-2}$ )
2	Implantation P <sub>Base</sub>	50 keV – Dose selon manipulation ( $[7, 10, 15].10^{12} \text{ cm}^{-2}$ )
3	Recuit d'homogénéisation	1200°C – Temps selon manipulation (150 – 300 minutes)
4	Implantation P <sup>+</sup>	$1.10^{16} \text{ cm}^{-2}$ – 100keV
5	Implantation N <sup>+</sup>	$2.10^{16} \text{ cm}^{-2}$ – 100keV
6	Recuit d'oxydation humide	100 min @ 1150°C
7	Dépôt USG. Gravure.	2 μm – Gravure sèche iso/anisotrope
8	Dépôt Méta 1. Gravure	1,5 μm – Aluminium
9	Dépôt TEOS	2 μm – Gravure sèche iso/anisotrope
10	Dépôt Méta 2. Gravure	1,5 μm – Aluminium
11	Dépôt USG. Gravure	600 nm

### III.6 Conclusion

Le procédé de fabrication du composant, les jeux de paramètres technologiques, les différents masques d'implantation et leurs variantes géométriques ont été définis. En tout, le procédé implique 10 niveaux de masquage.

La périphérie de protection du composant réutilise astucieusement les caissons  $P^+$  d'autoblindage, ce qui permet de ne pas compliquer la fabrication du composant par l'ajout d'étapes de fabrication ou de niveaux de masquages.

En revanche, la finesse demandée des gravures, et la nécessité d'utiliser deux niveaux de métallisation a pour conséquence de diminuer le ratio surface de puce active / surface de puce totale. Les performances en termes de densité de courant conduit s'en trouveront dégradées. D'autre part, la gravure de l'oxyde de champ (oxyde thermique + oxyde déposé) se fera en deux temps : premièrement une gravure sèche isotrope, suivie d'une gravure sèche anisotrope. Cela devra permettre, d'une part, de limiter la surface de silicium nécessaire au contact des zones  $N^+$  et surtout  $P^+$ , et d'autre part, d'éviter des cracks dans l'aluminium au niveau des marches d'oxydes.

Trois motifs d'implantations de la base ont été retenus. Certains favorisent l'autoblindage, d'autres le gain du transistor. D'autres encore favorisent la robustesse vis-à-vis des désalignements entre les différents niveaux de masquage. Toujours au niveau de la base, trois écartements entre caissons ont été définis, dont un n'assurant pas l'autoblindage.

Enfin, deux motifs de métallisation ont été étudiés. L'un permet d'éviter les chevauchements entre niveaux de métallisation, afin d'éviter de solliciter l'isolant inter-métallisation. L'autre motif, en revanche, limite la dépolarisation des métallisations au minimum afin de ne pas impacter les performances du composant.

Cette étude était nécessaire afin de démontrer la faisabilité de la fabrication des premiers transistors ISIS02, et de pouvoir lancer leur fabrication en salle blanche de production de l'entreprise STMicroelectronics à Tours.

## **IV. ANALYSE DES PERFORMANCES DES PROTOTYPES DE TRANSISTORS ISIS02**

<b>IV.1</b>	<b>Caractérisation des transistors ISIS02 réalisés .....</b>	<b>150</b>
IV.1.1	Réalisation des puces .....	150
IV.1.2	Analyses physiques du transistor .....	151
IV.1.3	Autoblindage.....	161
IV.1.4	Tenue en tension par effet RESURF.....	166
IV.1.5	Gain du transistor .....	168
IV.1.6	Conclusion .....	169
<b>IV.2</b>	<b>Effet d'un recuit de neutralisation.....</b>	<b>170</b>
IV.2.1	Intérêt d'un recuit de neutralisation et réalisation de transistors de test.....	170
IV.2.2	Caractérisation de l'autoblindage et du courant de fuite des transistors après traitement de neutralisation .....	172
IV.2.3	Gain des transistors avec traitement de récupération.....	174
IV.2.4	Conclusion .....	175
<b>IV.3</b>	<b>Perspectives .....</b>	<b>176</b>
<b>IV.4</b>	<b>Conclusion .....</b>	<b>179</b>

Dans le chapitre I, l'état de l'art des technologies compatibles avec la réalisation du transistor ISIS02 a permis de dessiner un processus de fabrication. Le chapitre II a précisé plus finement ce processus, via divers outils développés durant la thèse. Ce chapitre a par ailleurs permis de développer la problématique des mécanismes de ségrégation et d'accumulation dans le silicium. Enfin, nous nous sommes penchés, dans le chapitre III, sur la fabrication du composant indépendamment des étapes d'implantation, de diffusion et d'oxydation du silicium. Un lot de composants a donc finalement été lancé en salle blanche de production, pour un temps de fabrication total de 4 mois, en cohérence avec le nombre de niveaux de masquages (10).

La première partie de ce chapitre exposera les résultats obtenus sur les composants réalisés, au travers de mesures physiques (profil de dopage, résistance carrée...) et électriques (tenue en tension, gain...), que nous comparerons aux résultats de simulations. Nous verrons notamment que les analyses physiques sont proches de ce qui a été vu en simulation, à l'inverse des premiers résultats de mesures électriques. Finalement, nous verrons que le comportement du dispositif est parasité par une résistance en parallèle aux émetteurs / collecteurs.

Le paragraphe suivant présentera une modification relativement mineure du procédé de fabrication du transistor défini précédemment. Cette modification permettra l'obtention d'un transistor effectif, non-parasité. Ainsi, nous validerons le concept de transistor symétrique, à base fine, autoprotégée.

Enfin, la dernière partie de ce chapitre conclura ces travaux et donnera des perspectives de recherches.

## IV.1 Caractérisation des transistors ISIS02 réalisés

Après avoir défini la technologie de réalisation du composant en chapitre I, paramétré les conditions d'élaboration du transistor en chapitre II, puis finalisé la géométrie des masques en chapitre III, la fabrication des premiers transistors prototypes a été lancée.

### IV.1.1 Réalisation des puces

La figure IV-1.a présente une plaquette en fin de processus de fabrication. Le rectangle en pointillé blanc délimite le réticule du masque photo-répété. Les puces manquantes, en haut à droite de la plaquette, ont été mises en boîtiers, ce que l'on peut voir en figure IV-1.b. Les boîtiers utilisés ici sont des TO247 (taille maximale de puce autorisée  $7 \times 10 \text{ mm}^2$ , la puce ISIS02 faisant  $5 \times 6 \text{ mm}^2$ ).

La photo de la figure IV-1.c présente les connexions (*bonding*) reportées sur l'une des puces. De gauche à droite, la première patte du boîtier correspond à un émetteur / collecteur, tandis que la dernière patte correspond à un collecteur / émetteur. La base correspond à deux zones de report (ici, en haut et en bas). Pour cet assemblage, une première zone de report des contacts de base (en bas) est reliée à la patte du milieu du boîtier, tandis que la deuxième zone de report (en haut) est reliée à l'embase du boîtier.

La figure IV-1.d présente la vue en coupe schématique d'une puce mise en boîtier selon la ligne (AA') de la figure IV-1.c. On peut y voir les deux fils de connexions de la base, reportés pour l'un sur l'embase du boîtier, et pour l'autre directement sur la patte de base. On peut de plus voir la brasure sous la puce produit, qui permet de fixer le composant et de connecter électriquement le substrat mécanique du transistor au potentiel de l'embase, et donc au potentiel de la base. Rappelons que cela permet d'obtenir un double effet RESURF, via la plaque de champ en face avant, et la plaque de champ réalisée par le substrat et l'oxyde enterré (cf. §I.3.2.5, page 42).

Cette connectique est simplifiable. En effet, il n'est pas impératif de relier les deux plages de reports de la base au boîtier, puisque ces plages sont reliées entre elles via les métallisations de la puce. Ainsi, dans d'autres configurations de motifs de transistors, n'utiliser qu'une seule plage de report permet de ne pas avoir de chevauchements de fils de connexion.

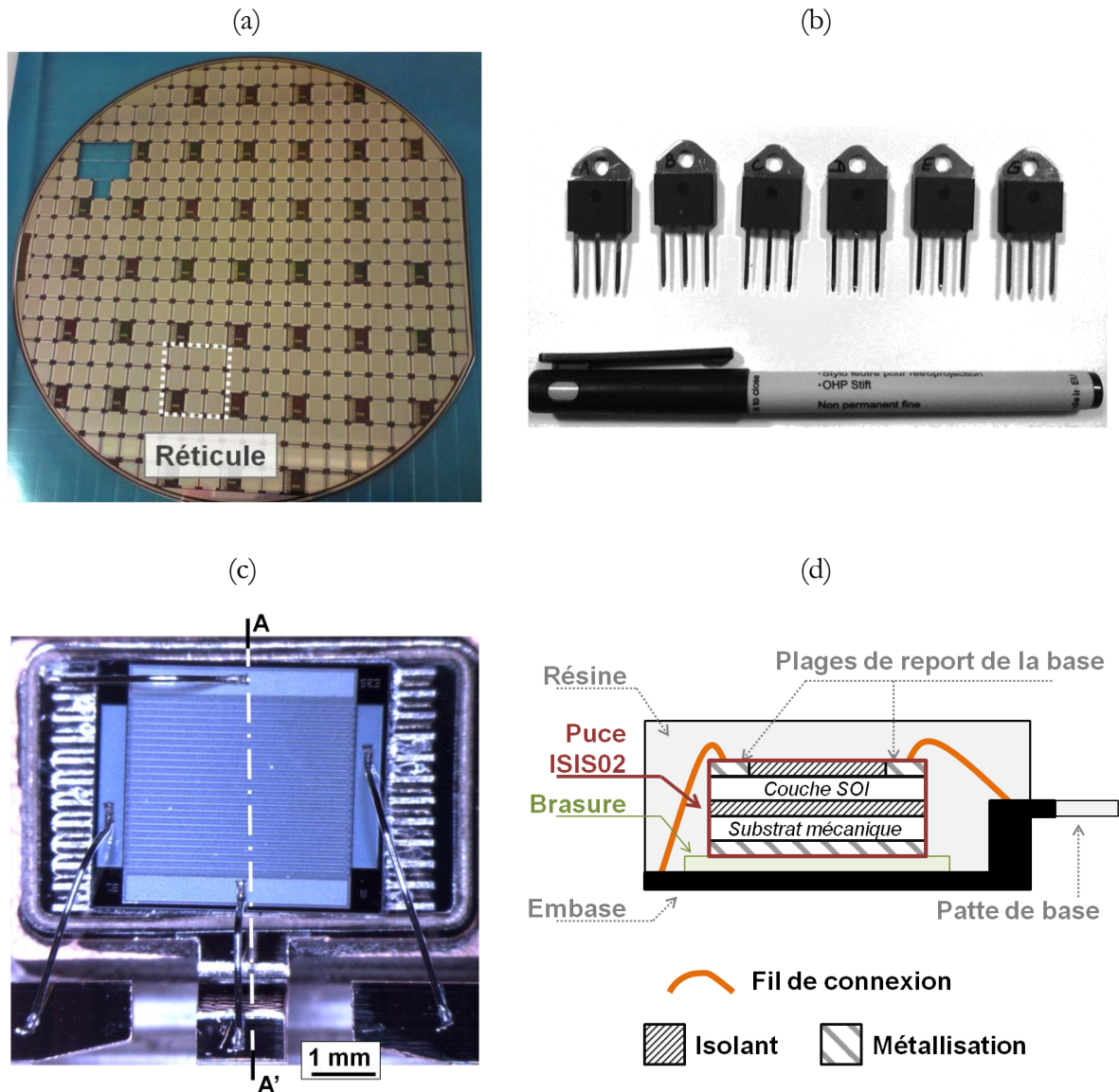


Figure IV-1 : (a) Cliché d'une plaquette « produit ». (b) Boîtiers TO247 obtenus, (c) exemple d'interconnexion entre la puce et le boîtier, et (d) coupe schématique d'une puce mise en boîtier selon la ligne (AA').

#### IV.1.2 Analyses physiques du transistor

Les mesures physiques telles les résistances carrées et les profils SRP permettent de remonter de manière quantitative aux profils et niveaux de dopages actifs dans le silicium, ou permettent concernant la DLTS de vérifier la présence de défauts dans le cristal de silicium. Dans notre cas, les mesures ont été effectuées sur des motifs de tests dédiés, localisés dans le réticule photo-répété, à côté des motifs de transistor.

## IV.1.2.1 Résistance carrée

Le transistor ISIS02 nécessite quatre implantations, formant au final quatre zones importantes du transistor : zone de drift (implantation  $N_{VLD}$ ), base fine (implantation  $P_{Base}$ ) *via* la compensation du bore par le phosphore de la zone de drift, caissons de protection de la base (implantation  $P^+$ ), et zone de contacts émetteurs / collecteurs (implantation  $N^+$ ). Les résistances carrées ont été mesurées sur des régions où le motif d'implantation était pseudo-infini (ouvertures de plusieurs centaines de microns). Les mesures  $R_{\square}$  correspondantes aux quatre implantations  $N_{VLD}$ ,  $P_{Base}$ ,  $P^+$  et  $N^+$ , respectivement représentées sur les figures IV-2.a, b, c et d, sont importantes pour, d'une part, évaluer le niveau moyen de dopage résultant de chaque implantation (en assumant un dopage parfaitement vertical dans la couche de silicium SOI), et d'autre part pour déterminer la résistance spécifique de contacts ( $P^+$  et  $N^+$ ). Les graphes indiquent

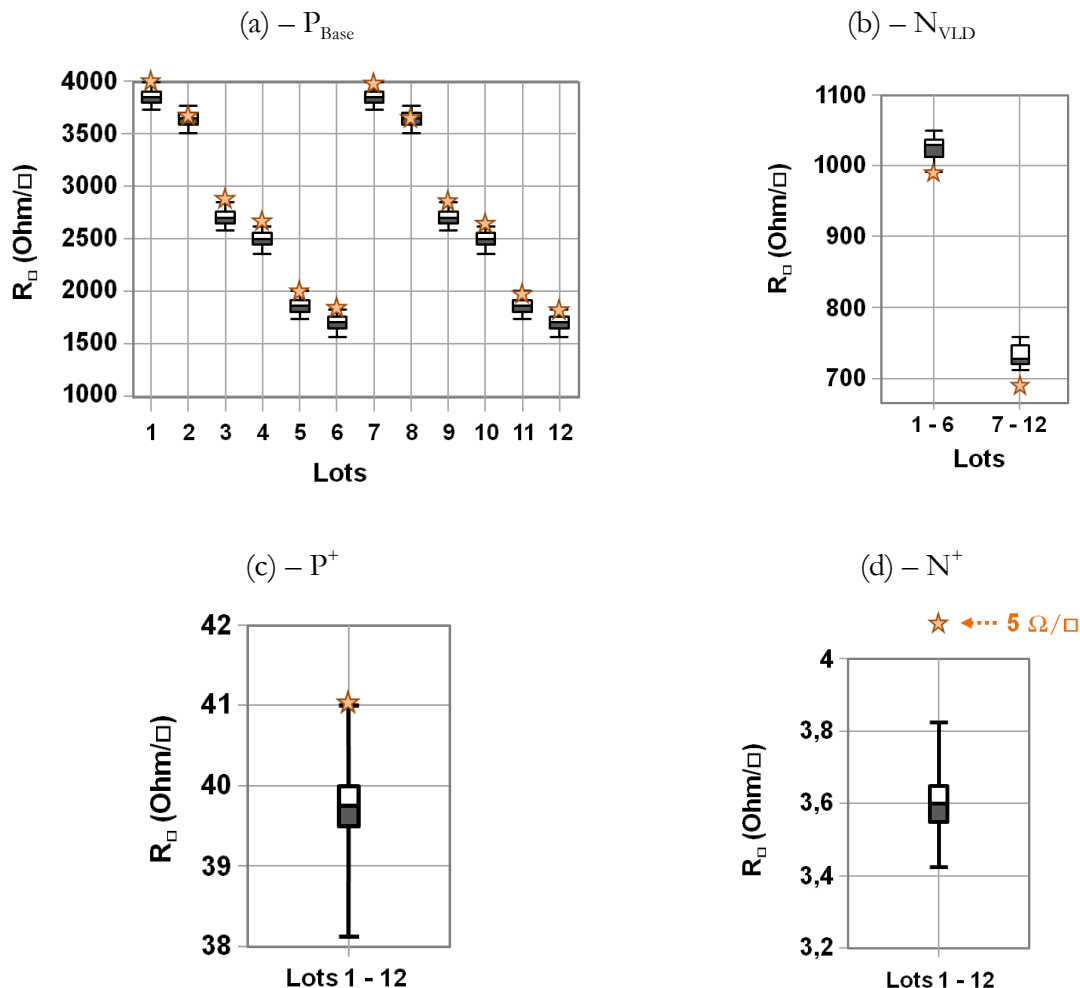


Figure IV-2 : Résistances carrées des régions d'implantations  $P_{Base}$  (a),  $N_{VLD}$  (b)  $P^+$  (c) et  $N^+$  (d). Les étoiles indiquent les valeurs obtenues par simulation.

les médianes, quartiles, et les maxima des mesures, ainsi que les valeurs obtenus via les simulations (marqueurs en étoile).

D'une manière générale, on peut noter que les simulations sont en bon accord avec les mesures puisque la différence relative entre la médiane et la simulation est toujours inférieure à 10%, hormis dans le cas des zones dopées  $N^+$ , pour lequel la résistance carrée mesurée est largement inférieure à la prédiction. Dans ce cas, les paramètres des modèles de diffusions et / ou de ségrégation / accumulation sont mal calibrés. Cela ne porte cependant pas à conséquence, puisque la zone  $N^+$  ne joue pas de rôle majeur, hormis le fait d'assurer un bon contact ohmique du silicium.

#### IV.1.2.2 Profils verticaux

La mesure de résistance de surface par balayage, ou SRP (*Spreading Resistance Profile*), consiste à mesurer localement la résistance du silicium entre deux pointes se déplaçant le long d'un biseau préalablement réalisé sur un échantillon. La courbe de résistance obtenue est alors lissée, puis convertie en résistivité, et enfin en niveau de dopage actif (il s'agit d'une mesure électrique, donc seuls les dopants électriquement actifs interviennent durant la mesure). Cette technique est actuellement standardisée dans l'industrie du semiconducteur. T. Clarysse *et al* ont largement contribué à l'amélioration de la technique, et y ont consacré un excellent document de synthèse [85]. La figure IV-3, tirée de leurs travaux [85] présente succinctement le principe du système de mesure.

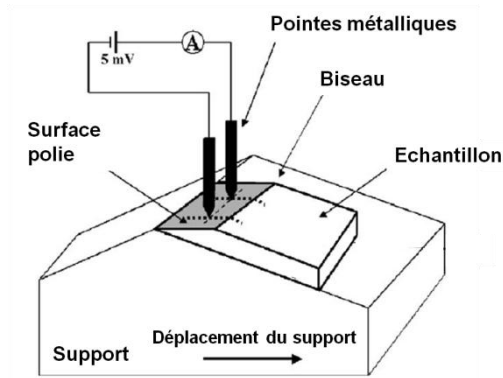
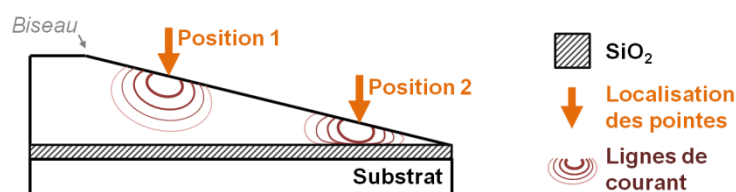


Figure IV-3 : Schéma de principe de la mesure SRP [85].

Plusieurs paramètres importants influencent la qualité de la mesure de la résistance SRP : pénétration des pointes dans le silicium, écartement des pointes, qualité du polissage et états d'interface, méthodes de conversion des courbes de résistance en niveau de dopage, etc. En particulier, la présence de régions isolantes (l'oxyde enterré dans le substrat SOI), conductrices (une métallisation) ou métallurgiques (une jonction P/N par exemple) influe fortement la mesure de la résistance et donc la conversion en valeurs de niveaux de dopage [86–89]. Ainsi, en fonction de la topologie de la structure étudiée, il faudra choisir entre différentes méthodes de « correction » des mesures. Les plus connues sont « M2 » (conversion en deux passes, appropriée dans le cas de régions isolantes par exemple), « EMAP-VR » (amélioration de « M2 », appropriée pour les jonctions P/N) et EMAP-BR (pour les jonctions N/P) [90].

Dans le cas du transistor ISIS02, les profils verticaux attendus sont relativement plats, sans jonction métallurgique (dans le cas d'une mesure de profil de dopage vertical), et en présence d'une région isolante (l'oxyde enterré). Aussi, les profils mesurés ont été corrigés avec la méthode « M2 ». D'une manière générale, cela signifie que l'on applique un facteur correctif à la résistance mesurée, en fonction de la distance avec l'oxyde enterré. En effet, plus on se rapproche de l'oxyde, plus la résistance mesurée augmente, non pas à cause d'une variation de la résistivité locale, mais à cause du confinement des lignes de courants, comme le montre le schéma de la figure IV-4. Aussi, pour tenir compte de ce confinement et établir la résistance réelle du silicium, il faut apporter un facteur correctif, évoluant au fur et à mesure que l'on se rapproche de l'oxyde enterré.



**Figure IV-4 : Schéma de principe du confinement des lignes de courant en présence d'une région isolante.**

La figure IV-5 présente les profils de résistance (a), de résistivité (b), et de dopage (c) d'une analyse SRP d'un profil de dopage plat (bore,  $3.10^{18} \text{ cm}^{-3}$ ). Sur chaque graphe, on peut voir les profils mesurés, sans correction du profil, et avec un facteur correctif. Clairement, le dopage obtenu sans correction de la mesure (figure IV-5.c) décroît de manière importante avec la

profondeur, en particulier entre 2,5 et 3  $\mu\text{m}$  de profondeur, proche de l'oxyde enterré. En revanche, la correction rétablit le profil plat attendu, sauf sur les quelques centaines de nanomètres proches de l'oxyde enterré. La figure IV-5.c illustre l'évolution du facteur de correction en fonction de la profondeur.

Notons que sur ces profils, l'endroit exact du biseau n'est pas clairement identifiable, pour la raison qu'il n'y avait pas d'oxyde en face avant de silicium. Aussi, la forme arrondie au niveau du biseau, due au polissage, se trouve en surface de couche de silicium, ce qui empêche de localiser l'endroit où doit débiter la mesure.

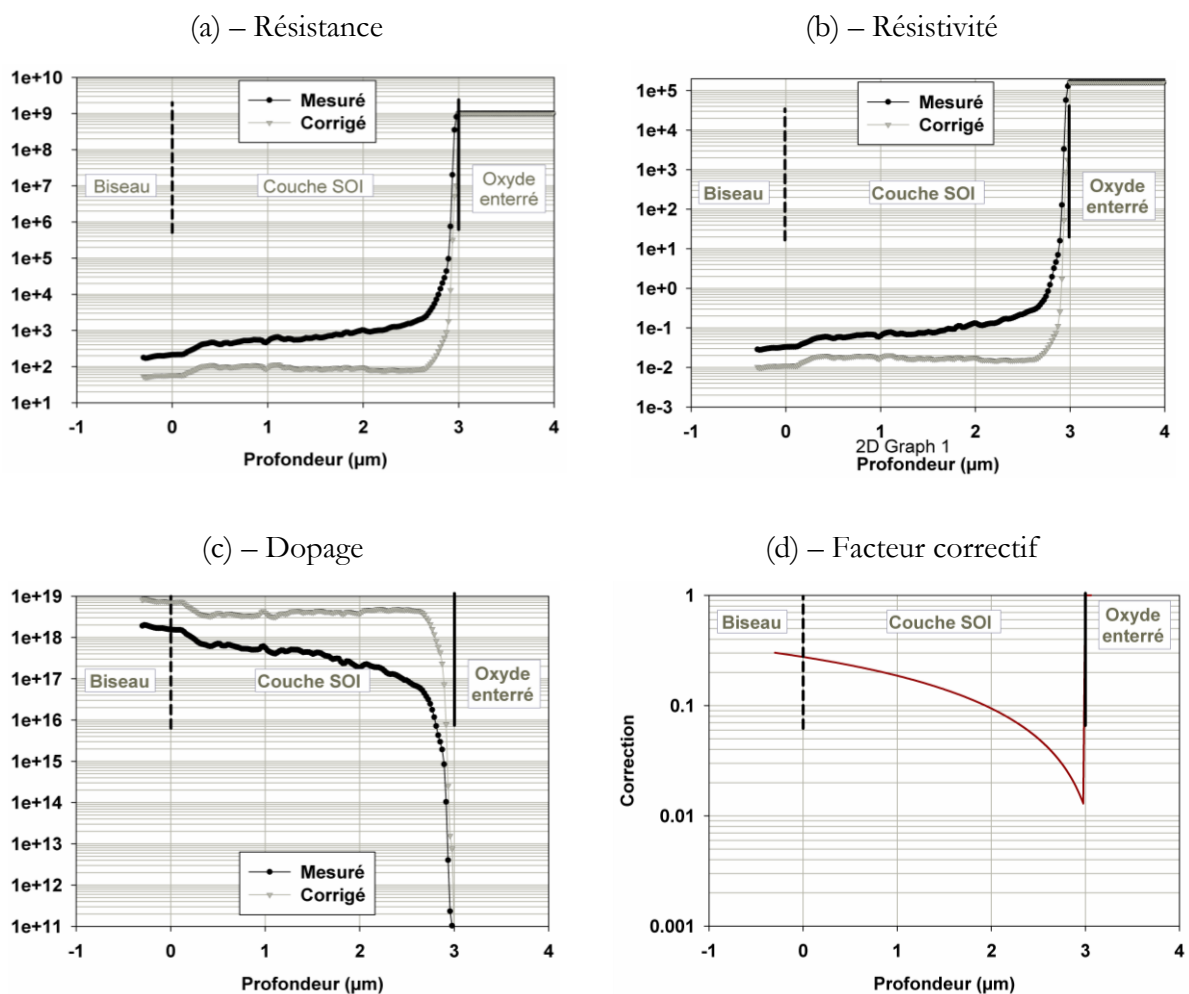


Figure IV-5 : Profil de résistance (a), de résistivité (b) et de dopage (c) via une mesure SRP sur un profil de dopage bore vertical plat, avec et sans correction de la mesure. (d) Évolution du facteur correctif en fonction de la profondeur.

Finalement, les profils verticaux correspondants aux quatre implantations du transistor ont été obtenus par SRP, et sont illustrés en figure IV-6 ( $P_{\text{Base}}$  (a),  $N_{\text{VLD}}$  (b),  $P^+$  (c) et enfin  $N^+$  en figure IV-6.d). Dans le cas de faibles niveaux de dopage ( $P_{\text{Base}}$  et  $N_{\text{VLD}}$ ), les analyses SRP soulèvent deux difficultés. D'une part, la mesure est très sensible à la qualité du biseau (qualité du polissage, états de charges en surface). Aussi les profils présentent de fortes variations de résistances mesurées, ce qui a tendance à limiter l'efficacité de la routine de calcul pour la correction. D'autre part, l'appareil est calibré pour fonctionner dans une certaine gamme de résistances mesurées (allant de  $20 \text{ m}\Omega$  à  $300 \Omega$ , soit des dopages allant de  $10^{14}$  à  $5 \cdot 10^{19} \text{ cm}^{-3}$ ), et est régulièrement ajusté via des analyses sur des échantillons témoins. Or, dans certains cas, les résistances mesurées se situent dans la limite haute de cette gamme de validité. Aussi est-il relativement difficile de remonter à des données quantitativement fiables. Ceci explique pourquoi les niveaux de dopage actif mesurés des figures IV-6.a et IV-6.b sont différents de ceux simulés.

Néanmoins, l'allure des profils mesurés par SRP valident celles des profils simulés : en effet, dans le cas du profil de dopage de l'implantation  $P_{\text{Base}}$ , on observe une augmentation du dopage avec la profondeur. Ce résultat est cohérent : la forte diffusion des dopants est couplée au mécanisme de ségrégation effectué préférentiellement en surface (à cause du recuit oxydant). Ainsi, le bore voit une barrière de diffusion au niveau de l'interface avec l'oxyde enterré, et en revanche, ségrégue de manière importante en surface, ce qui explique que le dopage diminue en se rapprochant de la surface de la couche de silicium. A l'inverse, le profil  $N_{\text{VLD}}$  a tendance à décroître avec la profondeur, du fait d'une tendance à l'accumulation du phosphore au niveau de l'interface d'oxydation (cf. §II.3.1, page 80).

Pour des niveaux de dopages plus élevés, les analyses SRP sont mieux calibrées. Ainsi, les profils résultant des implantations  $P^+$  et  $N^+$  sont parfaitement en accord avec les simulations. Ces résultats confirment le fait que les résistances de contacts seront faibles, et qu'elles ont été correctement évaluées pour le dimensionnement des motifs de métallisation (§III.4.3, page 139).

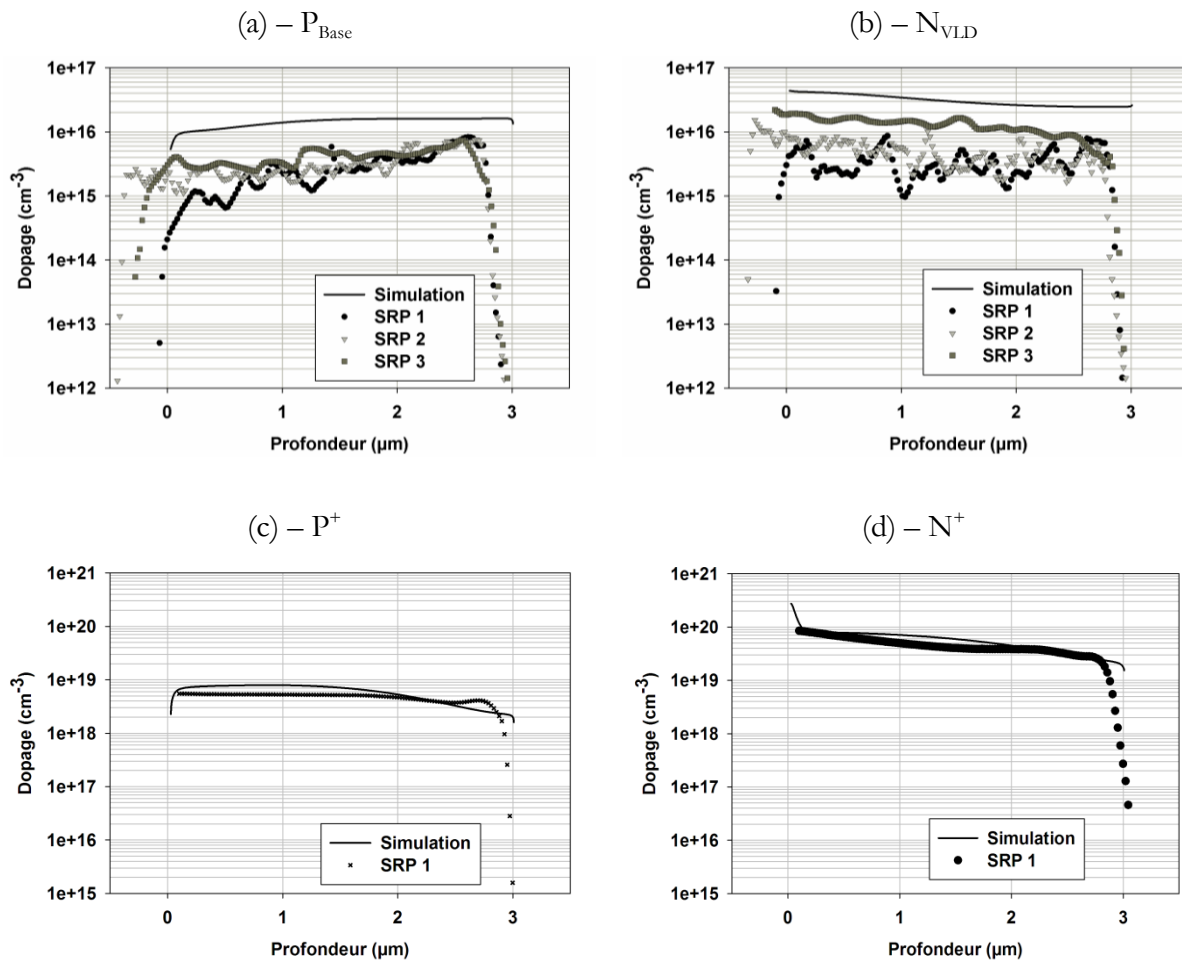


Figure IV-6 : Profils de dopages actifs verticaux mesurés en SRP des régions  $P_{\text{Base}}$  (a),  $N_{\text{VLD}}$  (b),  $P^+$  (c) et  $N^+$  (d), et profils simulés correspondants.

#### IV.1.2.3 Profil de dopage latéral

Moyennant quelques ajustements, il est possible d'effectuer des mesures SRP sur toute la longueur d'un échantillon (angle de biseau réduit, ajout d'un facteur de correction du dopage en plus de la correction habituelle, structure de test adaptée). La figure IV-7.a présente le profil SRP de dopage latéral ( $P^+$ ,  $N_{VLD}$ ,  $N^+$ ) d'un motif reproduisant la zone de drift, ainsi que le profil de dopage obtenu par simulation. Les profils mesurés et simulés sont très proches. On peut cependant noter d'importants artefacts de mesures dans la zone  $P^+$ , liés d'une part à un problème de qualité de la surface biseautée à cet endroit, et d'autre part aux méthodes de lissage et de correction du profil au voisinage de la jonction métallurgique  $P^+ / N_{VLD}$ .

La figure IV-7.b précise les profils au niveau de la zone de drift  $N_{VLD}$ . Deux profils mesurés sont reportés, correspondant à deux niveaux de lissage de la mesure. En effet, pour éviter les problèmes d'artefacts, il est possible de plus ou moins lisser les points de mesure, ce qui permet d'améliorer notablement la correction, au détriment de la précision latérale. Si un fort lissage permet d'atténuer les variations parasites dues aux imprécisions de mesure, il supprime aussi les variations de dopage liées aux fenêtres d'implantations (*cf.* §II.4.4 page 98), que l'on voit sur le profil simulé.

Les profils mesurés et simulés sont encore une fois très proches. Le profil faiblement lissé laisse apparaître des variations de dopage, qui se rapprochent des variations observées sur le profil de dopage simulé, en particulier entre 40 et 60  $\mu\text{m}$ .

#### IV.1.2.4 Analyse DLTS

L'utilisation de recuits à bilans thermiques élevés est courante en microélectronique de puissance, avec des substrats silicium. En revanche, il n'existe pas dans la littérature d'applications de puissance utilisant de tels recuits avec un substrat SOI, ce qui est notre cas. Ainsi, il est possible que ces recuits thermiques, neutres ou oxydants, créent des défauts profonds dans le silicium, par exemple via une contamination plus rapide et plus forte de la couche SOI.

Les mesures DLTS (*Deep Level Transient Spectroscopy*, ou Spectroscopie capacitive de niveaux profonds) permettent d'accéder à la signature des défauts ponctuels dans le cristal de silicium. En effet, les défauts ont tendance à modifier les propriétés électriques du matériau. Dans le cas d'une jonction PN, la technique DLTS permet de sonder la présence de niveaux énergétiques profonds dans la bande interdite, ces niveaux étant eux-mêmes liés à la présence de défauts localisés dans la ZCE de la jonction. Pour plus de détails, l'on pourra se référer aux travaux de D.V. Lang [91-92].

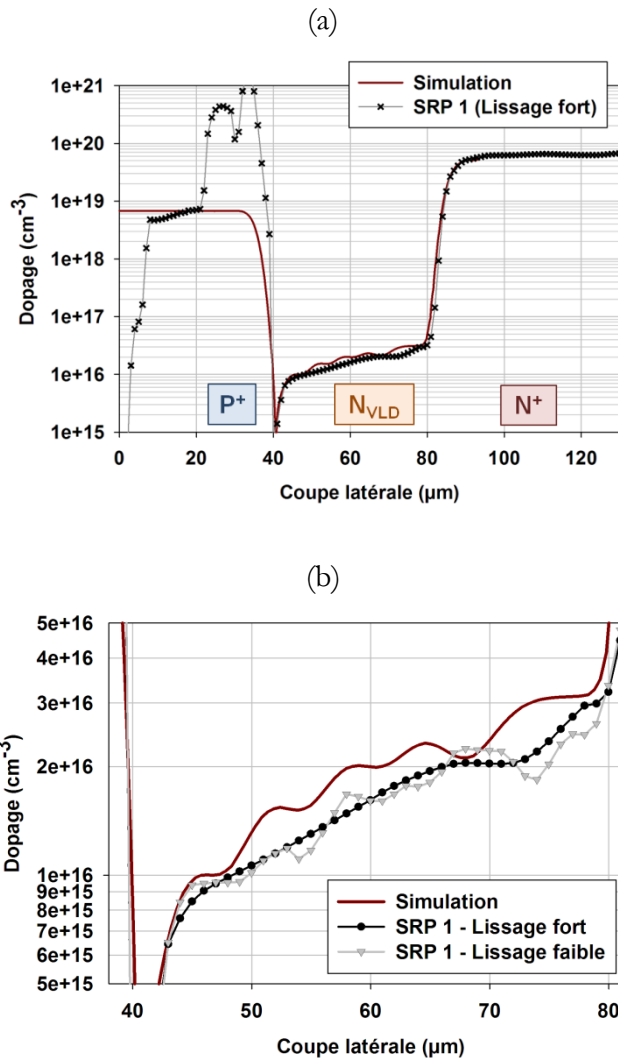


Figure IV-7 : (a) Profil latéral simulé et mesuré. (b) Zoom sur la zone de drift des profils simulés et mesurés (pour deux niveaux de lissages différents).

Les mesures DLTS effectuées sur des transistors ISIS02 n'ont pas révélé la présence de niveaux profonds. Cependant, dans notre cas, les mesures ne permettent pas réellement de mesurer les défauts dans la base fine, mais plutôt ceux éventuellement localisés dans la zone de drift, puisque la ZCE s'y étend préférentiellement. D'autre part, les mesures ont été effectuées pour des tensions de polarisation inverse inférieures à 20 V (limite en tension du banc de test), ce qui signifie qu'une très faible partie de la zone de drift a pu être analysée. Ainsi, même si les mesures DLTS ne semblent pas révéler de défauts ou d'impuretés contaminantes dans le composant, la présence d'une contamination ne peut pas être totalement exclue.

## IV.1.2.5 Révélation chimique de la base fine

La révélation chimique du silicium est une technique qui permet de graver sélectivement le silicium, en fonction de son type et niveau de dopage. Ainsi, dans le cas du transistor ISIS02, il est théoriquement possible de graver sélectivement le silicium de type P au niveau de la base fine, sans que le silicium de la zone de drift, de type N, ne soit gravé. Il faut cependant noter que les niveaux de dopage dans la zone de base fine sont relativement faibles, puisque en-deçà de  $10^{16} \text{ cm}^{-3}$ . Aussi, la sélectivité de la gravure P *versus* la gravure des zones N ne sera pas excellente [93].

Une gravure sélective de la base fine a donc été effectuée ( $100 : 1 - \text{HF}50\% - \text{HNO}_3$ ) sur la tranche polie d'un motif de transistor, dans le cas de la manipulation 1. Notre choix s'est porté sur le jeu de paramètres permettant l'obtention de la base la plus large possible, ceci afin de faciliter la révélation subséquente. La vue MEB après révélation est présentée en figure IV-8. On distingue assez clairement la base, verticale, gravée préférentiellement. Celle-ci est relativement épaisse (de l'ordre de  $6 \mu\text{m}$ ), ce qui est en accord avec les simulations et le jeu de paramètres de fabrication de cet échantillon. D'autre part, on peut noter que la base semble être « évasée ». Celle-ci est plus large au niveau de l'oxyde enterré qu'en surface. Là encore, il s'agit d'un résultat attendu (*cf.* §II.5.3, page 105), en cohérence avec les simulations et les profils SRP.

L'observation au MEB de l'échantillon ne montre pas clairement ce qui se passe aux interfaces. D'une part, le niveau de dopage bore aux interfaces est plus faible ce qui atténue *a priori* la sélectivité de la gravure. D'autre part, les deux couches d'oxyde (en surface et enterré) se chargent électriquement, ce qui empêche une visualisation correcte.

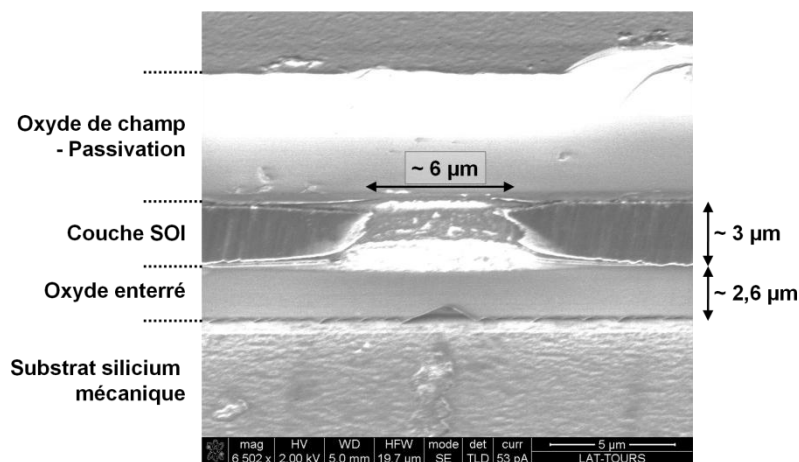


Figure IV-8 : Gravure sélective du silicium et vue MEB au niveau de la base fine du transistor ISIS02, pour le lot 1 ( $N_{\text{VLD}} = 6.10^{12} \text{ cm}^{-2}$ ,  $P_{\text{Base}} = 15.10^{12} \text{ cm}^{-2}$ , 150 min).

#### IV.1.2.6 Conclusion sur les caractérisations physiques

Plusieurs analyses physiques ont été effectuées sur différents motifs de transistors. Les mesures  $R_{\square}$  et SRP ont permis de montrer que les simulations sont proches des résultats obtenus en fabrication. Les profils verticaux et latéraux de dopage sont cohérents avec ce qui était attendu. En particulier, le dopage vertical de bore dans la zone  $P_{\text{Base}}$  diminue lorsque l'on s'approche de la surface de la couche active de silicium. Finalement, l'allure de la base fine est bien évasée, comme l'a montré la vue MEB.

En revanche, nous n'avons pas pu voir précisément les profils de dopages au niveau des interfaces, en particulier à l'interface SOI / oxyde supérieur. D'autre part, les mesures DLTS n'ont pas révélé la présence de défauts dans la zone proche de la base fine, dans les limites de détection de la technique.

Nous pouvons maintenant nous attacher à évaluer le comportement électrique des transistors réalisés.

### IV.1.3 Autoblindage

#### IV.1.3.1 Tenues en tension

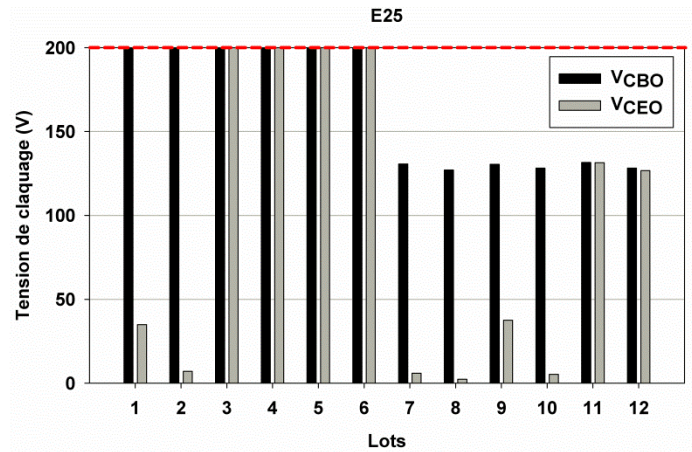
La figure IV-9 regroupe l'ensemble des valeurs de tenue en tension  $V_{\text{CBO}}$  (base court-circuitée) et  $V_{\text{CEO}}$  (base ouverte) des transistors fabriqués selon le plan d'expérience du tableau III-1 (page 144), pour le motif de base B1, et selon 3 écartements de caissons  $P^+$  de protection :  $E25$  (25  $\mu\text{m}$ ),  $E30$  (30  $\mu\text{m}$ ) et  $E90$  (90  $\mu\text{m}$ ). Dans le troisième cas, les caissons sont suffisamment écartés pour qu'ils ne puissent en aucune manière protéger la base fine. Ainsi, la tenue en tension  $V_{\text{CEO}}$  mesurée correspond à la tension que peut supporter la base seule, sans autoblindage. Ces mesures ont été réalisées sous pointes sur des équipements de tests automatisés, *via* des motifs dédiés sur plaquettes, et pour une valeur de courant limite de 1 mA.

D'une manière générale, la tenue en tension  $V_{\text{CBO}}$  (base court-circuitée) est importante, puisqu'elle dépasse dans tous les cas 100 V. De plus, on peut noter que pour la dose d'implantation  $N_{\text{VLD}}$  la plus élevée (lots 7 à 12, dose  $9.10^{12} \text{ cm}^{-2}$ ), la tenue en tension est inférieure à celle des transistors fabriqués avec la dose la plus faible (lots 1 à 6,  $6.10^{12} \text{ cm}^{-2}$ ). Ce comportement est logique : sachant que le champ électrique s'étend préférentiellement dans la zone de drift, un dopage plus élevé de celle-ci entraînera une diminution de l'extension de la ZCE et donc une diminution de la tenue en tension.

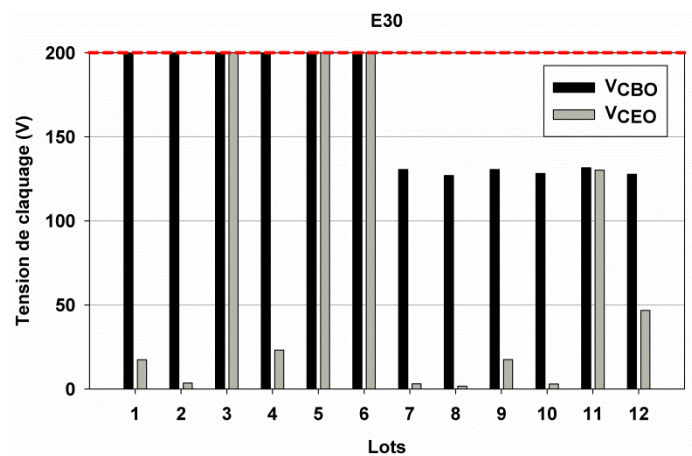
En ce qui concerne la base, plus la dose d'implantation est élevée, moins celle-ci est sujette au perçage. Cela se voit particulièrement dans le cas *E90*, pour lequel les caissons  $P^+$  n'assurent aucune protection. L'autoblindage (cas *E25* et *E30*) intervient alors d'autant mieux. Ainsi, dans le cas *E25*, pour une dose  $P_{\text{Base}}$  faible et une dose  $N_{\text{VLD}}$  élevée (respectivement  $7.10^{12} \text{ cm}^{-2}$  et  $9.10^{12} \text{ cm}^{-2}$ , soit les lots 7-8), la tenue en tension  $V_{\text{CEO}}$  est quasiment nulle (inférieure à 5 V). Plus la dose  $P_{\text{Base}}$  est élevée, plus la tenue en tension augmente et se rapproche de la tenue en tension avec la base court-circuitée (lots 11-12).

L'écartement des caissons joue également un rôle important. En effet, plus les caissons sont rapprochés, plus la base est susceptible d'être correctement protégée. Dans le cas *E25*, on compte ainsi 6 lots où les tenues en tension  $V_{\text{CBO}}$  et  $V_{\text{CEO}}$  sont identiques, c'est-à-dire avec un autoblindage effectif. Pour le cas *E30*, l'autoblindage n'est effectif que dans 4 cas. Dans le cas *E90*, une seule condition assure la protection de la base.

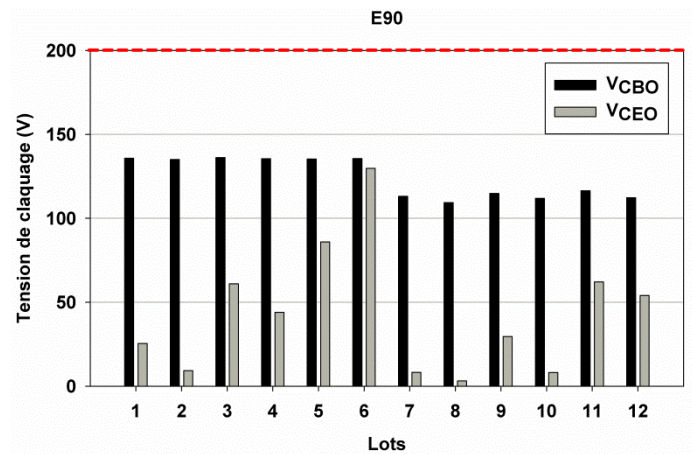
A noter que le niveau de tension de 200 V correspond, en fait, à une valeur limite de performance du banc de test utilisé. Ainsi, il faut remarquer que la tenue en tension  $V_{\text{CBO}}$  des lots 1 – 6 dépasse 200 V (elle atteint en réalité 220 V, selon des mesures complémentaires) pour les écartements *E25* et *E30*, alors qu'elle n'est que d'environ 150 V pour le cas *E90*. On remarque un effet similaire, moins important, pour les cas 7 – 12. En fait, dans les cas *E25* et *E30*, l'effet RESURF commence légèrement à intervenir, même si le substrat n'est pas polarisé, aidé en cela par l'action complémentaire de protection des caissons. En effet, il faut se rappeler que la plaque de champ au-dessus de la zone de drift permet d'assurer la désertion partielle du silicium. En revanche, dans le cas *E90*, c'est bien la base, non-protégée, qui finit par entrer en avalanche avant toute intervention de l'effet RESURF.



(a)



(b)



(c)

Figure IV-9 : Tenue en tension  $V_{CBO}$  et  $V_{CEO}$  du transistor ISIS02, avec le motif de base B1, en fonction des lots du tableau III-1, pour trois écartements :

25  $\mu\text{m}$  (E25 - a), 30  $\mu\text{m}$  (E30 - b) et 90  $\mu\text{m}$  (E90 - c).

Le seuil de 200 V correspond à une limite de performance du banc de test automatisé.

La figure IV-10 présente quant à elle les différentes valeurs de tenues en tension « directes » et « inverses », base ouverte et base court-circuitée, pour le motif de base B1 et un écartement entre caissons de  $30\ \mu\text{m}$  (*E30*). Le comportement symétrique du composant est ici clairement démontré avec des tenues en tension directes et inverses identiques, quel que soit les conditions expérimentales. Ce comportement symétrique se retrouve bien entendu avec les autres motifs de base ou valeurs d'écartements de caissons.

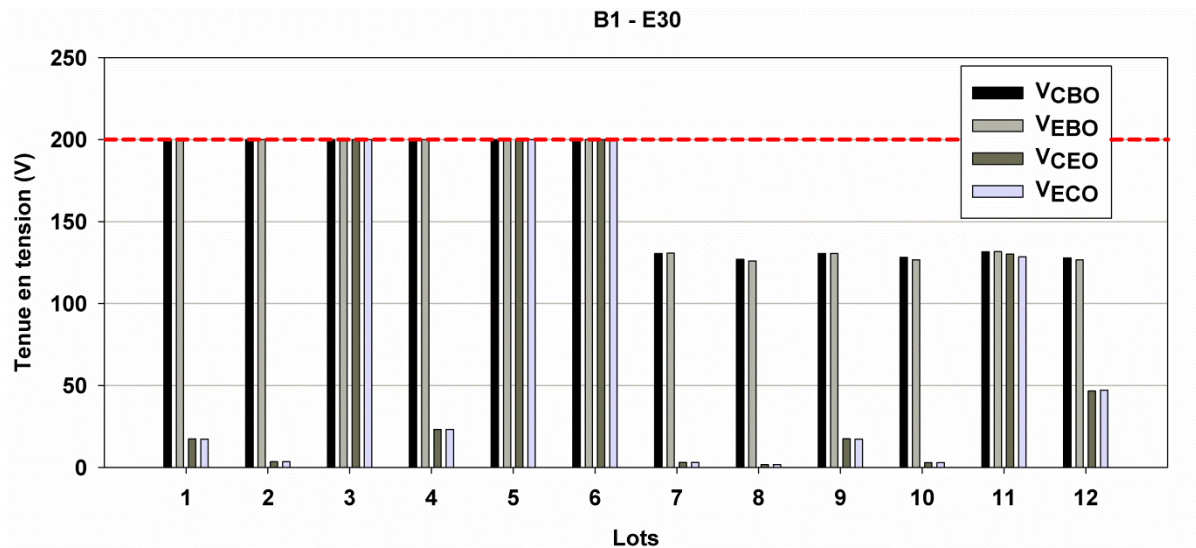


Figure IV-10 : Tenues en tension  $V_{CBO}$ ,  $V_{EBO}$ ,  $V_{CEO}$ ,  $V_{ECO}$  en fonction des lots, pour le motif de base B1 et un écartement *E30*.

#### IV.1.3.2 Courants de fuite à l'état bloqué

La figure IV-11 regroupe l'ensemble des valeurs de courant de fuite du transistor ISIS02 à  $V_{CE} = 10\ \text{V}$ , pour chaque condition de fabrication et motifs de base, dans le cas d'un écartement entre caissons de  $25\ \mu\text{m}$ . Ces mesures ont été effectuées sur des équipements automatisés, *via* des motifs dédiés. Certaines valeurs sont écrêtées du fait d'une limitation en courant du banc de test, à  $1\ \text{mA}$ .

Globalement, les niveaux de courant de fuite, quel que soit le cas étudié, sont extrêmement élevés, souvent au-dessus de  $1\ \text{mA}\cdot\text{mm}^{-2}$ . En l'état, ce courant de fuite est beaucoup trop élevé pour envisager une quelconque application du transistor. En effet, à ces niveaux de courant, le transistor ne peut pas réellement être considéré comme « bloqué ». Ces courants de fuite élevés sont symptomatiques de la formation d'un canal  $N^-$  court-circuitant la base fine.

L'évolution des courants de fuite est cohérente avec les résultats d'autoblindage précédents. Plus la dose d'implantation  $P_{\text{Base}}$  de la base fine est importante (lots 1-2 à 5-6 pour une dose  $N_{\text{VLD}}$

faible à  $6.10^{12} \text{ cm}^{-2}$  ; lots 7-8 à 11-12 pour une dose  $N_{\text{VLD}}$  de  $9.10^{12} \text{ cm}^{-2}$ ), plus la base est épaisse, ce qui augmente la résistance équivalente du canal. Ainsi, le courant de fuite diminue. En doublant la dose d'implantation (de  $7.10^{12}$  à  $15.10^{12} \text{ cm}^{-2}$ ), on réduit d'une décade le courant de fuite. D'autre part, avec une dose d'implantation phosphore  $N_{\text{VLD}}$  plus élevée ( $9.10^{12} \text{ cm}^{-2}$ , lots 7-12), la base est rendue plus fine (via le mécanisme de compensation), ce qui renforce l'influence du canal qui voit sa résistance diminuer, avec des courants de fuites en moyenne plus élevés.

Le motif d'implantation de la base fine influe sur le courant de fuite, mais de manière marginale comparé à l'influence de la dose d'implantation. En effet, cette formation du canal est d'abord liée au recours à un recuit oxydant en fin de processus de fabrication, couplé au fait que les niveaux de dopages dans la zone de la base soient globalement faibles. D'une manière générale, on observe que le motif B2 permet d'obtenir une base plus robuste avec des courants de fuite systématiquement plus faibles. Ceci est probablement lié au fait que la base est plus large qu'avec les motifs B1 ou B3.

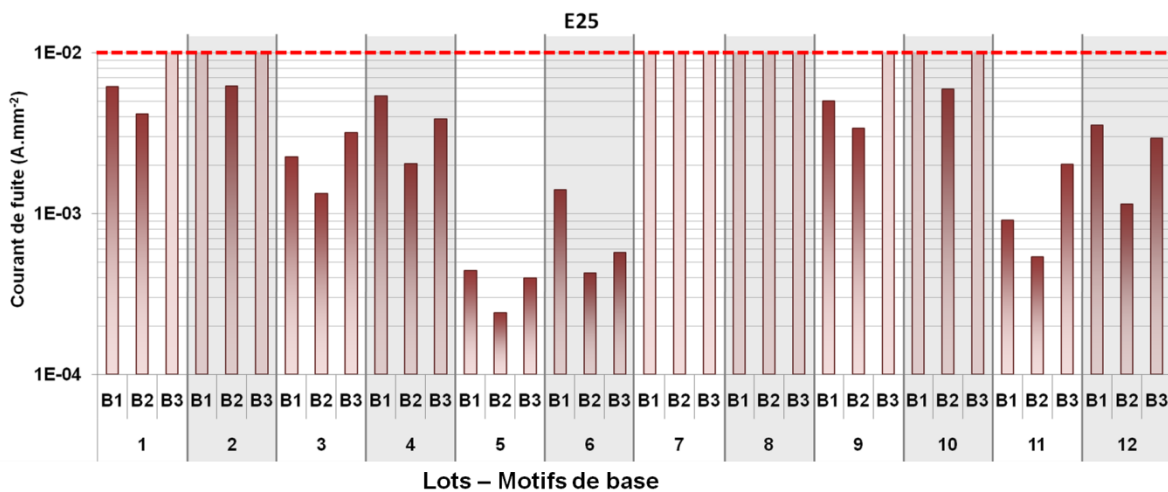


Figure IV-11 : Courants de fuite des transistors ( $V_{\text{CE}} = 10 \text{ V}$ ), en fonction des conditions de fabrication et des motifs de base, dans le cas *E25* (écartement caissons de  $25 \mu\text{m}$ ). Le seuil de  $0.01 \text{ A.mm}^{-2}$  est lié aux limitations du banc de test automatisé.

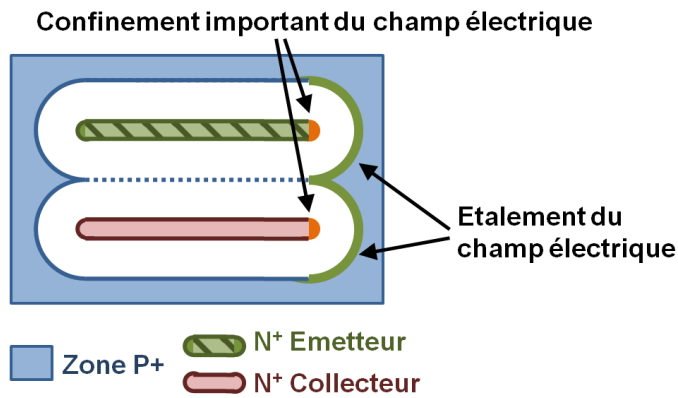
#### IV.1.4 Tenue en tension par effet RESURF

Malgré le fait que la base du transistor soit parasitée par la présence d'un canal, il est possible de tester l'influence de l'effet RESURF via les jonctions Base – Émetteur/Collecteur directement sur plaquettes, en jouant sur la polarisation du substrat (lié au support de plaquettes, *chuck*) par rapport au potentiel de la base. Le courant de fuite de la jonction  $P^+ / N_{VLD}$  est d'une manière générale très bas, de l'ordre du nanoampère. En revanche, la tenue en tension de cette jonction n'est pas très élevée : quelle que soit le lot, le motif d'implantation (E25/E30/E90, B1/B2/B3), ou le motif de métallisation (*cf.* tableau III-2 page 145), la tenue en tension assistée par effet RESURF (substrat polarisé au potentiel de la base) n'est que très légèrement supérieure à la tension sans polarisation du substrat. Ainsi, pour les lots 7 à 12 (implantation  $N_{VLD}$  de  $9.10^{12} \text{ cm}^{-2}$ ) la tenue en tension passe d'environ 150 V à 200 V (pour un courant mesurée de l'ordre du milliampère). Pour les lots 1 à 6 (implantation  $N_{VLD}$  de  $9.10^{12} \text{ cm}^{-2}$ ) la tenue en tension est quasiment identique (220 V).

Les analyses SRP latérales n'ont pas montré d'écarts rédhibitoires en termes de linéarité du profil de dopage VLD, aussi, celui-ci n'est-il probablement pas à l'origine des médiocres performances de l'effet RESURF. D'autre part, les mesures de résistance carrée n'ont pas révélé des niveaux de dopage phosphore au-dessus de ce qui était attendu. Trois hypothèses peuvent expliquer cette faible désertion :

- l'insuffisante qualité de l'interface silicium / oxyde en surface. Ainsi, des états d'interface peuvent directement influencer l'efficacité de la désertion dans la zone de drift et donc impacter la tenue en tension. Des simulations complémentaires ont en effet montré que pour une densité d'états d'interface de  $\pm 1.10^{12} \text{ cm}^{-2}$ , la tenue en tension du composant variait entre 100 et 300 V (en fonction de conditions de fabrication). Certaines mesures ont par ailleurs montré des dérives en courant du composant réalisé, liées aux états d'interface,
- un confinement (*crowding*) du champ électrique dans la zone de drift au niveau des zones  $N^+$  Émetteur/Collecteur. La figure IV-12 présente une vue de dessus simplifiée de la périphérie du transistor. Lorsque l'on applique une tension entre la base et un émetteur / collecteur, le champ électrique s'étend dans la zone de drift, depuis la zone  $P^+$  vers la zone  $N^+$ . L'effet RESURF implique que la valeur du champ électrique est élevée dans toute la zone désertée. Du côté des caissons de protection, la jonction  $N_{VLD} / P^+$  présente un périmètre plus important que la jonction  $N_{VLD} / N^+$ , du côté des contacts émetteurs / collecteurs. Cela signifie que le champ électrique au voisinage de la jonction

$N_{VLD} / P^+$  est plus étalé qu'au voisinage de la jonction  $N_{VLD} / N^+$ . Au final, le champ électrique est confiné, notamment du côté des émetteurs / collecteurs, ce qui implique que la tenue en tension est moins élevée que dans le cas d'une jonction plane,



**Figure IV-12 : Illustration du confinement du champ électrique à la périphérie du transistor.**

- enfin, les oxydes de champ (oxyde enterré et oxyde supérieur) sont obtenus différemment. L'oxyde enterré est obtenu via deux oxydations thermiques et un recuit de collage, tandis que l'oxyde supérieur est obtenu par oxydation thermique (1/3 de l'épaisseur) suivi d'un dépôt CVD (2/3). La densité de la couche de  $SiO_2$  enterrée est donc plus importante que celle de la couche d'oxyde en surface, puisque la densité de l'oxyde déposé est moins importante que celle d'un oxyde thermique. Ainsi, les densités des deux oxydes de champ ne sont pas les mêmes, et donc, *in fine*, leurs constantes diélectriques effectives. Or, il faut assurer une symétrie des lignes de champ pour que la couche SOI soit correctement désertée. Il est donc possible que les différences entre ces deux oxydes puissent influencer la tenue en tension du composant.

#### IV.1.5 Gain du transistor

Les figures IV-13.a et IV-13.b présentent les réseaux de Kellog du transistor, dans le cas du lot 7, avec un motif de base B2 et un écartement caisson de 25  $\mu\text{m}$ , respectivement dans le cas  $V_{\text{EC}} > 0$  (caractéristique directe) et  $V_{\text{EC}} < 0$  (caractéristique inverse). Les lots 7 et 8 correspondent aux cas les plus défavorables pour la réalisation de la base : en effet, la dose d'implantation phosphore est élevée, alors que la dose d'implantation de bore est la plus faible. Ainsi, ces conditions favorisent la formation d'un canal important.

D'une manière générale, on peut noter que les caractéristiques directes et inverses sont identiques. Le comportement du transistor est donc bien symétrique. L'impact du canal est particulièrement visible : pour des courants de base faibles (inférieurs à 1  $\mu\text{A}\cdot\text{mm}^{-2}$ ), les caractéristiques de sortie du transistor se confondent et deviennent purement ohmiques. L'effet transistor ne devient sensible qu'à partir du moment où le courant de base devient très important (supérieur à 1  $\text{mA}\cdot\text{mm}^{-2}$ ).

La figure IV-13.c présente quant à elle les gains du transistor en direct ( $V_{\text{CE}} = 0,5 \text{ V}$ ) et en inverse ( $V_{\text{EC}} = 0,5 \text{ V}$ ). Les courbes de gains avec marqueurs ronds correspondent aux valeurs brutes mesurées, sans discrimination du courant parasite dans le canal. Les courbes avec des marqueurs en croix correspondent aux gains corrigés, selon la méthode présentée au paragraphe §II.3.3 (page 86). Rappelons en effet que selon cette méthode, il est possible de discriminer le courant induit par le canal parasite du courant induit par l'effet transistor, ce qui permet finalement de déterminer le gain effectif du composant.

De manière évidente, les gains non-corrigés divergent vers l'infini pour des valeurs de courant de base tendant vers zéro, du fait de l'existence d'un courant de canal parasite non-nul. En revanche, on peut remarquer que le gain réel du transistor, obtenu après correction des mesures, est loin d'être négligeable, avec des valeurs proches de la centaine à faible densité de courant collecteur. Notons cependant que le premier point à gauche de la courbe est plutôt qualitatif, puisque l'on approche ici des limites de la méthode.

On peut noter que les valeurs des gains mesurés après correction sont relativement proches de celles obtenues par simulations. En effet, de manière générale, les gains mesurés étaient de l'ordre de la dizaine, et s'approchaient de la centaine lorsque le profil de dopage de la base était prélevé en surface de couche de silicium (*cf.* figure II-24 page 109).

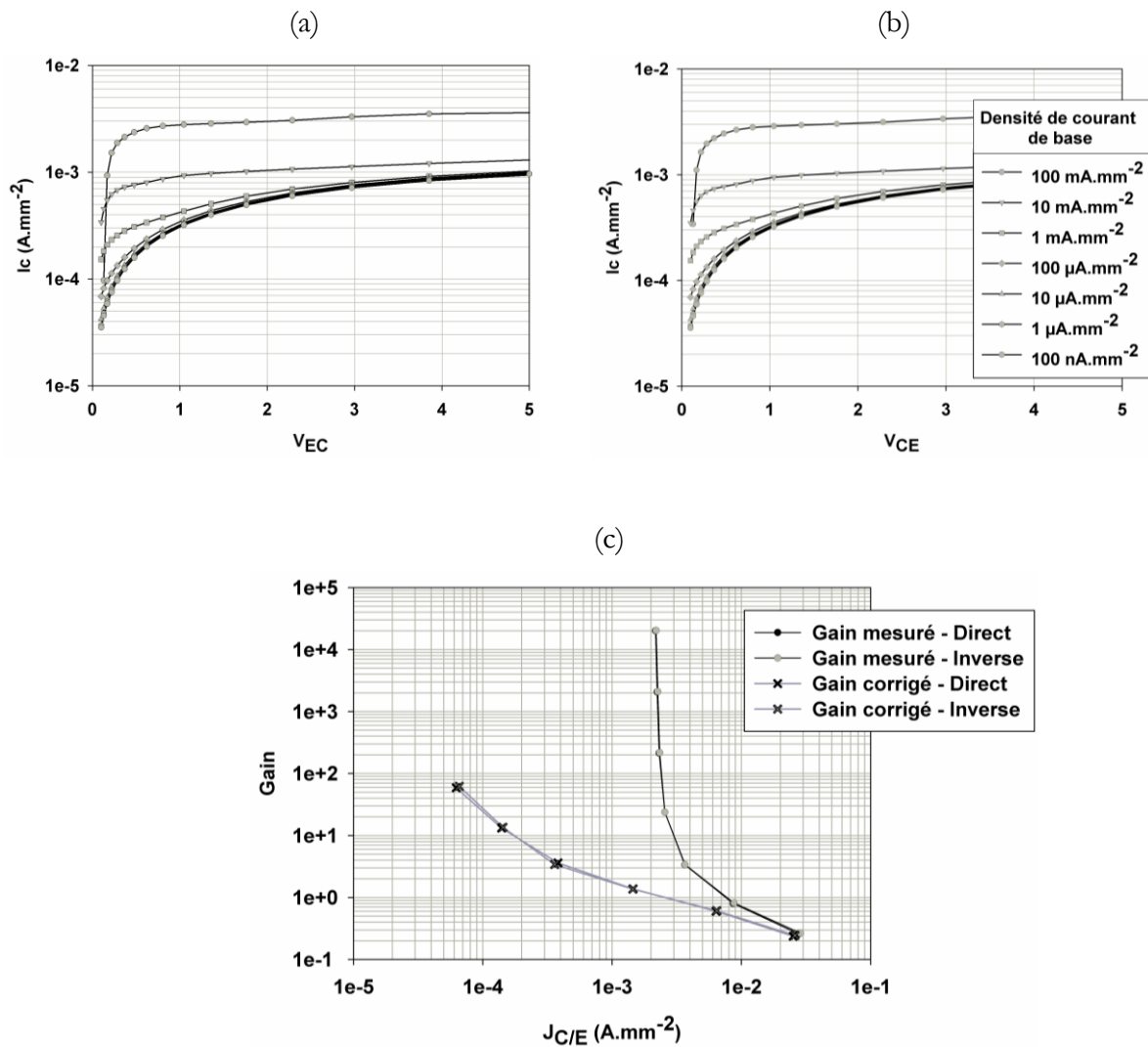


Figure IV-13 : Courbes de Kellog en direct (a) et en inverse (b) pour un cas de fabrication (lot 7, motif B2, *E25*), et différentes densités de courant de base. (c) Courbes de gains (bruts et corrigés) pour ce même transistor ( $V_{CE} | V_{EC} = 0,5$  V).

#### IV.1.6 Conclusion

D'une manière générale, il apparaît clairement que les conditions de réalisation actuelles ne nous permettent pas d'obtenir un effet transistor satisfaisant. La dernière étape, consistant en un recuit thermique d'oxydation humide à haute température provoque la formation d'un canal relativement important à la surface de la base fine, au niveau de l'oxyde de surface. Ce canal, plus ou moins pincé, introduit un courant parasite beaucoup trop élevé pour que l'on puisse considérer le transistor comme bloqué à l'état OFF. Enfin, l'effet RESURF n'est pas efficace,

puisque la tenue en tension de la jonction  $P^+ / N_{\text{VLD}} / N^+$  est limitée à 220 V maximum, contrairement aux 400 V attendus.

Il faut cependant noter qu'à l'exception du canal en surface de la base fine, les profils de dopage obtenus, ainsi que la forme de la base, sont tout à fait en accord avec les simulations effectuées. En revanche, en l'état actuel, celles-ci ne sont pas capables de reproduire les effets de ségrégation de manière suffisamment fine pour simuler une inversion de dopants et donc la création d'un canal. En conséquence, les simulations électriques (de gains et de tenue en tension) ne pouvaient pas correspondre aux mesures, sauf à introduire artificiellement un canal. Néanmoins, on peut noter que les valeurs de gains simulées sont proches des valeurs de gains mesurés et corrigés.

## IV.2 Effet d'un recuit de neutralisation

Les résultats précédents n'ont pas permis de valider le concept de transistor bipolaire latéral symétrique à base fine verticale et autoprotégée, du fait de la formation d'un canal parasite en surface de la base. Afin de pallier cette difficulté, nous avons envisagé la possibilité de supprimer ce canal en faisant suivre le recuit d'oxydation par un traitement thermique de neutralisation du canal, permettant d'homogénéiser la base.

### IV.2.1 Intérêt d'un recuit de neutralisation et réalisation de transistors de test

Comme nous l'avons vu au paragraphe §II.3 (page 80), l'atmosphère du recuit influence fortement le mécanisme de ségrégation / accumulation des dopants aux interfaces Si / SiO<sub>2</sub>. Initialement, la fabrication du transistor ISIS02 se terminait par un recuit d'oxydation humide avec un bilan thermique très lourd. De fait, la ségrégation du bore à l'interface silicium SOI / oxyde de surface a conduit à la formation systématique d'un canal au niveau de la base fine et faiblement dopée. L'injection d'auto-interstitiels durant l'oxydation participant au mécanisme de diffusion du bore, il nous a semblé intéressant de faire suivre ce recuit oxydant par un recuit supplémentaire de neutralisation, sous azote. En effet, les mécanismes de ségrégation des dopants sont atténués durant les phases de recuit sous gaz neutres [68]. De ce fait, l'application d'un recuit neutre supplémentaire pourrait redresser le profil de dopage bore en surface et ainsi réduire, voire supprimer, le canal préalablement formé, en évitant néanmoins de trop accentuer la compensation de la base par la diffusion latérale du phosphore.

Le tableau IV-1 ci-dessous résume les différentes étapes de fabrication du composant bidirectionnel, incluant donc un recuit de neutralisation, de 1050°C pendant 2 heures (sous azote). Dans le cas qui nous intéresse, les recuits 6A et 6B (respectivement le recuit d'oxydation et le recuit de neutralisation), sont distincts. Il est cependant tout à fait possible de ne réaliser qu'un seul recuit en deux temps, le premier temps sous atmosphère oxydante, le deuxième temps sous atmosphère neutre.

Ne pouvant pas travailler directement sur les plaquettes entières, nous avons dû réaliser un masque spécifique pour l'expérience. Ici, seuls quelques échantillons issus d'une plaquette sortie du lot de fabrication à la fin de l'étape 6A ont pu être traités. Le but du recuit 6B étant d'abord de valider la démarche d'un recuit permettant d'atténuer, voire de supprimer, le canal, nous n'avons réalisé qu'un seul niveau de métallisation. Les échantillons traités correspondaient au lot 7 (implantation phosphore  $9.10^{12} \text{ cm}^{-2}$ , implantation bore  $6.10^{12} \text{ cm}^{-2}$ , recuit d'homogénéisation 150 minutes), c'est-à-dire les conditions les plus favorables à la formation d'un canal important (avec le lot 8, pour lequel le recuit d'homogénéisation était de 300 min).

**Tableau IV-1 : Résumé des étapes de fabrication du composant bidirectionnel, avec introduction d'un recuit de neutralisation.**

Etape	Nom	Remarque
0 - ...	Étapes préliminaires	Marquage plaquettes, oxydation initiale...
1	Implantation $N_{VLD}$	
2	Implantation $P_{Base}$	
3	Recuit d'« homogénéisation »	➤ Formation préliminaire de la base fine et de la zone de drift.
4	Implantation $P^+$	
5	Implantation $N^+$	
<b>6A</b>	Recuit humide	<ul style="list-style-type: none"> <li>➤ Formation finale des zones de base et de VLD.</li> <li>➤ Formation des peignes <math>P^+</math> et de zones <math>N^+</math>.</li> <li>➤ Formation partielle de l'oxyde face avant.</li> </ul>
<b>6B</b>	<b>Recuit de neutralisation</b>	➤ <b>Réduction / suppression du canal <math>N^-</math> au niveau de la base fine (1050°C – 120 min – Azote)</b>
7	Dépôt USG. Gravure.	➤ Obtention de l'oxyde face avant formant la plaque de champ par CVD.
8	Métallisation de niveau 1	Dépôt et gravure d'aluminium niveau 1

## IV.2.2 Caractérisation de l'autoblindage et du courant de fuite des transistors après traitement de neutralisation

La figure IV-14.a présente les courbes de tenue en tension Base – Émetteur/Collecteur de deux transistors ayant subi le traitement thermique de neutralisation (*cf.* tableau IV-1). La caractéristique est bien celle d'une diode bipolaire. Les deux courbes se superposent, ce qui est normal puisque, quel que soit le motif du transistor, la jonction P/N Base – Émetteur/Collecteur reste sensiblement la même. Enfin, l'avalanche se situe aux alentours de 105 V. Cette valeur correspond donc au maximum de tenue en tension émetteur / collecteur qu'il est possible d'atteindre dans le cas d'un autoblindage parfait (en excluant l'effet RESURF).

La figure IV-14.b présente les courbes de tenue en tension de 3 transistors ayant subi le traitement de neutralisation, pour le motif de base B2 et avec 3 écartements de caissons P<sup>+</sup> de protection (25, 30 et 90 μm). Nous pouvons voir que ces transistors supportent des tensions relativement importantes (plusieurs dizaines de volts), en polarisation directe ou inverse. Rappelons que les transistors non traités issue de ce lot présentaient un comportement ohmique, quel que soit le motif d'implantation choisi.

Clairement, le recuit de neutralisation a permis de supprimer le canal N<sup>-</sup> court-circuitant la base fine, ou en tout cas, permis de fortement l'atténuer. En effet, le transistor n'est visiblement pas parasité par une quelconque résistance en parallèle. Les courants de fuite, lorsque le transistor est bloqué, sont très faibles.

Pour un transistor non-protégé (cas *E90* pour lequel les caissons ne peuvent pas protéger la base), l'avalanche se situe aux alentours de 50 V. Pour des transistors protégés (écartements plus faibles : *E30*, ainsi que *E25*, le cas le plus favorable), la tenue en tension atteint 100 V. L'avalanche est donc très proche de la tenue en tension maximale théorique de 105 V, correspondant à la tenue en tension Base – Émetteur/Collecteur sans effet RESURF. Nous pouvons dorénavant apprécier l'efficacité de l'autoblindage des caissons P<sup>+</sup>, jusqu'ici masqué par la présence d'un canal parasite.

Les caractéristiques de tenue en tension sont ici relativement symétriques. On peut cependant observer une différence entre la tenue en tension directe, plus élevée que la tenue en tension inverse. L'explication ne tient ici pas à une dissymétrie lors de la fabrication du composant, par exemple lors des implantations, qui aurait pu avoir un effet direct sur la symétrie des performances. En effet, lorsque l'on inverse les émetteurs / collecteurs, la courbe de tenue en tension obtenue est identique. L'explication pourrait être liée à la présence de charges piégées à l'interface silicium – oxyde de surface. Ces charges, en fonction de la polarisation

(positive / négative), peuvent influencer sur la tenue en tension, ce que nous avons pu constater sur les transistors initiaux, sans recuit de neutralisation. Aussi, le traitement thermique met-il ici en évidence l'influence notable de la qualité de passivation de l'interface sur le comportement du transistor.

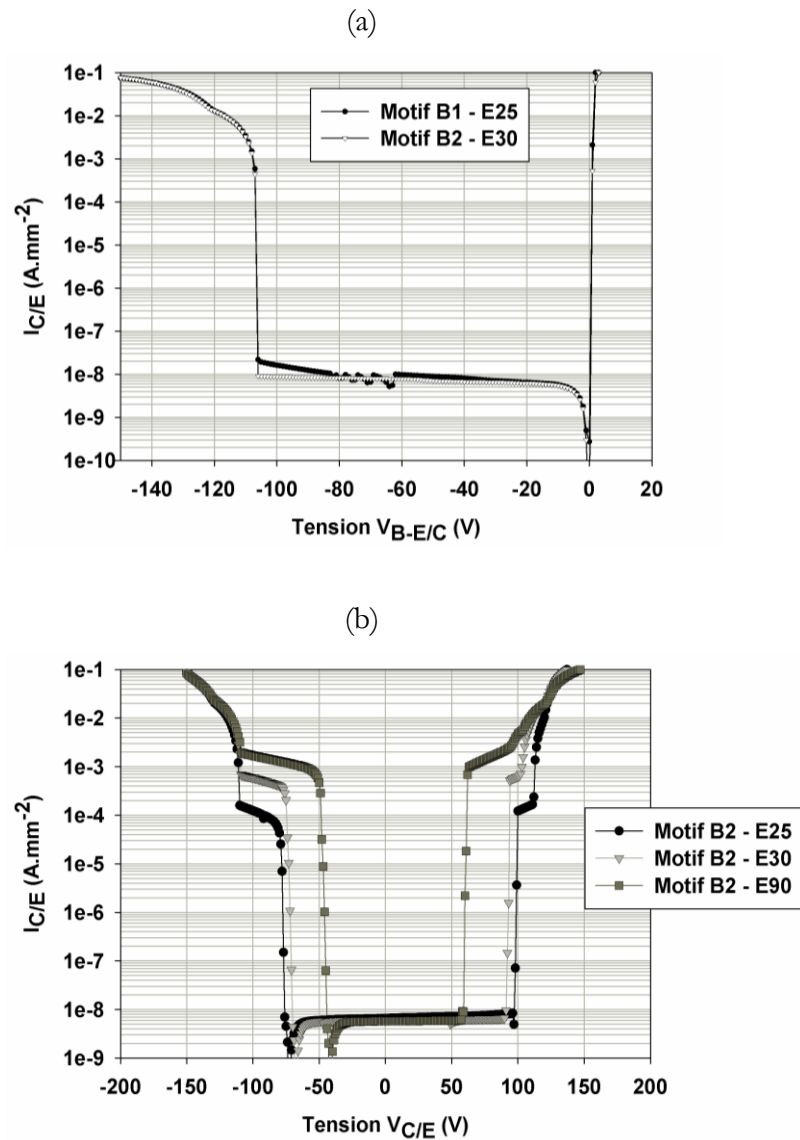


Figure IV-14 : (a) Tenue en tension Base – Émetteur/Collecteur pour deux transistors issus du lot 7 et ayant subi le traitement de neutralisation (1050°C / 120 min / N<sub>2</sub>).

(b) Tenue en tension de 3 transistors B2 réalisés avec la base flottante, en fonction de l'écartement des caissons (25, 30 et 90 μm).

## IV.2.3 Gain des transistors avec traitement de récupération

Les figures IV-15.a et IV-15.b présentent le réseau de Kellogg du transistor en polarisation « directe » et « inverse », pour un motif de base B2 et un écartement entre caissons de 25  $\mu\text{m}$ . Le courant de base varie entre 1 nano et 1 milliampère par  $\text{mm}^2$  de surface active de puce.

On retrouve ici le réseau typique d'un transistor bipolaire. Il faut noter que ce réseau est le même en polarisation « directe » ou « inverse » : le comportement du transistor est donc parfaitement symétrique. On peut remarquer que le transistor, surtout pour des densités de courant de base importantes, fonctionne en régime quasi-saturé avec des chutes de tension à l'état passant faibles, inférieures à 0,5 V.

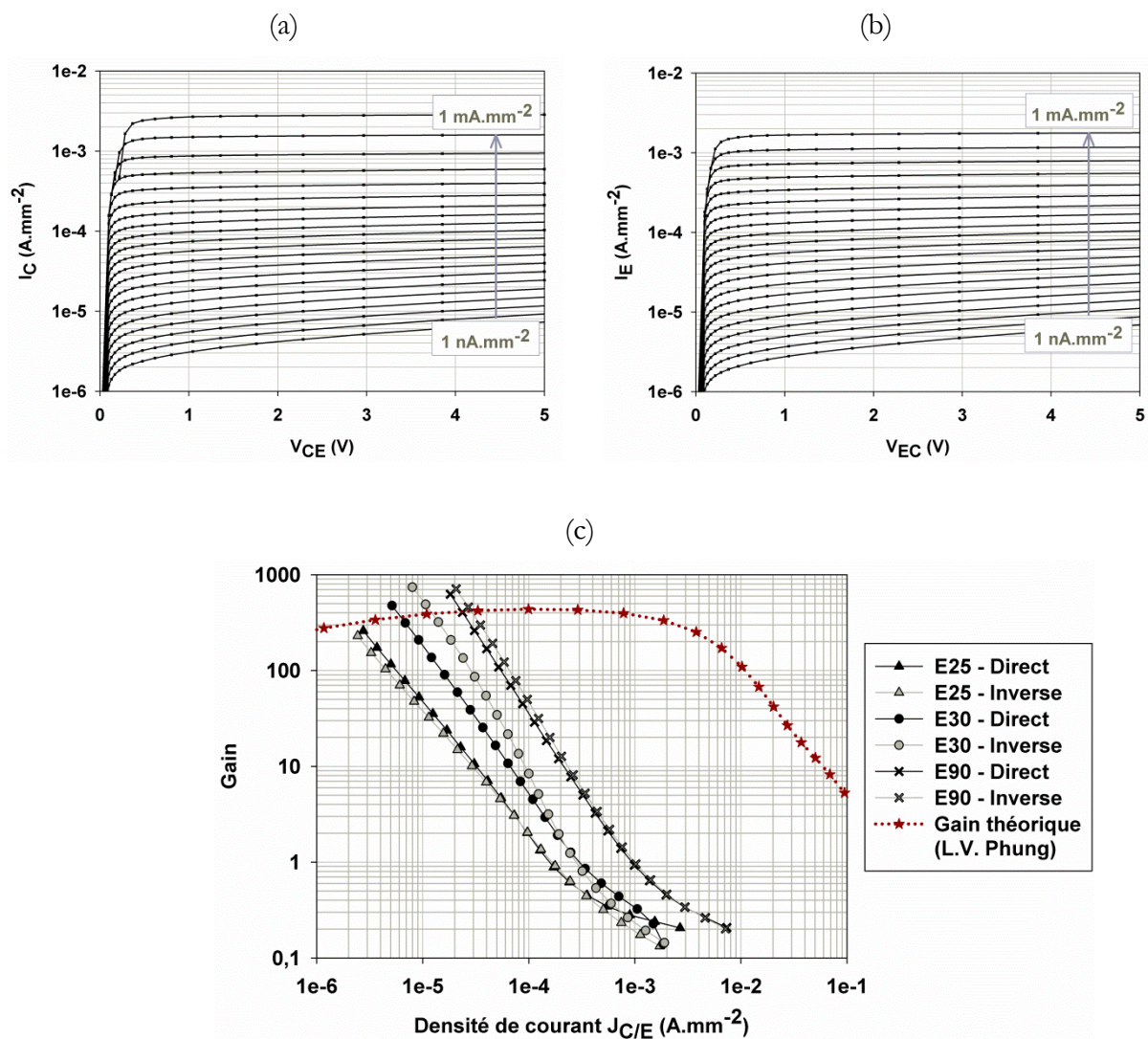


Figure IV-15 : Réseau de Kellogg en polarisation « directe » (a) et « inverse » (b) pour un motif de base B2 et un écartement E25. (c) Gains directs et inverses du transistor pour trois écartements de caissons : 25, 30 et 90  $\mu\text{m}$  ( $V_{CE|EC} = 0,5 \text{ V}$ ).

La figure IV-15.c présente quant à elle les gains directs et inverses ( $V_{CE|EC} = 05 \text{ V}$ ) du transistor dans le cas du motif de base fine B2, et pour les trois écartements de caissons implémentés (25, 30 et 90  $\mu\text{m}$ ). La courbe en pointillés rouges (marqueurs en étoile) indique la courbe de gain théorique obtenue par L.V. Phung [1].

On note ici que les gains directs et inverses des cas E25 et E90 sont très proches, avec des variations relatives inférieures ou égales à 10%. Dans le cas de l'écartement inter-caissons de 30  $\mu\text{m}$ , ces variations sont plus importantes et atteignent 40%. Là encore, il est probable que la qualité de l'interface soit responsable de la dissymétrie.

Les gains maxima du transistor sont très élevés. En effet ils atteignent le millier, alors que l'état de l'art montre qu'un gain en polarisation directe d'un transistor de puissance bipolaire classique s'approche plutôt de la centaine [94]. En revanche, celui-ci chute rapidement avec la densité de courant appliquée, ce qui limite grandement les performances en courant du transistor : en l'état actuel il n'est pas envisageable d'utiliser le composant avec une densité de courant de 1  $\text{mA}\cdot\text{mm}^{-2}$ . Cela peut-être dû au fait que l'épaisseur de la base ne soit pas homogène. En effet, à sa surface la base est probablement très fine et peu dopée, ce qui explique les valeurs de gains très élevées aux faibles densités de courant. En revanche, globalement, la base demeure relativement épaisse, ainsi à plus forte densité de courant seule sa partie supérieure est « active », ce qui limite fortement la section de conduction du courant. Ainsi le gain chute rapidement, par effet Rittner [15].

#### IV.2.4 Conclusion

L'effet d'un recuit neutre sur la disparition du canal est clairement positif. Le traitement thermique, puisqu'effectué sous atmosphère neutre, permet de limiter la ségrégation du bore à l'interface. Ainsi, le bore est redistribué à l'interface et le canal est supprimé. De fait, la résistance parasite équivalente en parallèle des émetteurs / collecteurs du dispositif est supprimée, au bénéfice de l'effet transistor.

Bien que les échantillons de test choisis pour cette étude correspondent initialement au cas le plus défavorable en matière de tenue en tension, nous avons atteint de très bonnes performances après le traitement de neutralisation. Ainsi, lorsque le transistor est correctement autobloqué, il entre en avalanche à une tension proche de la tension de référence (la tension de la jonction PN Base – Émetteur/Collecteur). De plus, cette tenue en tension est symétrique : le transistor est capable de supporter une tension alternative et d'amplitude élevée (+/- 100 V). Rappelons enfin

que l'effet RESURF devrait pouvoir encore améliorer les performances du transistor, cet effet n'ayant pas pu intervenir ici compte tenu de l'absence d'un second niveau de métallisation et donc de la plaque de champ en face avant. Ainsi, il est tout à fait envisageable d'obtenir un transistor soutenant plusieurs centaines de volts, dans les deux sens.

D'autre part, la caractéristique à l'état passant du transistor est satisfaisante, avec des réseaux de Kellog en polarisation directe et inverse identiques, classiques de transistors bipolaires. Par ailleurs, le composant entre rapidement en régime linéaire, ce qui confirme la possibilité de l'utiliser en commutation avec une faible chute de tension à l'état passant.

Finalement, le traitement de neutralisation a permis de s'affranchir de la présence du canal et ainsi de valider le concept de transistor latéral symétrique bidirectionnel, à base fine, verticale, autoprotégée.

### IV.3 Perspectives

L'effet d'un recuit de neutralisation à la suite de l'étape d'oxydation a porté ses fruits et permis de supprimer l'influence du canal N parasite au niveau de la base fine. L'étude précédente ne nous a cependant pas permis :

- d'avoir des statistiques sur les performances des composants ainsi réalisés. En particulier, on ne connaît pas les dispersions sur les gains des transistors. En effet, le gain est lié à la finesse de la base fine, elle-même liée à la compensation du bore par le phosphore. Il serait intéressant de connaître les dispersions sur le gain pour estimer les variations de la compensation,
- de déterminer l'influence de ce recuit de neutralisation sur l'efficacité de l'effet RESURF, compte tenu de l'absence de plaques de champ sur les échantillons traités. En effet, il est probable que ce traitement thermique réduise la quantité de pièges à l'interface entre la couche active SOI et l'oxyde thermique, par un effet de passivation de la surface,
- d'optimiser les paramètres du recuit de neutralisation et leurs influences sur le canal. En effet, il serait intéressant de faire varier la température, ainsi que le temps de ce recuit (voire les rampes de montée / descente). Ces deux paramètres ont des impacts différents sur les mécanismes de ségrégation et d'accumulation des dopants aux interfaces.

En conséquence, deux axes d'études semblent intéressants à poursuivre à court terme, correspondants à deux processus de fabrication légèrement différents, et résumés dans le tableau IV-2. Le premier axe consiste à poursuivre l'amélioration du procédé enchaînant l'oxydation du silicium avec un traitement de neutralisation. L'oxydation permet d'obtenir un oxyde de champ partiel. Cet oxyde de champ est ensuite recouvert par un oxyde de  $2\ \mu\text{m}$  déposé par PECVD. Il sera particulièrement intéressant de faire varier la température et le temps du recuit de neutralisation afin d'en connaître précisément l'impact sur le canal.

Le deuxième axe consiste à limiter l'utilisation de recuits oxydants uniquement à des opérations bien spécifiques, telle que l'obtention d'un oxyde de protection pour l'implantation. Les recuits de diffusions sont exclusivement effectués sous gaz neutre. Ainsi, les mécanismes de ségrégation et d'accumulation des dopants aux interfaces sont limités, réduisant les risques de création d'un canal au niveau de la base fine. L'oxyde de champ sera entièrement obtenu par des dépôts CVD (pour obtenir  $3\ \mu\text{m}$ ). Afin d'éviter que le dépôt CVD ne crée trop de charges à l'interface, on peut faire précéder le recuit neutre d'une très légère oxydation, permettant de créer un oxyde fin de passivation de surface (10 nm par exemple, soit 50 min @  $900^\circ\text{C}$  sous atmosphère sèche).

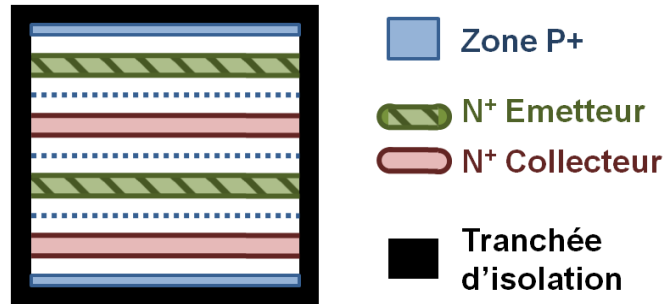
**Tableau IV-2 : Résumé des deux axes de fabrication. (a) Procédé incluant une oxydation suivie d'un traitement de neutralisation. (b) Procédé limitant le recours aux recuits de diffusion sous atmosphère oxydante.**

(a)		(b)	
Étape	Nom	Étape	Nom
0 - ...	Étapes préliminaires	0 - ...	Étapes préliminaires
1	Implantation $N_{\text{VLD}}$	1	Implantation $N_{\text{VLD}}$
2	Implantation $P_{\text{Base}}$	2	Implantation $P_{\text{Base}}$
3	Recuit d'« homogénéisation »	3	Recuit d'« homogénéisation »
4	Implantation $P^+$	4	Implantation $P^+$
5	Implantation $N^+$	5	Implantation $N^+$
<b>6A</b>	<b>Recuit humide (oxyde <math>1\ \mu\text{m}</math>)</b>	6	<b>Oxydation très légère suivie d'un recuit sous atmosphère neutre.</b>
<b>6B</b>	<b>Recuit de neutralisation</b>		
7	<b>Dépôt USG <math>2\ \mu\text{m}</math>. Gravure.</b>	7	<b>Dépôt USG <math>3\ \mu\text{m}</math>. Gravure.</b>
8 - ...	Étapes finales	8 - ...	Étapes finales

D'autres axes de recherche à plus ou moins long terme présentent un intérêt concernant la réalisation de ce transistor bidirectionnel. Le premier axe concerne l'épaisseur de la couche active de silicium SOI. En effet, réduire l'épaisseur de cette couche présenterait deux avantages majeurs. D'une part, pour une même épaisseur d'oxyde de champ, la désertion du silicium se ferait mieux, ce qui permettrait d'atteindre des tenues en tension plus élevées *via* un effet RESURF plus efficace, comme on peut le voir sur la figure I-7 page 37. D'autre part, une couche active de plus faible épaisseur impliquerait des bilans thermiques (nécessaires à l'obtention d'un profil de dopage vertical plat) plus faibles. En effet, il est plus simple d'obtenir un profil plat sur 0,5  $\mu\text{m}$  d'épaisseur que sur 3  $\mu\text{m}$  d'épaisseur. Ainsi, l'obtention de la base fine verticale n'en serait que facilitée. En revanche, réduire le volume de conduction de la couche active diminue aussi la section de conduction du courant, et donc la capacité du transistor à fonctionner à moyenne et haute densité en courant.

Un deuxième axe d'étude intéressant consiste à envisager d'autres technologies de réalisation de la base fine, en particulier la tranchée suivie d'une épitaxie, qui semble être la technologie la plus à-même de réaliser une base à la fois fine et avec un profil de dopage vertical parfaitement plat (*cf.* §I.5.2, page 55), quelle que soit l'épaisseur de la couche active. Néanmoins, si l'on considère des épaisseurs de couche active de silicium faibles (inférieures à 0,5  $\mu\text{m}$ ), la technologie de diffusion par recuit laser semble elle aussi tout à fait envisageable.

Un troisième axe d'étude concerne l'introduction de tranchées isolantes dans le processus de fabrication [95–97]. Ces tranchées servent de périphérie pour le composant, selon le schéma illustré figure IV-16. L'avantage de ces tranchées est qu'elles permettent de considérablement réduire la surface consommée par la périphérie. En effet, pour tenir 600 V, il faut compter 3  $\mu\text{m}$  de large pour une tranchée remplie d'oxyde. D'autre part, les jonctions P+ / N<sub>VLD</sub> / N<sup>+</sup> sont dans ce cas entièrement planes, ce qui éviterait les difficultés liées au confinement du champ électrique, évoquées en §III.1 (page 126), pour se rapprocher de la tenue en tension théorique d'une jonction plane. En revanche, cette technologie peut introduire des états d'interface à la périphérie du composant, pouvant influencer sa tenue en tension.



**Figure IV-16 : Utilisation de tranchées d'isolation électrique en périphérie de dispositif.**

Enfin, l'on peut également s'intéresser aux simulations numériques, selon deux axes importants. Le premier concerne le calibrage des simulations de fabrication (*process*). De fait, ces simulations se basent sur des modèles physiques (croissance d'oxyde, diffusion des dopants, etc.). Or, nous avons vu que, même si les résultats et comportements étaient globalement corrects (profils de dopants, résistance carrée), celles-ci n'ont pas permis de simuler la création du canal au niveau de la base fine dans le temps imparti de ce travail de thèse. Des améliorations sont encore à effectuer dans le choix des modèles physiques proposés par les outils SENTAURUS et dans leur calibrage.

En parallèle, il semble également pertinent de recourir à des simulations 3D. En effet, une modélisation correcte de la zone inter-caissons (et donc une simulation fiable de l'autoblindage du transistor) nécessite que l'on prenne en compte les effets 3D de diffusion des caissons P<sup>+</sup>. Cependant, actuellement, les simulateurs 3D de fabrication ont encore de grandes difficultés à simuler les oxydations. Pour pallier ces difficultés, il est envisageable de reconstituer la structure 3D à partir de simulations 2D, afin par la suite de tester le comportement électrique du transistor.

#### IV.4 Conclusion

Les transistors ISIS02 ont été lancés en salle blanche de production du site STMicroelectronics de Tours, selon les choix de masques et de technologies détaillés aux chapitres II et III.

D'un point de vue analyses physiques, les profils et niveaux de dopage obtenus par SRP sont proches de ceux attendus. L'analyse DLTS n'a pas révélé la présence de niveaux profonds dans le cristal de silicium, tandis que la vue MEB de la base gravée sélectivement a montré un effet d'évasement de celle-ci. Ce résultat est conforme aux mécanismes de ségrégation et à l'allure obtenue en simulation. En revanche, la précision de ces analyses n'était pas suffisante pour

révéler la présence d'un canal au niveau de la base fine. Les mesures électriques ont par contre clairement mis en évidence la présence de ce canal parasite, avec des valeurs de courant de fuite extrêmement élevées. Malgré cette résistance parasite, nous avons pu observer et valider l'effet d'autoblindage produit par la présence des caissons de protection  $P^+$ .

En faisant suivre le recuit d'oxydation par un recuit de neutralisation à température relativement élevée sous azote, nous avons montré qu'il était possible de réduire, voire de supprimer, le canal au niveau de la base fine. Pour les conditions de fabrication les plus défavorables, à savoir celles produisant la résistance de canal la plus faible, nous avons montré que le recuit de neutralisation permettait de recouvrer l'intégrité de la base, pour finalement obtenir un effet transistor. Ainsi, nous avons démontré l'origine de l'apparition du canal, *via* le mécanisme de ségrégation. Par la même, ce traitement représente une optimisation du procédé de fabrication. La bidirectionnalité du composant est complète : tenue en tension symétrique, gains élevés et symétriques.

En revanche, l'efficacité de l'effet RESURF n'a pas pu être complètement démontrée. Plusieurs explications peuvent rendre compte des mauvaises performances de tenue en tension. Tout d'abord, il est possible qu'il y ait un confinement des lignes de champ électrique dans la zone de drift, du côté des diffusions  $N^+$ . De plus, la qualité des interfaces n'est probablement ni identique, ni suffisante de part et d'autre de la couche SOI pour garantir une désertion normale de la zone de drift. Le recuit de neutralisation doit néanmoins pouvoir nous permettre de passiver ces interfaces et donc d'améliorer l'efficacité de l'effet RESURF. Rappelons que cela n'a pas été vérifié sur les derniers échantillons de tests, en raison de l'absence de plaques de champ en face avant. Enfin, les procédés d'obtention des oxydes enterrés et de surface sont différents, aussi les constantes diélectriques des oxydes ne sont pas exactement les mêmes.

Finalement, ces résultats nous ont permis de valider le concept de transistor bipolaire symétrique à base fine, verticale, autoprotégée. Ce transistor possède un gain élevé, à faible densité de courant, et peut soutenir jusqu'à 200 volts. En revanche, l'effet RESURF n'est que partiellement validé dans le transistor ISIS02. Ce concept ayant d'ores et déjà été validé par ailleurs, sa mise en œuvre dans le dispositif ISIS02 ne relève que d'un travail d'optimisation. En effet, il est très probable que le recuit de neutralisation améliore l'efficacité de l'effet RESURF. De plus, concernant le transistor ISIS02, la zone de base fine et la zone de drift sont deux régions relativement bien séparées. Aussi, la modification des masques ou du procédé de fabrication de l'une des régions pourra être réalisée sans fondamentalement modifier le bon fonctionnement de l'autre région.

Ces travaux ouvrent de nombreuses perspectives d'approfondissement. Tout d'abord, il paraît intéressant de poursuivre les travaux de recherche sur le recuit de neutralisation, afin d'étudier l'influence des paramètres sur le contrôle du canal au niveau de la base fine. D'autre part, il serait pertinent de chercher à supprimer les recuits oxydants afin de minimiser les effets de ségrégation aux interfaces.

Il pourrait ensuite être opportun de comparer la solution développée ici avec d'autres technologies moins classiques, et plus à même de réaliser une base très fine avec un profil de dopage vertical plat et parfaitement maîtrisé. En l'occurrence, ici, la réalisation de la base soit par gravure d'une tranchée suivie d'une reprise d'épithaxie, soit par recuit laser localisé semblent deux technologies intéressantes.

Au-delà de la problématique de la base fine, une autre direction d'amélioration intéressante pourra consister en la réalisation de tranchées remplies d'oxyde en périphérie de composant. Cela permettrait d'une part de fortement réduire la surface consommée par cette périphérie. D'autre part, la tenue en tension du transistor se rapprocherait alors de la tenue en tension théorique d'une jonction 1D.

Enfin, il est important de calibrer plus finement les simulations de fabrication, de manière à reproduire correctement l'apparition du canal au niveau de la base fine. En parallèle, il pourrait être pertinent de réaliser des simulations de fabrication 3D, ou à défaut la reconstitution 3D de la structure à partir de simulations de fabrication 2D, pour ensuite tester électriquement et de manière plus fine la structure, et en particulier l'autoblindage du transistor.



## **CONCLUSION GENERALE**



L'interrupteur de puissance fonctionnant sur le réseau alternatif est un composant essentiel pour une mise en œuvre efficace du concept *smart grid* dans l'habitat. Encore essentiellement mécanique, il tend dorénavant à être tout intégré en technologie semiconducteur, ceci afin de le rendre intelligent, c'est-à-dire communiquant et commandable par un dispositif électronique, une interface homme-machine. Idéalement, cet interrupteur doit :

- ❖ être bidirectionnel en tension et en courant, pour pouvoir être utilisé directement sur le réseau alternatif,
- ❖ supporter environ 500 V à l'état bloqué,
- ❖ être commandable,
- ❖ ne dissiper aucune puissance.

L'interrupteur mécanique est *de facto* un excellent interrupteur électrique, sauf qu'il n'est pas commandable. A contrario, les interrupteurs électroniques semiconducteurs existants sont commandables (partiellement pour le TRIAC), mais dissipent des niveaux de puissance non-négligeables, supérieurs à  $1 \text{ W.A}^{-1}$ . Aussi est-il difficile d'intégrer ces interrupteurs dans des milieux confinés, notamment dans l'habitat avec des dispositifs positionnés dans les murs (en remplacement de l'interrupteur mécanique classique). Durant le projet SESAME-ISIS, une première structure, dite transistor bipolaire à base large, a permis de montrer qu'une solution à faible coût industriel pouvait potentiellement répondre aux attentes, moyennant un courant de commande élevé. En parallèle, L.V. Phung a conceptualisé et simulé un composant bidirectionnel, commandable, et dissipant moins de  $0,5 \text{ W.A}^{-1}$ . Ce composant unique se base sur un transistor bipolaire symétrique latéral sur substrat SOI, impliquant des jonctions métallurgiques novatrices, telle qu'une base fine, verticale, autoblindée *via* des caissons de protection, et une zone de drift désertée par un double effet RESURF.

Fabriquer cette structure bipolaire latérale suppose d'avoir correctement évalué le moyen d'obtention de la base fine et verticale, représentant un challenge important. Ainsi, plusieurs technologies permettent d'obtenir cette jonction métallurgique, mais seules quatre méthodes nous ont semblé viables. La première consiste à réaliser une succession d'implantations et de dépôts de silicium par épitaxies, afin d'obtenir les différentes jonctions métallurgiques dans le silicium. Cette technique est très coûteuse, et nécessite de limiter les désalignements entre niveaux d'épitaixie. La deuxième technique nécessite de réaliser une tranchée, par la suite remplie de silicium dopé P par épitaixie, tandis que la troisième technique, limitée à une couche de silicium SOI de relativement faible épaisseur (inférieure au micron), consiste à redistribuer les dopants dans un volume de silicium très localisé, chauffé par un faisceau laser. Ces deux dernières technologies autorisent la

réalisation d'une base d'épaisseur et de dopage parfaitement contrôlés. En revanche, elles permettent d'obtenir uniquement la base fine, et pas les autres jonctions. De plus, elles sont relativement coûteuses. Enfin, une dernière solution repose sur l'utilisation d'implantations localisées suivies de recuits thermiques classiques pour l'activation, la redistribution et la compensation localisée du bore par le phosphore. Cette technique ne permet pas d'obtenir une base très fine. En revanche, elle est relativement peu coûteuse, complètement industrialisable, et permet de valider le concept de transistor à base fine autoprotégée relativement aisément, sur le site de Tours.

La fabrication du transistor fut donc basée sur une succession d'implantations et de recuits thermiques, sous atmosphère neutre ou oxydante. Pour obtenir un profil de dopage verticalement plat sur l'épaisseur de la couche de silicium, il est nécessaire de recourir à un recuit neutre d'au moins 150 minutes à 1200°C, suivi d'un recuit d'oxydation humide de 100 minutes, à 1150°C, permettant d'obtenir un oxyde partiel en face avant nécessaire à la plaque de champ.

Pour pallier la lenteur des simulations technologiques (compter un minimum de 3 heures pour simuler un procédé de fabrication complet), il a tout d'abord fallu déterminer une méthode analytique permettant de fixer, rapidement, les motifs d'implantations dans la zone de drift, ceci afin de garantir la formation d'un profil de dopage latéral linéaire. Cette méthode consiste à calculer, sous Matlab, le profil analytique de dopage latéral résultant d'une juxtaposition d'ouvertures dans un masque. Le calibrage de la méthode a consisté à comparer les profils de dopage latéraux analytiques de différentes ouvertures avec ceux obtenus par simulations numériques sous SENTAURUS. Cette méthode, inspirée de celle développée par M.L. Lai, permet de fixer un masque d'implantation afin d'obtenir un profil de dopage latéral linéaire, moyennant la prise en compte de restrictions sur les calculs liées à la photolithographie. Une fois le masque déterminé par la méthode analytique, nous avons pu le simuler via les outils numériques SENTAURUS et avons pu constater que le profil latéral obtenu était très proche du profil analytique. Finalement, la tenue en tension simulée de la structure est supérieure à 400 V, ce qui est légèrement supérieur à ce que prévoyait L.V. Phung pour une épaisseur de silicium et de plaque de champ de 3  $\mu\text{m}$ .

Cette même méthode a permis de déterminer les masques d'implantations permettant l'obtention de la base fine *via* la compensation du bore par le phosphore. D'une manière générale les profils analytiques et simulés sont semblables, mais nous avons pu remarquer qu'à cause des phénomènes de ségrégation et d'accumulation à l'interface silicium / oxyde en face avant, la base avait un profil évasé. La reconstitution 2D en vue de dessus de la structure a permis de constater que l'autoblindage de la base était effectif, quelle que soit la dose d'implantation, en deçà de

30  $\mu\text{m}$  d'écartement des caissons  $\text{P}^+$ . Concernant le gain du transistor, les simulations ont montré que celui-ci est relativement faible, de l'ordre de la dizaine, comparé aux résultats théoriques présentés par L.V. Phung et donnant un gain de plusieurs centaines. Cela est dû à l'épaisseur de la base, d'environ 4  $\mu\text{m}$ , alors que la théorie préconise une épaisseur inférieure à 1  $\mu\text{m}$ . Enfin, nous avons pu voir l'impact du désalignement des niveaux de masquage sur les performances du composant. D'une manière générale, ce désalignement n'a pas de conséquence importante sur la forme de la base, ni sur le gain. En revanche, il peut avoir une influence importante sur la capacité d'autoblindage de la base.

La problématique du dimensionnement du composant ne se limite pas à la définition des zones actives du transistor. Aussi, la périphérie, les prises de contact, la métallisation, ont fait l'objet d'une réflexion approfondie. Premièrement, pour que le composant soit mis en boîtier, il faut que le champ électrique dans le silicium soit isolé de l'extérieur. Pour ce faire, de manière astucieuse, il est possible de réutiliser l'implantation des caissons  $\text{P}^+$  pour former la périphérie du composant. En effet, cette zone présente l'avantage d'être en permanence portée à un potentiel très faible voire nul. Le deuxième point important de réalisation de la structure concerne les zones de prises de contact du silicium. Afin de limiter la hauteur de marche, et aussi pour réduire la surface de prise de contact des caissons de protection, nous avons d'abord eu recours à une gravure isotrope puis anisotrope de l'oxyde supérieur, ainsi que de l'isolant d'inter-métallisation. Ainsi, en utilisant la plaque de champ de la base, nous avons pu réduire le volume des caissons  $\text{P}^+$ . En revanche, malgré cette gravure en deux temps, la surface dédiée à la prise de contact des régions  $\text{N}^+$  reste très importante. En effet, le composant nécessite deux niveaux de métallisation pour contacter les trois zones importantes (base, émetteur/collecteur, collecteur/émetteur), or il faut réaliser les différentes ouvertures/gravures sur des régions à topologie plane. Ainsi, quasiment 25% de la surface de la cellule élémentaire est dédiée à la prise de contact  $\text{N}^+$ ; c'est autant de surface active de transistor perdue. Enfin, deux jeux de motifs de métallisation ont été définis. Le premier permet de réduire la sollicitation de l'isolant d'inter-métallisation, afin d'éviter tout risque de court-circuit indésirable. En contrepartie, cette topologie limite les performances du composant à haute densité de courant. Le deuxième motif, en revanche, sollicite fortement l'isolant, ce qui permet de recouvrir la quasi-totalité du composant de métallisations, et ainsi le dispositif pourra fonctionner à forte densité en courant.

La région de base fine étant assez critique, trois motifs d'implantations ont été intégrés au jeu de masques. Ces trois motifs devaient nous permettre d'évaluer l'influence de l'épaisseur de la base fine, sa robustesse vis-à-vis des désalignements, et sa capacité d'autoblindage. Plusieurs jeux de paramètres sur le procédé de fabrication ont été envisagés : 3 doses d'implantation de bore

pour la base fine, 2 doses pour le phosphore de la zone de drift, 2 temps de recuit d'homogénéisation du profil de dopage latéral et vertical.

Les premières caractérisations ont montré que les transistors étaient très clairement parasités par une résistance entre les émetteurs / collecteurs. En effet, du fait du mécanisme de ségrégation et d'accumulation à l'interface oxyde / silicium, la base fine est plus ou moins court-circuitée par un canal en surface (en fonction des motifs et des doses d'implantations). Ces transistors possèdent ainsi un courant de fuite extrêmement élevé, masquant l'effet transistor. Malgré ce courant de fuite, nous avons pu montrer que pour des bases relativement épaisses, le transistor était capable d'assurer la fonction d'autoblindage.

Afin de contrecarrer l'influence de ces mécanismes d'accumulation et de ségrégation lors des recuits oxydants, un échantillon (issu d'une plaque partiellement réalisée) a été soumis à un recuit sous atmosphère neutre pendant 2 heures à 1050°C. Ce recuit a permis de supprimer le courant parasite au niveau de la base fine puisque le composant ne présentait plus de comportement résistif. Nous avons pu montrer que le transistor assurait un effet d'autoblindage, sans courant de fuite rédhibitoire, et enfin avec un gain important (plusieurs centaines). En revanche, l'effet RESURF n'a pas pu être validé dans le cadre de ce travail de thèse, du fait de l'absence de plaques de champ dans les transistors ainsi traités. D'autre part, ces premiers prototypes ne nous ont pas permis de travailler à moyenne densité de courant (supérieure à 1 mA.mm<sup>-2</sup>). Cela est probablement dû au fait que la base est malgré tout relativement épaisse dans le volume de la couche de silicium, le courant étant alors confiné dans la zone où la base est rétrécie, c'est-à-dire en surface de couche active de silicium. Le volume de conduction du transistor est alors plus faible, ce qui en limite son gain.

Finalement, le concept de transistor bipolaire symétrique, latéral, à base fine et autoprotégée sur substrat SOI a pu être validé. Ces travaux confirment ainsi la pertinence du concept développé auparavant par L.V. Phung, et ouvrent des perspectives de recherche particulièrement intéressantes concernant un interrupteur bidirectionnel à faible perte, « Graal » de la microélectronique de puissance. De nombreux axes de travail doivent cependant encore être développés afin d'améliorer les performances de la structure, parmi lesquels :

- ❖ l'approfondissement des recherches sur le recuit neutre de neutralisation en fin de fabrication, permettant de supprimer le canal parasite du au mécanisme de ségrégation. Il semble maintenant intéressant d'optimiser le procédé en balayant plus largement les conditions de ce recuit neutre, afin d'obtenir des résultats complets et statistiquement fiables,
- ❖ la fabrication de la base fine via des technologies avancées, comme la multi-épitaxie, le dopage laser (avec des couche de silicium plus fines) ou la gravure de tranchées suivie d'un remplissage silicium par reprise d'épitaxie. Ces travaux devraient permettre d'obtenir une base fine parfaitement contrôlée, permettant d'une part d'augmenter encore le gain, et d'autre part d'augmenter la capacité du composant à travailler à forte densité en courant,
- ❖ la gravure de tranchées en périphérie de dispositif avec remplissage d'oxyde, ceci afin d'augmenter encore la densité en courant par unité de surface consommée. On peut par ailleurs imaginer la possibilité de coupler la réalisation des tranchées en périphérie avec la réalisation de la tranchée de formation de la base,
- ❖ enfin, des travaux doivent être poursuivis concernant la simulation du composant, sur deux axes : d'une part la simulation de fabrication et par la suite la simulation électrique du transistor. Mais aussi, et surtout, sur le calibrage des simulations de fabrication. Les premières expériences réalisées sur ce sujet ont en effet montré que le problème était vaste et encore mal maîtrisé, notamment dans le contexte particulier de la diffusion à faibles doses et à fort budget thermique dans le SOI.



## BIBLIOGRAPHIE

- [1] L.-V. Phung, Etude de structures d'interrupteurs intégrables bidirectionnels en tension et en courant: le transistor bipolaire symétrique, Université François Rabelais de Tours, 2010.
- [2] R. Pezzani, J.-B. Quoirin, Functional integration of power devices: a new approach, European Conference on Power Electronics and Applications EPE'95, Seville: 1995, p.219–223.
- [3] F.D. Bauer, T. Stockmeier, Bidirectional semiconductor component that can be turned off, U.S. Patent 5040042, août 13, 1991.
- [4] M. Mehrotra, B.J. Baliga, A planar MOS-gated AC switch structure, Electron Devices Meeting, 1995., International, 1995, p.349–352.
- [5] L.V. Phung, C. Benboujema, N. Batut, et al., Modeling of a New SOI Bidirectional Bipolar Junction Transistor for Low-Loss Household Appliances, Electron Devices, IEEE Transactions on, vol. 58, 2011, p.1164–1169.
- [6] J.-B. Quoirin, L.-V. Phung, N. Batut, Interrupteur de puissance bidirectionnel commandable à la fermeture et à l'ouverture, U.S. Patent 09/58310, 2009.
- [7] A.W. Ludikhuizen, A review of RESURF technology, Power Semiconductor Devices and ICs, 2000. Proceedings. The 12th International Symposium on, 2000, p.11–18.
- [8] E. Arnold, Silicon-on-Insulator Devices for High Voltage and Power IC Applications, Journal of the Electrochemical Society, vol. 141, juill. 1994, p.1983–1988.
- [9] H. Kondo, Y. Yukimoto, A new bipolar transistor—GAT, Electron Devices, IEEE Transactions on, vol. 27, 1980, p.373–379.
- [10] H. Aga, N. Tate, K. Mitani, Method of Producing SOI Wafer by Hydrogen Ion Implanting Separation Method and SOI Wafer Produced by the Method, U.S. Patent EP1045448, octobre 18, 2000.
- [11] B. Aspar, M. Bruel, H. Moriceau, et al., Basic mechanisms involved in the Smart-Cut process, Microelectronic Engineering, vol. 36, juin. 1997, p.233–240.
- [12] S. Hardikar, R. Tadikonda, D.W. Green, et al., Realizing high-voltage junction isolated LDMOS transistors with variation in lateral doping, Electron Devices, IEEE Transactions on, vol. 51, 2004, p.2223–2228.

[13] R. Stengl, U. Gosele, Variation of lateral doping—A new concept to avoid high voltage breakdown of planar junctions, Electron Devices Meeting, 1985 International, 1985, p.154–157.

[14] R. Stengl, U. Gosele, C. Fellingner, et al., Variation of lateral doping as a field terminator for high-voltage power devices, Electron Devices, IEEE Transactions on, vol. 33, 1986, p.426–428.

[15] B.J. Baliga, Power Semiconductor Devices, PWS Publications, 1996.

[16] D. Valente, Soudure Directe Silicium sur Silicium: Etude de Procédés de Passivation de l'Interface, Université François Rabelais, 2001.

[17] H. Nakanishi, T. Nishimoto, R. Nakamura, et al., Studies on SiO<sub>2</sub>–SiO<sub>2</sub> bonding with hydrofluoric acid. Room temperature and low stress bonding technique for MEMS, Sensors and Actuators A: Physical, vol. 79, févr. 2000, p.237–244.

[18] B.E. Deal, A.S. Grove, General Relationship for the Thermal Oxidation of Silicon, Journal of Applied Physics, vol. 36, déc. 1965, p.3770–3778.

[19] E. Schroer, S. Hopfe, J.-Y. Huh, et al., A thermodynamic model for the growth of buried oxide layers by thermal oxidation, Materials Science and Engineering B, vol. 36, janv. 1996, p.237–240.

[20] Y. Takahashi, Counter-oxidation of superficial Si in single-crystalline Si on SiO<sub>2</sub> structure, Applied Physics Letters, vol. 65, 1994, p.2987.

[21] T. Fujihira, Theory of Semiconductor Superjunction Devices, Japanese Journal of Applied Physics, vol. 36, 1997, p.6254–6262.

[22] T. Fujihira, Y. Miyasaka, Simulated superior performances of semiconductor superjunction devices, Power Semiconductor Devices and ICs, 1998. ISPSD 98. Proceedings of the 10th International Symposium on, 1998, p.423–426.

[23] F.D. Bauer, The super junction bipolar transistor: a new silicon power device concept for ultra low loss switching applications at medium to high voltages, Solid-State Electronics, vol. 48, mai. 2004, p.705–714.

[24] L. Theolier, L.V. Phung, N. Batut, et al., BJT static behavior improvement by modification of the epitaxial layer, Microelectronics Proceedings (MIEL), 2010 27th International Conference on, 2010, p.79–82.

[25] L. Theolier, Conception de transistors MOS haute tension (1200 Volts) pour l'électronique de puissance, Paul Sabatier, 2008.

- [26] M. Yamaguchi, S. Wataru, O. Ichiro, et al., Semiconductor device with super junction region, U.S. Patent 6844592, janvier 2005.
- [27] T. Jenoe, Power MOSFET, U.S. Patent United States Patent 5438215, janvier 8, 1995.
- [28] G. Deboy, N. Marz, J.-P. Stengl, et al., A new generation of high voltage MOSFETs breaks the limit line of silicon, Electron Devices Meeting, 1998. IEDM 98 Technical Digest., International, 1998, p.683–685.
- [29] T. Minato, T. Nitta, A. Uenisi, et al., Which is cooler, trench or multi-epitaxy? Cutting edge approach for the silicon limit by the super trench power MOS-FET (STM), Power Semiconductor Devices and ICs, 2000. Proceedings. The 12th International Symposium on, 2000, p.73–76.
- [30] Y. Onishi, S. Iwamoto, T. Sato, et al., 24 m $\Omega$ cm<sup>2</sup> 680 V silicon superjunction MOSFET, Power Semiconductor Devices and ICs, 2002. Proceedings of the 14th International Symposium on, 2002, p.241–244.
- [31] W. Saito, L. Omura, S. Aida, et al., A 20m $\Omega$ cm<sup>2</sup> 600 V-class superjunction MOSFET, Power Semiconductor Devices and ICs, 2004. Proceedings. ISPSD '04. The 16th International Symposium on, 2004, p.459–462.
- [32] P. Finnie, Y. Homma, Epitaxy: the motion picture, Surface Science, vol. 500, mars. 2002, p.437–457.
- [33] K. Takahashi, H. Kuribayashi, T. Kawashima, et al., 20m $\Omega$ cm<sup>2</sup>660V Super Junction MOSFETs Fabricated by Deep Trench Etching and Epitaxial Growth, Power Semiconductor Devices and IC's, 2006. ISPSD 2006. IEEE International Symposium on, 2006, p.1–4.
- [34] S. Iwamoto, K. Takahashi, H. Kuribayashi, et al., Above 500V class Superjunction MOSFETs fabricated by deep trench etching and epitaxial growth, Power Semiconductor Devices and ICs, 2005. Proceedings. ISPSD '05. The 17th International Symposium on, 2005, p.31–34.
- [35] S. Yamauchi, T. Shibata, S. Nogami, et al., 200V Super Junction MOSFET Fabricated by High Aspect Ratio Trench Filling, Power Semiconductor Devices and IC's, 2006. ISPSD 2006. IEEE International Symposium on, 2006, p.1–4.
- [36] S. Ono, Li Zhang, H. Ohta, et al., Development of 600V-class trench filling SJ-MOSFET with SSRM analysis technology, Power Semiconductor Devices & IC's, 2009. ISPSD 2009. 21st International Symposium on, 2009, p.303–306.

[37] T. Toru, T. Tetsujiro, Manufacturing method of semiconductor device, U.S. Patent 6346464, février 12, 2002.

[38] S. Yamauchi, Y. Hattori, H. Yamaguchi, Electrical properties of super junction p-n diodes fabricated by trench filling, Power Semiconductor Devices and ICs, 2003. Proceedings. ISPSD '03. 2003 IEEE 15th International Symposium on, 2003, p.207–210.

[39] F. Laermer, A. Schilp, Method of anisotropically etching silicon, U.S. Patent 5501893, mars 26, 1996.

[40] R. Abdolvand, F. Ayazi, An advanced reactive ion etching process for very high aspect-ratio sub-micron wide trenches in silicon, Sensors and Actuators A: Physical, vol. 144, mai. 2008, p.109–116.

[41] P.B. Zantye, A. Kumar, A.K. Sikder, Chemical mechanical planarization for microelectronics applications, Materials Science and Engineering: R: Reports, vol. 45, oct. 2004, p.89–220.

[42] J.F. Shepard, Simplified planarization process for polysilicon filled trenches, U.S. Patent 4554728, novembre 26, 1985.

[43] P.J. French, Polysilicon: a versatile material for microsystems, Sensors and Actuators A: Physical, vol. 99, avr. 2002, p.3–12.

[44] C.D. Ouwers, H. Heijligers, Recrystallization processes in polycrystalline silicon, Applied Physics Letters, vol. 26, 1975, p.569–571.

[45] J.H. Werner, R. Dassow, T.J. Rinke, et al., From polycrystalline to single crystalline silicon on glass, Thin Solid Films, vol. 383, févr. 2001, p.95–100.

[46] T. Sarnet, M. Hernandez, D. Débarre, Dopage laser en microélectronique, Journal de Physique IV, vol. 138, déc. 2006, p.203–212.

[47] T. Sarnet, G. Kerrien, N. Yaakoubi, et al., Laser doping for microelectronics and microtechnology, Applied Surface Science, vol. 247, juill. 2005, p.537–544.

[48] K.H. Weiner, T.W. Sigmon, Thin-base bipolar transistor fabrication using gas immersion laser doping, Electron Device Letters, IEEE, vol. 10, 1989, p.260–263.

[49] A. Florakis, A. Papadimitriou, N. Chatzipanagiotis, et al., Formation of silicon ultra shallow junction by non-melt excimer laser treatment, Solid-State Electronics, vol. 54, sept. 2010, p.903–908.

- [50] M. Rub, M. Bar, G. Deboy, et al., 550 V superjunction 3.9  $\Omega\text{mm}^2$  transistor formed by 25 MeV masked boron implantation, Power Semiconductor Devices and ICs, 2004. Proceedings. ISPSD '04. The 16th International Symposium on, 2004, p.455–458.
- [51] J. von Borany, M. Friedrich, M. Rub, et al., Application of ultra-high energy boron implantation for superjunction power (CoolMOS(TM)) devices, Nuclear Instruments and Methods in Physics Research Section B: Beam Interactions with Materials and Atoms, vol. 237, août. 2005, p.62–67.
- [52] H. Ninomiya, Y. Miura, K. Kobayashi, Ultra-low on-resistance 60-100 V superjunction UMOSFETs fabricated by multiple ion-implantation, Power Semiconductor Devices and ICs, 2004. Proceedings. ISPSD '04. The 16th International Symposium on, 2004, p.177–180.
- [53] J. Meijer, B. Burchard, K. Ivanova, et al., High-energy ion projection for deep ion implantation as a low cost high throughput alternative for subsequent epitaxy processes, Journal of Vacuum Science & Technology B: Microelectronics and Nanometer Structures, vol. 22, janv. 2004, p.152–157.
- [54] S.K. Hong, S.H. Jeon, K. Min, et al., Effect of photo-resist treatment on out-gassing in high energy implantation, Ion Implantation Technology Proceedings, 1998 International Conference on, 1999, p.494–497 vol.1.
- [55] J. Butschke, A. Ehrmann, B. Hofflinger, et al., SOI wafer flow process for stencil mask fabrication, Microelectronic Engineering, vol. 46, mai. 1999, p.473–476.
- [56] H. Wong, E. Deng, N.W. Cheung, et al., Profile studies of MeV ions implanted into Si, Nuclear Instruments and Methods in Physics Research Section B: Beam Interactions with Materials and Atoms, vol. 21, 1987, p.447–451.
- [57] L. Gong, S. Bogen, L. Frey, et al., Simulation of High Energy Implantation Profiles in Crystalline Silicon, Solid State Device Research Conference, 1992. ESSDERC '92. 22nd European, 1992, p.495–498.
- [58] I. Mica, L. Di Piazza, L. Laurin, et al., The role of the substrate in the high energy boron implantation damage recovering, Materials Science and Engineering: B, vol. 159-160, mars. 2009, p.168–172.
- [59] J.Y. Cheng, D.J. Eaglesham, D.C. Jacobson, et al., Formation of extended defects in silicon by high energy implantation of B and P, Journal of Applied Physics, vol. 80, 1996, p.2105–2112.

[60] A. Merabet, Simulations of arsenic and boron co-implanted in silicon during RTA for ultra-shallow junctions realizations, *Materials Science and Engineering: B*, vol. 124-125, déc. 2005, p.419–423.

[61] T. Matsuda, S. Shishiguchi, H. Kitajima, Present ability and problems of ultra-shallow junction formation by RTA, *Junction Technology*, 2000, The first international workshop on, Extended abstracts of, 2000, p.29–34.

[62] S.C. Jain, W. Schoenmaker, R. Lindsay, et al., Transient enhanced diffusion of boron in Si, *Journal of Applied Physics*, vol. 91, juin. 2002, p.8919–8941.

[63] O. Krause, H. Ryssel, P. Pichler, Determination of aluminum diffusion parameters in silicon, *Journal of Applied Physics*, vol. 91, mai. 2002, p.5645–5649.

[64] F. Boucard, Modélisation de la diffusion des dopants dans le silicium pour la réalisation de jonctions fines, Université Louis Pasteur, 2003.

[65] P. Bruesch, E. Halder, P. Kluge, et al., Electrical activity of aluminum implanted in silicon: An interface problem in high-power devices, *Journal of Applied Physics*, vol. 68, 1990, p.2226–2234.

[66] C. Ortiz, Contribution à l'étude des phénomènes de diffusion de l'aluminium dans le silicium. Application à la réalisation de jonctions profondes, Université François Rableais, 2000.

[67] O.D. Trapp, *Semiconductor technology handbook*, Technology Associates, 1982.

[68] G. Charitat, A. Martinez, Boron segregation at Si-SiO<sub>2</sub> interface during neutral anneals, *Journal of Applied Physics*, vol. 55, 1984, p.2869–2873.

[69] F. Lau, L. Mader, C. Mazure, et al., A model for phosphorus segregation at the silicon-silicon dioxide interface, *Applied Physics A: Materials Science & Processing*, vol. 49, déc. 1989, p.671–675.

[70] J.W. Colby, L.E. Katz, Boron Segregation at Si-SiO<sub>2</sub> Interface as a Function of Temperature and Orientation, *Journal of The Electrochemical Society*, vol. 123, 1976, p.409–412.

[71] H. Sakamoto, S. Kumashiro, A new diffusion algorithm during oxidation which can handle both phosphorus pile-up and boron segregation at Si-SiO<sub>2</sub> interface, *Simulation of Semiconductor Processes and Devices*, 1997. SISPAD '97., 1997 International Conference on, 1997, p.81–84.

[72] K. Sakamoto, K. Nishi, F. Ichikawa, et al., Segregation and transport coefficients of impurities at the Si/SiO<sub>2</sub> interface, *Journal of Applied Physics*, vol. 61, 1987, p.1553–1555.

- [73] M. Orlowski, New model for dopant redistribution at interfaces, *Applied Physics Letters*, vol. 55, 1989, p.1762–1764.
- [74] Yong-Seog Oh, D.E. Ward, A calibrated model for trapping of implanted dopants at material interface during thermal annealing, *Electron Devices Meeting, 1998. IEDM '98 Technical Digest., International*, 1998, p.509–512.
- [75] A. Grove, Redistribution of Acceptor and Donor Impurities during Thermal Oxidation of Silicon, *Journal of Applied Physics*, vol. 35, 1964, p.2695.
- [76] S.W. Jones, *Diffusion in Silicon*, avr. 2008.
- [77] B.E. Deal, A.S. Grove, E.H. Snow, et al., Observation of Impurity Redistribution During Thermal Oxidation of Silicon Using the MOS Structure, *Journal of The Electrochemical Society*, vol. 112, 1965, p.308–314.
- [78] S. Solmi, P. Maccagnani, R. Canteri, Codiffusion of arsenic and phosphorus implanted in silicon, *Journal of Applied Physics*, vol. 74, oct. 1993, p.5005–5012.
- [79] J. Crank, *The mathematics of diffusion*, Oxford University Press, 1983.
- [80] Tommy.M.L. Lai, J.K.O. Sin, Man Wong, et al., Implementation of Linear Doping Profiles for High Voltage Thin-Film SOI Devices, *The 7th International Symposium on Power Semiconductor Devices and ICs (ISPSD'95)*, mai. 1995, p.pp.315–320.
- [81] X.H. Liu, Z. Suo, Q. Ma, et al., Developing design rules to avert cracking and debonding in integrated circuit structures, *Engineering Fracture Mechanics*, vol. 66, juill. 2000, p.387–402.
- [82] N.I. Morimoto, C.E. Viana, da S. Ana N.R., High Quality TEOS Silicon Oxide deposited at Low Temperature for TFT Gate Dielectric Application, *Electrochemical Society proceedings*, 2002, p.159–175.
- [83] K. Fujino, Y. Nishimoto, N. Tokumasu, et al., Silicon Dioxide Deposition by Atmospheric Pressure and Low-Temperature CVD Using TEOS and Ozone, *Journal of The Electrochemical Society*, vol. 137, 1990, p.2883–2887.
- [84] C. Benboujema, *Etude d'une structure d'interrupteur 4 quadrants à faibles pertes à base de transistors à forts gains.*, François Rabelais de Tours, 2011.
- [85] T. Clarysse, D. Vanhaeren, I. Hoflijk, et al., Characterization of electrically active dopant profiles with the spreading resistance probe, *Materials Science and Engineering: R: Reports*, vol. 47, déc. 2004, p.123–206.

[86] T. Clarysse, W. Vandervorst, A new spreading resistance correction scheme combining variable radius and barrier resistance with epilayer matching, *J. Vac. Sci. Technol. B, AVS*, 1992, p.432–437.

[87] J. Schumann, E.E. Gardner, Application of Multilayer Potential Distribution to Spreading Resistance Correction Factors, *Journal of The Electrochemical Society*, vol. 116, janv. 1969, p.87–91.

[88] J. van Linschoten, J. Snijder, M.W. Hillen, Preprocessing of data from spreading-resistance measurements, *Solid-State and Electron Devices, IEE Proceedings I*, vol. 127, 1980, p.100–104.

[89] W.B. Vandervorst, H.E. Maes, Probe penetration in spreading resistance measurements, *Journal of Applied Physics*, vol. 56, 1984, p.1583–1590.

[90] SSM, SSM 2000, Manuel.

[91] D. Valente, Soudure directe silicium sur silicium : étude de procédés de passivation de l'interface, Université François Rabelais, 2011.

[92] D.V. Lang, Deep-level transient spectroscopy: A new method to characterize traps in semiconductors, *Journal of Applied Physics*, vol. 45, 1974, p.3023–3032.

[93] S. Wolf, R.S. Tauber, *Silicon Processing for the VLSI Era: Volume 1 - Process Technology*, Lattice Press, 1986.

[94] STMicroelectronics BD441 NPN power transistor datasheet.

[95] S. Menard, F. Ihuel, High Voltage Vertical Power Component, U.S. Patent 2011/0210372, janvier 9, 2011.

[96] V.A.K. Temple, W. Tantraporn, Junction termination extension for near-ideal breakdown voltage in p-n junctions, *Electron Devices, IEEE Transactions on*, vol. 33, 1986, p.1601–1608.

[97] L. Theolier, H. Mahfoz-Kotb, K. Isoird, et al., A new junction termination technique: The Deep Trench Termination (DT2), *Power Semiconductor Devices & IC's, 2009. ISPSD 2009. 21st International Symposium on*, 2009, p.176–179.



# Étude et réalisation d'un interrupteur de puissance monolithique bidirectionnel sur substrat SOI

## Résumé

Ces travaux traitent de la réalisation d'un prototype d'interrupteur monolithique bidirectionnel à base de transistor bipolaire. À terme, l'objectif est de développer un interrupteur intelligent à faible perte, complètement intégrable dans l'habitat.

Nous nous intéressons d'abord aux composants bidirectionnels existants. Nous présentons ensuite deux transistors bipolaires bidirectionnels. Le premier à base large, de fabrication aisée. Le second, symétrique, latéral, sur substrat SOI, à base fine, verticale, autoprotégée, très novateur. Nous les comparons et optons pour le transistor latéral à base fine, puis discutons les différentes étapes de sa fabrication et montrons qu'elle constitue un véritable challenge.

Ensuite, nous détaillons une méthodologie analytique 1D permettant de déterminer les éléments clés de fabrication de la partie active du transistor. L'étude est validée par des simulations 2D numériques par éléments finis.

Nous continuons par une réflexion sur la périphérie du composant et sa métallisation. Nous détaillons les variantes de réalisation envisagées et montrons que ce composant est robuste vis-à-vis des désalignements entre les masques lors de la fabrication.

Finalement, nous caractérisons les transistors fabriqués. Initialement le dispositif est parasité par des effets de ségrégation des dopants aux interfaces SiO<sub>2</sub> / Si. Nous expliquons qu'il est possible de contrecarrer ces effets, pour finalement valider le concept de transistor bipolaire symétrique latéral sur substrat SOI, à base fine, verticale, autoprotégée.

**Mots clés :** interrupteur monolithique, transistor bipolaire, bidirectionnalité, commandabilité, faible perte, autoblindage, SOI, base fine, recuit CTA, simulation numérique, ségrégation.

## Abstract

This study deals with the realization of a prototype of a low losses monolithic bidirectional switch. It is based on a SOI symmetrical and lateral bipolar transistor with a thin, vertical and shielded base. The goal is to produce a switch which can be integrated to smart electronics functions.

First, we compare the existing bidirectional solutions. We then introduce two bidirectional bipolar transistors: one with a wide base, easy to realize, and the other one, patented, symmetrical and lateral, using a SOI substrate, with a thin, vertical and shielded base. We compare these two devices and choose the novel and patented lateral bipolar transistor. We then discuss the challenge of its fabrication.

We then detail a 1D analytical methodology allowing to define rapidly the key steps of the active area transistor realization. The study is then confirmed by finite element 2D numerical simulations (Sentaurus).

Next, we discuss the periphery and metallization of the device. We detail the variant of process introduced. We finally show that this component is robust to masks misaligning during its fabrication.

To the end, the transistors are realized and analyzed. We show that, initially, the segregation of dopants at SiO<sub>2</sub> / Si interfaces implies a parasiting canal in parallel of the transistor. We then explain how to reduce these parasiting effects, to finally validate the concept of a symmetrical and lateral bipolar transistor on a SOI substrate, with a thin, vertical, shielded base.

**Keywords:** monolithic switch, bipolar transistor, bidirectionality, commandability, low losses, shielding effect, SOI, thin base, CTA, realization, segregation, simulation.